

博士論文
Ph. D Thesis

電圧パルス信号伝送を利用した断熱型量子磁束
パラメトロンの大規模システム化に関する研究

Study on large-scale of adiabatic quantum-flux-parametron
systems using transmission of voltage pulse signals

横浜国立大学大学院工学府
物理情報工学専攻電気電子ネットワークコース
Specialization in Electrical and Computer Engineering,
Department of Physics, Electrical and Computer Engineering,
Graduate School of Engineering,
Yokohama National University

知名 史博
Fumihiro China

2018年3月

要約

現在多くの計算機システムに用いられている半導体集積回路は、プロセスの微細化によって集積度の向上や低消費電力化により劇的な進化を遂げてきたが、トランジスタサイズがナノメートルスケールに達したところで量子効果に起因する消費電力の増大が顕在化し、微細化の物理的限界に迫っている。将来の情報社会を支えるため、更なる計算機システムの進化を推し進めるためには、革新的にエネルギー効率の高い集積回路技術が必要不可欠である。

そこで消費電力を大きく低減できる技術として、超伝導集積回路技術が注目されている。中でも我々は、AQFP (Adiabatic Quantum-Flux-Parametron) の研究を行っている。AQFP は回路要素全てが超伝導体で構成され、抵抗成分が存在しないことから静的消費電力がゼロである。また回路状態を AC 励起電流によって断熱的に変化させることで、動的消費電力をも積極的に低減可能である。AQFP は半導体回路に比べ 6 桁消費電力を低減可能である。

本研究では、AQFP の大規模システム実現、実用化を目標とした。AQFP は mm オーダーの回路間で信号伝送を行うことが難しく、大規模化に伴い回路規模やレイテンシが増大してしまう問題がある。そこで AQFP の出力を電圧パルス信号に変換し、超伝導マイクロストリップラインで信号伝送を行う手法を用い、回路の設計及び動作実証を行うことで本課題を解決した。測定では、AQFP 間を直接インダクタで接続した際の限界距離の 4 倍程度の長距離で正常に信号伝送が行えていることを確認した。また電圧パルス信号変換回路を用いて AQFP の出力を高速に読み出す高速信号電圧ドライバ回路を開発し、2 GHz までの正常動作を確認した。

一方で AQFP によるシステム構築を考えたとき、果たしてどこまで大規模化が可能であるかは未知数である。そこで現在我々が回路設計に用いている AQFP セルライブラリを用いて、Josephson 接合を約 9 万接合集積した歩留まり評価回路を設計・測定を行い、歩留まりを定量的に評価した。測定した全超伝導チップの平均歩留まりは 46% であり、これは Josephson 接合約 4 万 2 千接合分に相当する。また AQFP セルライブラリの最適化により、歩留まりがより改善できることが示唆された。

電圧パルス信号伝送を応用した AQFP システム構築が可能であることを示すため、電圧パルス信号伝送回路を導入した AQFP 1-bit CPU の設計を行った。本手法を用いることにより、AQFP 大規模システム構築の際、レイテンシを大幅に抑えることが可能である。

目次

1 序論	1
1.1 本章概要	1
1.2 半導体集積回路技術	1
1.3 超伝導単一磁束量子回路技術	2
1.4 AQFP の課題	9
1.5 研究目的	9
1.6 本論文の構成	10
2 理論	11
2.1 本章概要	11
2.2 Josephson 効果	11
2.2.1 Josephson 接合	11
2.2.2 集中定数型 Josephson 接合	12
2.3 超伝導量子干渉デバイス	15
2.3.1 超伝導量子干渉効果	15
2.3.2 SQUID の回路方程式	15
2.3.3 dc-SQUID	17
2.4 断熱型量子磁束パラメトロン回路の動作原理	22
2.5 AQFP セルライブラリ	26
2.5.1 定数セル [57]	26
2.5.2 ミニマル設計による帰還型 Delay latch (D-latch)	28
2.5.3 stack セル	29
2.5.4 AQFP のデータ伝搬方法	30
2.6 単一磁束量子回路	33

2.6.1	単一磁束量子回路の動作原理	33
2.6.2	RSFQ 論理回路	36
2.6.3	Passive transmission line (PTL)	39
3	回路作製プロセスと測定環境	42
3.1	本章概要	42
3.2	回路作製プロセス	42
3.2.1	AIST 2.5kA/cm ² Nb Standard Process (STP2) [60]	42
3.2.2	AIST 10kA/cm ² Nb High-speed Standard Process (HSTP) [61]	44
3.3	測定環境	45
4	AQFP と RSFQ 間インターフェース回路	48
4.1	本章概要	48
4.2	RSFQ/AQFP インターフェース	48
4.3	AQFP/RSFQ インターフェース	51
4.3.1	Mc-dc/SFQ	51
4.3.2	コンパレータ型 Mc-dc/SFQ	54
4.3.3	AQFP/RSFQ インターフェースの最適化	54
4.4	PTL を用いた AQFP 間の信号伝送	61
4.5	インターフェースを用いた信号伝搬遅延	65
4.6	AQFP と RSFQ 回路間インターフェースの消費電力	67
5	AQFP/RSFQ と 4JL ゲートを用いた電圧ドライバ回路	69
5.1	本章概要	69
5.2	4JL ゲート	69
5.3	AQFP 電圧ドライバ回路	71
5.4	AQFP 電圧ドライバ回路の高速測定	72
6	AQFP 回路の歩留まり評価	76
6.1	本章概要	76
6.2	省面積 AND/OR ゲート	76
6.3	AQFP のエラー検出方法	76
6.4	AQFP 歩留まり評価回路	77

6.5	AQFP 歩留まり評価回路の測定結果	82
6.6	dc-SQUID 部の誤動作要因の考察	90
7	SFQ パルス信号伝送を用いた AQFP CPU	92
7.1	本章概要	92
7.2	1-bit CPU の構成	92
7.2.1	AQFP レジスタファイル	92
7.2.2	1-bit ALU	94
7.3	SFQ パルス信号伝送を用いた AQFP 1-bit CPU の設計	94
7.4	AQFP CPU のマルチビット化の考察	97
8	結論	99
8.1	本研究のまとめ	99
8.2	今後の課題	100
	謝辞	102
	参考文献	104
	研究業績	112

第1章 序論

1.1 本章概要

本章では、本研究の背景及び目的について述べる。まず、現在計算機システムに広く用いられている半導体集積 (Complementary metal-oxide-semiconductor: CMOS) 回路の現状、それに対する超伝導回路技術の優位性について述べる。次に超伝導回路技術研究の潮流である低電力論理回路技術について述べ、その中で本研究で扱う断熱型量子磁束パラメトロン (Adiabatic quantum-flux-parametron: AQFP) の特徴を挙げる。その後 AQFP の課題について触れ、本研究の目的について述べる。

1.2 半導体集積回路技術

現在多くの計算機システムに用いられている CMOS 回路は、プロセスの微細化によって集積度の向上や低消費電力化を進め、ムーアの法則に従い劇的な進化を遂げてきた [1]。CMOS によるマイクロプロセッサは 1971 年のゲート長 $10\ \mu\text{m}$ プロセスを用いた Intel 4004 から始まり [2]、R. H. Dennard らによって提案されたスケーリング則に従いゲート長を短くすることで微細化を行ってきたが、短チャネル効果に起因するトランジスタの性能劣化が懸念された [3]- [6]。そこで CMOS の集積度を上げつつトランジスタ性能を向上させるため、高誘電率の絶縁膜材料を用いる high-k/メタルゲート [7]- [9] や 3次元トランジスタ構造をとる FinFET [10] [11] など、テクノロジーブースタと呼ばれる新材料や新構造を導入した半導体集積回路技術が 2000 年代に多数提案された。これらを経て現在の CMOS プロセスサイズは $10\ \text{nm}$ を切るところまで進化し、1つの基板に数億個以上のトランジスタを集積することが可能となった。またこれを用いたプロセッサの動作速度は数 GHz まで達している [12] [13]。しかしながらプロセスサイズが $10\ \text{nm}$ 程度に達したところで量子効果に起因するリーク電流消費電力の増加が顕在化し、いよいよ微細化の物理的限界が迫っている。加えて数億個のトランジスタ間を繋ぐ配線部の抵抗による消費電力も問題となる。また nm スケールのトランジスタ製造を行う露光装置の精度などに起因したトラン

ジスタの特性ばらつきは微細化が進むにつれより深刻化し、ハードウェアコストの増大に繋がる。これらの問題がありながら複数のテクノロジブースタを統合することで CMOS は日々改良を重ねているが、根本的な解決には至っていないというのが現状である。

1.3 超伝導単一磁束量子回路技術

近年、消費電力と動作速度を CMOS に比べ劇的に向上できるものとして、超伝導単一磁束量子 (Rapid single-flux-quantum: RSFQ) 回路が注目されている [14] [15]。RSFQ 回路は Josephson 接合をスイッチング素子として用い、かつ単一磁束量子 (SFQ) を情報担体とする論理回路である。SFQ が Josephson 接合を通り抜ける際幅数 ps、ピーク電圧値が数 mV のパルス状電圧が生じるため、この電圧信号は SFQ パルスと称される。RSFQ 回路は Josephson 接合のスイッチング時間が短いことと SFQ パルス幅が狭いことからサブ THz での超高速動作が可能であり、また回路が超伝導物質で構成され信号配線で電力を消費しないために CMOS より 3 桁程度低い消費電力で動作可能である [16]- [18]。また RSFQ 回路は超伝導マイクロストリップラインを用いた受動配線 (Passive transmission line: PTL) [19]- [23] を用いた光速度での長距離信号送受信が可能であるため、大規模回路構築が容易である。実際に、数千接合回路や一万接合を超える大規模回路、またチップ間の信号伝送の動作実証がなされている [24]- [28]。しかし RSFQ 回路は超伝導転移温度が約 9.5 K の Nb、または約 16 K の NbN で主に構成されているため、極低温まで冷却しなければ動作できないという問題がある。よって RSFQ 回路が真に低消費電力論理回路と主張するには、システムの冷却コストまで考慮しなければならない。

まず、CMOS 回路に必要な冷却コストの例として、スーパーコンピュータ「京」を挙げる [29]。「京」の計算性能は 10 PFLOPS、消費電力は 12.7 MW である。また冷却を含めたシステム全体の消費電力/計算機の消費電力で表される Power Usage Effectiveness (PUE) は 2.93 MW である。「京」の冷却には、計算機の消費電力の約 30% の電力コストが必要である。

次に、図 1 に、RSFQ 回路に用いられる冷却システムの性能比較を示す [30]。図 1 より、最も冷却容量の大きい Linde, LR280 の冷却効率 W/W (回路を 1 W 冷却するのに必要な電力量) は 395 W/W である。つまり、RSFQ 回路の冷却には、RSFQ 回路自体の消費電力の約 400 倍程度の電力が必要であることがわかる。冷却容量が大きいシステムほど冷却効率は高く冷却技術の向上が期待されるが、現時点では冷却コストを考慮すると RSFQ

	System Performance (PFLOP/s)			
	1	10	100	1,000
(quantity) Refrigeration system manufacturer, model	(1) SHI, SRDK-415D-F50	(2) SHI, GM-JT CG310SLCR	(1) Linde, LR70 helium reliquefier	(2) Linde, LR280 helium reliquefier
• Cost	• 45 k\$	• 320 k\$	• 2 M\$	• 6 M\$
• Refrigeration capacity	• 1.5 W at 4.2 K	• 10 W at 4.3 K	• 100 W at 4.4 K	• 1,020 W at 4.4 K
• Efficiency	• 5000 W/W	• 1280 W/W	• 450 W/W	• 395 W/W
Power, refrigeration (kW)	7.5	12.8	45	400
Power, other (kW)	7.5	27.2	155	1,600
Total system power (kW)	15	40	200	2,000
Computation efficiency (GFLOP/J)	67	250	500	500

図 1: RSFQ 回路に用いられる冷却システムの性能比較 [30]

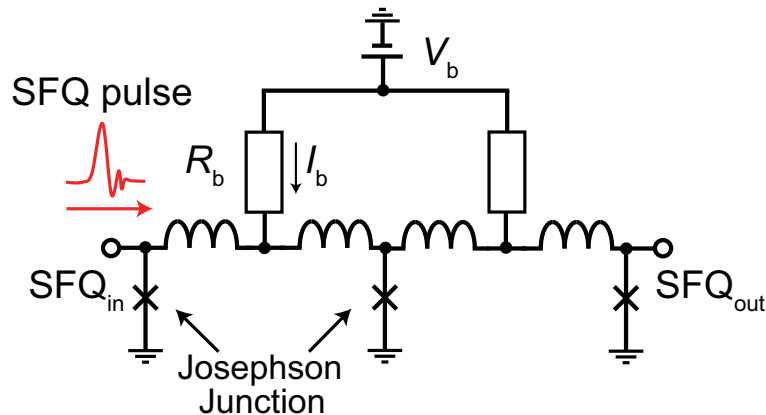


図 2: RSFQ 回路の Josephson Transmission Line の概略図

回路の消費電力は 2, 3 桁低下すると言える。よって SFQ 回路の低消費電力性という優位性を保つためには、SFQ 回路自体のエネルギー効率を高める必要があった。

図 2 に、Likharev らによって体系化された古典的な SFQ 回路の概略図を示す。図 2 の回路は、SFQ パルス信号を送る伝搬線路の JTL (Josephson Transmission Line) である。SFQ 回路の消費電力は、SFQ 回路にバイアス電流を並列に印加するための抵抗ネットワークで生じる静的消費電力と、Josephson 接合のスイッチングで生じる動的消費電力に大別できる。まず、静的消費電力について考える。

ジョセフソン接合が超伝導状態から有電圧状態に遷移する閾値電流である臨界電流値を I_c とすると、古典 SFQ 回路では I_c の 80% 程度の電流 I_b を電源電圧 V_b 、抵抗 R_b によってバイアスしている。Josephson 接合は SFQ が回路に入力されていないときは超伝導状態であるため、Josephson 接合は静的な消費電力を発生しない。よって古典 SFQ 回路の静的消費電力 P_s は

$$P_s = I_b^2 R_b = 0.8 I_c V_b \quad (1-1)$$

で表される。次に、動的消費電力について考える。SFQ 回路の動的消費電力は SFQ パル

スが Josephson 接合を通り抜ける際、Josephson 接合が有電圧状態に遷移することで生じる。SFQ の磁束量を $\Phi_0 \approx 2.07 \times 10^{-15}$ Wb、Josephson 接合のスウィッチング周波数を f とすると、動的消費電力 P_d は以下の式で表される。

$$P_d = I_c \Phi_0 f \quad (1-2)$$

ここで典型的な SFQ 回路に用いられるパラメータとして $I_c = 200 \mu\text{A}$ 、 $V_b = 2.5 \text{ mV}$ を、動作周波数 $f = 10 \text{ GHz}$ を仮定すると、式 (1-1)、(1-2) からの静的消費電力 $P_s = 400 \text{ nW}$ 、動的消費電力 $P_d \approx 4 \text{ nW}$ が導出される。つまり、古典 SFQ 回路の消費電力は静的消費電力が支配的であり、動的消費電力のおよそ 100 倍程度であることがわかる。静的消費電力は回路にデータ (SFQ パルス) が入力されていない場合でも常に生じ、また各 Josephson 接合に並列にバイアス電流を印加することから回路規模に比例して増加してしまう。更に回路が大規模になるにつれバイアス電流が生じさせる磁束が回路動作に悪影響を与える問題がある。そこで SFQ 回路に印加する電流量を削減しエネルギー効率を高めるためのアプローチとして、主に静的消費電力を抑える低電力 SFQ 回路が多数提案された。以下にその一例を挙げる。

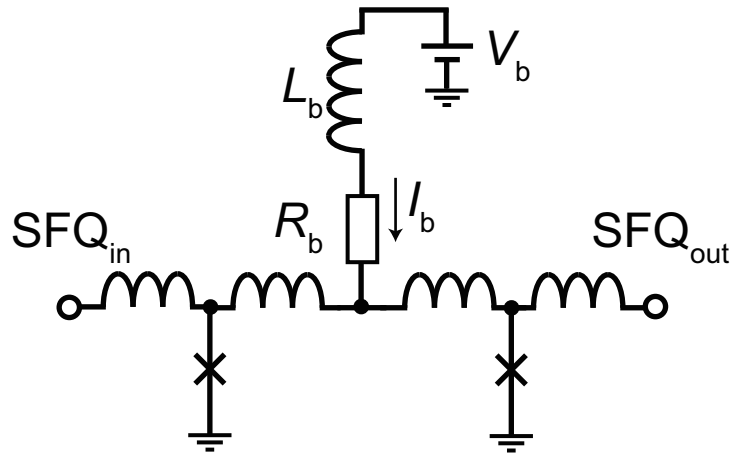


図 3: LR バイアス RSFQ 回路の概略図

(A) LR-bias RSFQ

図 3 に LR バイアス RSFQ 回路の概略図を示す。SFQ 回路の低電力化として最も単純なアプローチは V_b 、 R_b を減少させることであるが、ただ V_b 、 R_b を減少させるだけではバイアスラインが直流電流源とみなせなくなる。このためデータが入力され Josephson 接合がスイッチした際、バイアスラインに磁束逆流が生じスイッチ中の Josephson 接合に流れるバイアス電流 I_b が急激に減少してしまう。この問題を解決するため LR バイアス RSFQ 回路ではバイアスラインに大きなインダクタンス L_b を配置し、スイッチング時のバイアス電流減少を抑制する [31]- [33]。またスイッチング時に減少したバイアス電流は LR 時定数に応じて元の電流値に戻るため LR バイアス RSFQ 回路の動作周波数はこれによって制限される。LR バイアス RSFQ 回路では L_b を配置するために回路面積が増大し集積度が古典 SFQ 回路よりも低下する。これまでに 1k ビットのシフトレジスタメモリの 30 GHz での動作実証が報告されている [34]。

(B) Low-voltage RSFQ

Low-voltage RSFQ (LV-RSFQ) は、バイアスラインにインダクタンスを挿入せず電源電圧 V_b を減少させることで低消費電力化を図るものである。そのため原理的に LR バイアス RSFQ 回路よりも動作周波数は制限されるが、集積度を落とさずに低電力化が可能である [35] [36]。

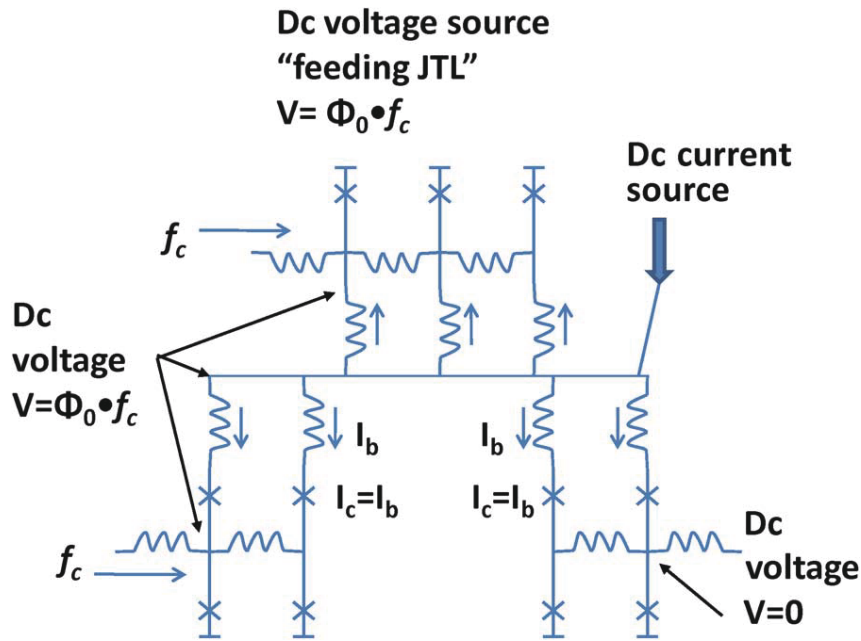


図 4: Energy-efficient RSFQ (ERSFQ) の概略図 [37]

(C) Energy-efficient RSFQ

図 4 に Energy-efficient RSFQ (ERSFQ) の概略図を示す。ERSFQ は、バイアスラインから抵抗成分を取り除き、静的消費電力 0 で動作可能な回路である。Josephson 接合のスイッチング時のバイアス電流変化を防ぐため、feeding JTL と呼ばれる回路ブロックを配置する。ここで通常の SFQ 回路部分と同じ動作周波数 f_c で feeding JTL を駆動することでバイアスラインの電圧値が一定に保たれ、バイアス電流の偏りを抑制する。従って ERSFQ では動的消費電力は $2I_c\Phi_0f_c$ となる [37] [38]。

これら (A) ~ (C) の 3 つの低電力 RSFQ 回路は、DC 電源方式で回路に電圧供給が行われ、非同期高速動作が可能であるため、後述の AC 電源方式の論理回路と区別して”Rapid” single-flux-quantum logic と呼ばれる。

(D) Reciprocal-quantum-logic

Reciprocal-quantum-logic (RQL) は、上に挙げた低電力 SFQ 回路とは異なり、AC 電源により駆動される回路である [39]。図 5 に RQL の概略図を示す。RQL は AC 電源の立ち上がり時に正電圧の SFQ パルスを、立ち下がり時に負電圧の SFQ パルスを伝搬する。これら正負の SFQ パルスの 1 組を一つの信号”1” データとして扱う。AC 電源 1 つで駆動すると AC 電源電流の周波数で RQL のレイテンシが制限されるため、AC 電源を 2 つ用いて 4 相交流駆動で RQL を動作させることで、レイテンシを改善する。RQL も ERSFQ

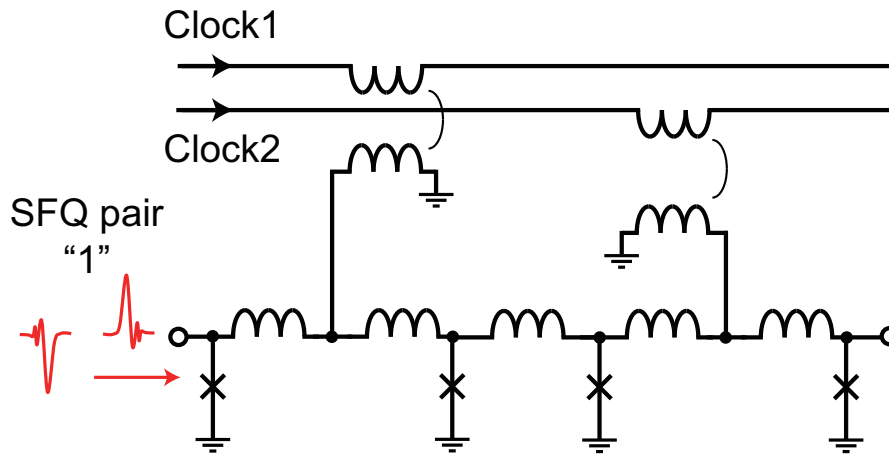


図 5: Reciprocal-quantum-logic (RQL) の概略図

同様、回路中に抵抗成分が存在しないことからゼロ静的消費電力であるが、大きく異なる点は磁気結合を介して各 Josephson 接合に直列に磁束をバイアスする点である。直列磁束バイアス方式により、回路規模が変化しても回路全体に印加する電流量が変化しないというメリットがある。RQL では高速電圧ドライバ回路を用いて、8 ビット carry lookahead adder の動作周波数 9.8 GHz における動作実証がなされている [40]。更に RQL 大規模システム構築を目指したものとして、Josephson 接合 4 万個からなる RQL シフトレジスタの 2 GHz での動作実証が報告されている [41]。

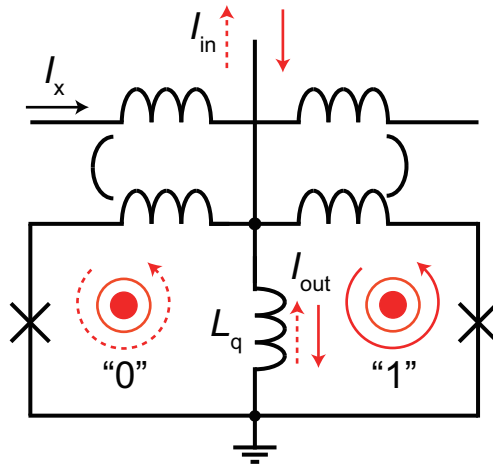


図 6: Adiabatic quantum-flux-parametron (AQFP) の概略図

(E) Adiabatic quantum-flux-parametron

図 6 に AQFP 回路の概略図を示す。AQFP 回路は後藤らによって提案された QFP 回路 [43] を、断熱モード動作が可能となるように回路パラメータを最適化したものである [42]。AQFP は AC 電源電流で駆動され、全ての回路に直列に磁束を印加する。また回路中に抵抗成分が存在しないことから、ゼロ静的消費電力や印加電流量が回路規模にスケールしないという RQL に似た特徴がある。前述した低電力 SFQ 回路と決定的に違うのは、AC 電源電流によって行われるのは回路への磁束バイアスではなく磁束励起であること、SFQ パルスによる信号伝搬をしないこと、という点である。AQFP は入力電流、出力電流ともに電流の向きによって論理表現がなされる。入力電流が印加されることによって回路状態が論理 "0" または論理 "1" 方向に傾けられるため、入力電流は AQFP に対するバイアスとなる。その後 AC 電源電流が印加されることで回路が励起され、入力論理に応じた論理出力が得られる。このため AC 電源電流は励起電流と呼ばれる。また回路状態は励起電流によってゆっくりと断熱的に変化するため、AQFP は動的消費電力を積極的に削減可能である。この結果、AQFP 回路はエネルギー効率が非常に高く、CMOS 回路に比べ 6 桁程度の低消費電力化を実現できる [44] [45]。本研究はこの究極の低消費電力性に着目し、AQFP の発展を目指し取り組んだものである。

これまでに AQFP 回路によってあらゆるランダムロジックを構成するために AQFP セルライブラリが設計され、またこれを用いて設計された CLA などを実現されている [47]。また AQFP 回路によるマイクロプロセッサ構築に向け、信号を保存するラッチ回路、またこれを用いたレジスタファイルの設計及び動作実証がなされている [48] [49]。

1.4 AQFP の課題

AQFP による数百～数千接合の Josephson 接合からなる論理回路の実現がなされた今、次のステップはより大規模な演算回路を構成し、高性能な計算機システムを実現することである。しかし大規模 AQFP システム実現のためにはいくつかの課題を解決する必要がある。

まず一つ、大規模化を困難にする最も大きな要因として、AQFP は他の SFQ 回路と異なり PTL 配線を用いた mm, cm スケールの長距離配線を行うことができないということが挙げられる。AQFP の回路間を繋ぐ配線インダクタンスが増加すると AQFP の出力電流が減少し、回路が正常に動作する励起電流のマージンが大きく低下する [50] [46]。十分に広い励起電流マージンを得るためには、AQFP 間の配線長を 1 mm に制限し、AQFP 間距離が 1 mm を超える際出力電流を増幅するための AQFP 回路を挿入する必要性があった。この問題により AQFP 回路が大規模になればなるほど、論理演算にかかる遅延ではなく信号伝搬遅延が支配的となり、AQFP 計算機システムの性能は著しく低下する。

次に、AQFP の目標動作周波数である 5 GHz での動作実証例が未だ無いことが挙げられる。これまでの AQFP 回路の測定時における最大動作周波数は 2 GHz に留まっている [51]。AQFP 計算機システムのデータレート向上のためには、より高い周波数で動作可能な信号読み出しインターフェースが必要である。

また、数万接合以上の Josephson 接合からなる大規模 AQFP 回路を構築した際、全ての AQFP 回路がエラーを起こさず正常に動作するかは未知数である。小規模な AQFP 回路のビットエラーレート (BER) は 10^{-23} 以下となることがシミュレーションによる解析から求められているが [52]、実際に回路チップを作製した際のパラメータばらつきや磁束トラップの影響が AQFP 回路にどのような影響を与えるのかを実験的に評価する必要がある。

1.5 研究目的

本研究の目的は、前述した AQFP の課題を克服し、AQFP 大規模システム構築を実現することである。AQFP 間の長距離配線に纏わる問題を解決するため、AQFP 回路と RSFQ 回路間で信号伝達を行うインターフェース回路について検討する。AQFP と RSFQ 回路間インターフェースを用いることで、AQFP 回路間に PTL 配線を導入でき、効率的な信号伝達が可能となることを示す。更にこのインターフェース回路の実現により、AQFP へ

RSFQ 回路資産がフレキシブルに導入可能となる。これを活かし、RSFQ 回路の高速電圧ドライバ回路として提案された 4JL ゲート [53] を AQFP の電圧ドライバ回路とする検討を行う。

AQFP の大規模回路の安定動作性、実現性を検証するため、回路パラメータのばらつきもしくは磁束トラップによる AQFP の誤動作を検出可能なエラー検出回路について述べる。これを 1 チップ上に複数配置した歩留まり評価回路の動作実証を行い、数万ゲートレベルでチップ上に配置された AQFP 回路の歩留まりを定量的に評価することで、現段階の AQFP セルライブラリの安定動作性、問題点を明らかにする。

最後に、AQFP 計算機システムの基盤となるマイクロプロセッサの構成について述べる。またこの中でデータの演算、信号保持、データのフィードバックを実行する CPU への AQFP 回路間 PTL 配線技術導入を提案する。

1.6 本論文の構成

本論文の構成は以下のようになる。

第 1 章では研究背景、研究目的について述べた。

第 2 章では SFQ 回路のスイッチング素子である Josephson 接合と AQFP 回路、RSFQ 回路の基本回路とセルライブラリについて述べる。

第 3 章では本研究に用いた超伝導回路プロセスと超伝導回路の測定方法について述べる。

第 4 章では AQFP 回路間長距離信号伝送に用いるコンポーネント回路、また PTL 配線を用いた AQFP 間長距離信号伝送回路の動作実証について述べる。

第 5 章では AQFP の高速動作実証のための電圧ドライバ回路の構成、及び動作実証について述べる。

第 6 章では、AQFP 回路を 1 チップ上に数万接合スケールで集積した AQFP 歩留まり評価回路及び歩留まり評価について述べる。

第 7 章では、PTL 配線を用いた信号フィードバックを導入した 1-bit CPU の設計及び測定結果について述べる。

第 8 章では本研究のまとめとして結論を述べる。

第2章 理論

2.1 本章概要

本章ではまず、超伝導論理回路の基本素子である Josephson 接合 (Josephson Junction: JJ) の構造や特性、磁束の量子化について述べる。その後本研究で用いる AQFP 回路と RSFQ 回路の回路構成及び動作原理について述べる。

2.2 Josephson 効果

2.2.1 Josephson 接合

Josephson 接合 [54] [55] は、図 7(a) に示すような、超伝導体で極めて薄い絶縁膜を挟んだ SIS (Superconductor-Insulator-Superconductor) 構造をしている。絶縁膜は非常に薄いため、2つの電極間にトンネル電流が流れ得る。回路記号は図 7(b) で表される。

Josephson 接合の基本的な性質は以下の 2 式で表される。

$$I = I_c \sin \theta \quad (2-1)$$

$$\frac{d\theta}{dt} = \frac{2e}{\hbar} V \quad (2-2)$$

ここで、 I は Josephson 接合の両端に流れる電流で、 I_c を Josephson 接合の臨界電流と

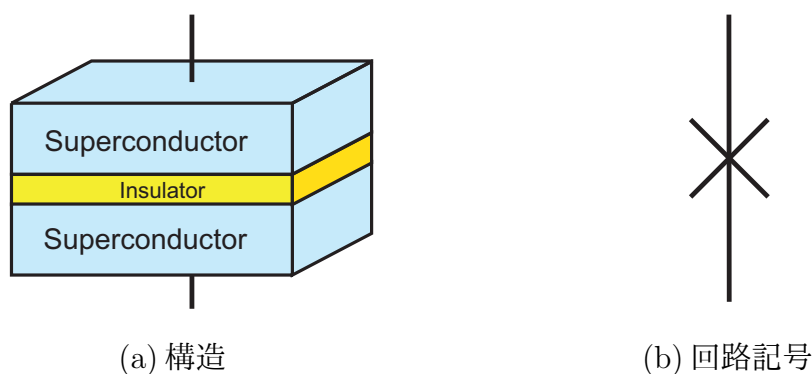


図 7: Josephson 接合の (a) 構造と (b) 回路記号

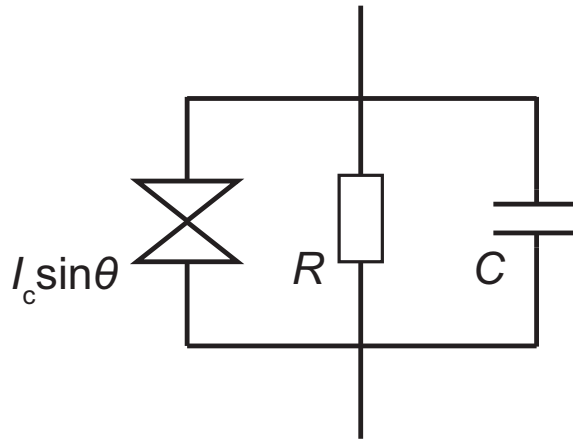


図 8: Josephson 接合の等価回路図

呼び、 θ は超伝導体間における巨視的波動関数の位相差を表している。また e は電気素量 ($e = 1.6 \times 10^{-19}$ C/m)、 h はプランク定数 ($h = 6.63 \times 10^{-34}$ Js) であり、 $\hbar = h/2\pi$ である。ここで、 I がある一定値を持つとき、 θ も同じく一定値を持つ。このとき $d\theta/dt = 0$ なので、 $V = 0$ となる。このとき Josephson 接合の両端に電圧は発生していない (ゼロ電圧状態) にも関わらず、接合に直流電流が流れている。この現象は直流 Josephson 効果と呼ばれている。接合に流れる電流が I_c を超えると Josephson 接合はゼロ電圧状態から有電圧状態に遷移する。Josephson 接合に直流電圧が加えられているとき、式 (2-2) より、

$$\theta = \frac{2eV}{\hbar}t + \theta_0 \quad (2-3)$$

となる。この式より、位相差 θ は時間と共に増大し、その結果式 (2-1) より、Josephson 電流は直流電圧に比例した周波数で交流電流が発生する。その周波数は

$$f = \frac{2eV}{\hbar} = \frac{V}{\Phi_0} = 483.09 \text{ GHz/mV} \quad (2-4)$$

で与えられる。つまり、有電圧状態では素子は自励発振状態となる。この現象は交流 Josephson 効果と呼ばれている。

2.2.2 集中定数型 Josephson 接合

本節では集中定数型 Josephson 接合の特性について述べる。図 8 は、抵抗シャント接合 (Resistively Shunted Junction) モデルと呼ばれる Josephson 接合の等価回路図である。ここで C は接合容量、 R は常伝導抵抗である。このとき、接合に直流電流 I を加えたとき、接合にかかる電圧 V 、Josephson 電流 $I_c \sin \theta$ 、準粒子電流 V/R 、変位電流 $C \cdot dV/dt$ を用

いて次のように表される。

$$I = I_c \sin \theta + \frac{V}{R} + C \frac{dV}{dt} \quad (2-5)$$

式(2-2)を用いて式(2-5)を整理すると

$$I = \frac{\hbar C}{2e} \frac{d^2 \theta}{dt^2} + \frac{\hbar}{2eR} \frac{d\theta}{dt} + I_c \sin \theta \quad (2-6)$$

となる。ここで、式(2-6)を以下2つの変数で変換すると、

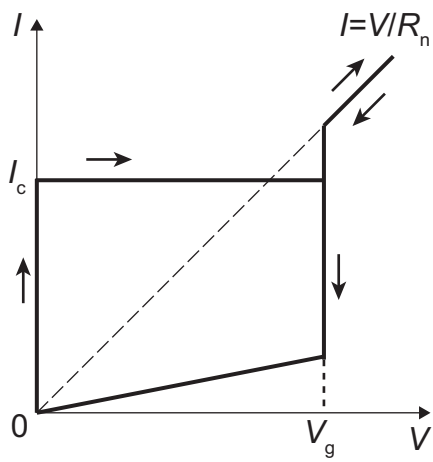
$$T = \frac{2eI_c R}{\hbar} t \quad (2-7)$$

$$\beta_c = \frac{2eI_c C}{\hbar} \quad (2-8)$$

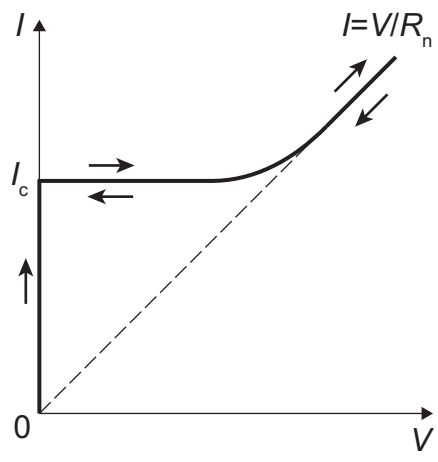
式(2-6)は以下のように変換できる。

$$\frac{I}{I_c} = \beta_c \frac{d^2 \theta}{dT^2} + \frac{d\theta}{dT} + \sin \theta \quad (2-9)$$

ここで β_c は McCumber パラメータと呼ばれ、Josephson 接合の I-V 特性に影響する。 $\beta_c \gg 1$ のとき図9(a)のように I-V 特性に大きなヒステリシスを持ち、これをアンダーダンプ型の特性と呼ぶ。アンダーダンプ型では Josephson 接合が一旦有電圧状態に遷移すると、超伝導状態に遷移するためには入力電流 I を臨界電流 I_c よりもはるかに低い値まで下げなければならない。一方 $\beta_c = 1$ のときは図9(b)のようにヒステリシスを持たない特性を持ち、これをオーバードンプ型の特性と呼ぶ。



(a) アンダーダンプ型



(b) オーバーダンプ型

図 9: Josephson 接合の I-V 特性

2.3 超伝導量子干渉デバイス

超伝導体内ループの中に Josephson 接合を挟んだ構造では、超伝導の巨視的量子効果に起因する量子力学的干渉効果が生じる。これを利用すれば、磁場感度の大きなゲートやメモリが構成できる。このようなデバイスを SQUID (Superconducting Quantum Interference Device) と呼ぶ。本節では、SQUID の一般的性質である超伝導量子干渉効果および、超伝導体内ループ中に Josephson 接合を二つ挟んだ構造をもつ dc-SQUID について述べる。

2.3.1 超伝導量子干渉効果

図 10 のように超伝導リング中に Josephson 接合が含まれているときの現象について考える。このリング中に N 個の Josephson 接合が含まれているとき、リング内を貫く磁束を Φ 、 i 番目の Josephson 接合の位相差を θ_i とすると、

$$\Phi + \frac{\Phi_0}{2\pi} \sum_{i=1}^N \theta_i = n\Phi_0 \quad (n = 1, 2, \dots) \quad (2-10)$$

が成り立つ。これは、超伝導ループ中に Josephson 接合が含まれた場合の量子化条件を表す。左辺はフラクソイド (fluxoid) と呼ばれる量であり、この式 (2-10) をフラクソイドの量子化条件という。式 (2-10) は、超伝導ループ中の各 Josephson 接合の位相差、すなわち Josephson 電流がお互いに干渉し合うことを意味し、これを超伝導量子干渉効果という。 Φ は外部磁界により変えることができるため、Josephson 接合間の干渉効果を外部磁界により制御することが可能となる。

2.3.2 SQUID の回路方程式

SQUID の特性を記述する回路方程式は、通常の電気回路の方程式に Josephson 方程式 (2-1)(2-2)、フラクソイド量子化条件 (2-10) 等を組み合わせて記述できる。Josephson 方程式 (2-1)(2-2) において、位相差 θ の代わりに

$$\Phi_k = \frac{\Phi_0}{2\pi} \theta \quad (2-11)$$

で表される等価磁束 Φ_k を導入すると、次のように書き換えられる。

$$V = \dot{\Phi}_k \quad (2-12)$$

$$I = I_c \sin \frac{2\pi \Phi_k}{\Phi_0} \quad (2-13)$$

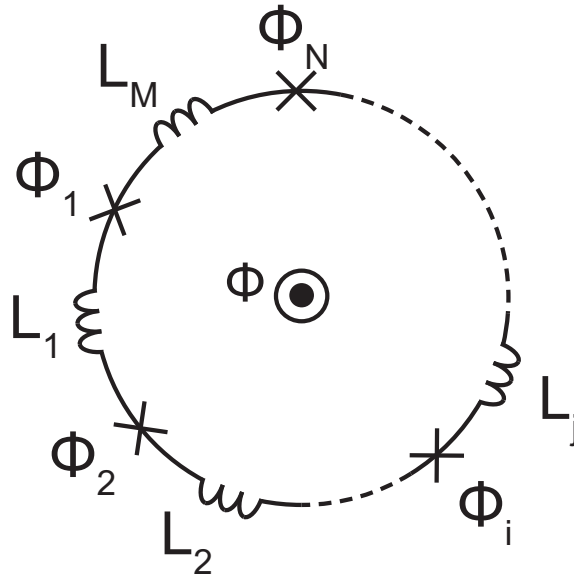
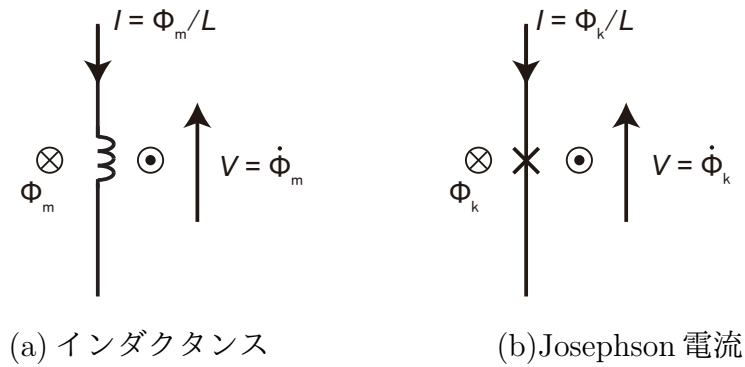


図 10: Josephson 接合を含む超伝導リング



(a) インダクタンス

(b) Josephson 電流

図 11: Josephson 接合の等価磁束

式 (2-12)、(2-13) は、Josephson 電流が式 (2-13) で与えられる磁束-電流関係をもつ非線形インダクタンスであることを意味する。

図 11(a) のように通常の磁氣的インダクタンス L に電流を流すと、 $\Phi_m = LI$ の鎖交磁束が生じる。磁束の向きは、最終的にはループを構成することを前提として、右ねじの向きを正とする。端子間電圧と電流方向を同図に示すように選ぶと、 $V = \dot{\Phi}_m = LI$ が成立する。Josephson 接合の場合の等価磁束にも、図 11(b) に示すように同じ定義を適用する。図 10 の回路に M 個のインダクタンスがあるとすると、この超伝導ループに成立するフラクソイドの量子化条件式 (2-10) は次のようになる。

$$\Phi_{\text{ex}} + \sum_{j=1}^M \Phi_{m,j} + \sum_{i=1}^N \Phi_{k,i} = n\Phi_0 \quad (n = 1, 2, \dots) \quad (2-14)$$

ただし、 Φ_{ex} は外部から印加した磁束、 $\Phi_{m,j} = L_j I_j$ 、 $\Phi_{k,i} = (\Phi_0/2\pi)\theta_i$ はそれぞれ j 番目のインダクタンス L_j の磁束および i 番目の Josephson 接合の等価磁束である。

2.3.3 dc-SQUID

(A) 対称構造 dc-SQUID

図 12 に示されるような、超伝導ループに 2 個の Josephson 接合を含んだ構造の SQUID を dc-SQUID と呼ぶ [56]。ここではまず、インダクタンス、Josephson 接合の臨界電流値が左右対称な dc-SQUID について述べる。この SQUID に電流 I 、外部磁束 Φ_{ex} を印加したときの特性について考える。フラクソイド量子化条件は、式 (2-10) に $n = 2$ を代入して、次式で表わせる。

$$\Phi_{\text{ex}} - \Phi_{k1} + \Phi_{k2} - \Phi_{m1} + \Phi_{m2} = 2\Phi_0 \quad (2-15)$$

また、

$$I = I_1 + I_2 \quad (2-16)$$

$$I_1 = I_{c1} \sin \frac{2\pi \Phi_{k1}}{\Phi_0} = \frac{\Phi_{m1}}{L_1} \quad (2-17)$$

$$I_2 = I_{c2} \sin \frac{2\pi \Phi_{k2}}{\Phi_0} = \frac{\Phi_{m2}}{L_2} \quad (2-18)$$

が成立する。 I_{c1} 、 I_{c2} はそれぞれ左右の接合の臨界電流値である。以上の方程式の連立により、dc SQUID における内部変数 Φ_{k1} 、 Φ_{k2} 、 Φ_{m1} 、 Φ_{m2} は外部変数 I 、 Φ_{ex} の関数として求めることができる。ここで、dc-SQUID は左右対称のため $L_1 = L_2 = 0$ ($\Phi_{m1} = \Phi_{m2} = 0$)、 $I_{c1} = I_{c2} = I_c$ である。このとき、式 (2-17)-(2-18) より、

$$\begin{aligned} I &= 2I_c \sin \frac{\pi}{\Phi_0} (\Phi_{k1} + \Phi_{k2}) \cos \frac{\pi}{\Phi_0} (\Phi_{k1} - \Phi_{k2}) \\ &= 2I_c \cos \frac{\pi \Phi_{\text{ex}}}{\Phi_0} \sin \frac{\pi}{\Phi_0} (2\Phi_{k1} - \Phi_{\text{ex}}) \end{aligned} \quad (2-19)$$

が得られる。この式は印加磁束 Φ_{ex} に対する最大の電流 I_{max} 、すなわち dc-SQUID のしきい値電流 I_{th} が次の式で与えられることを意味する。

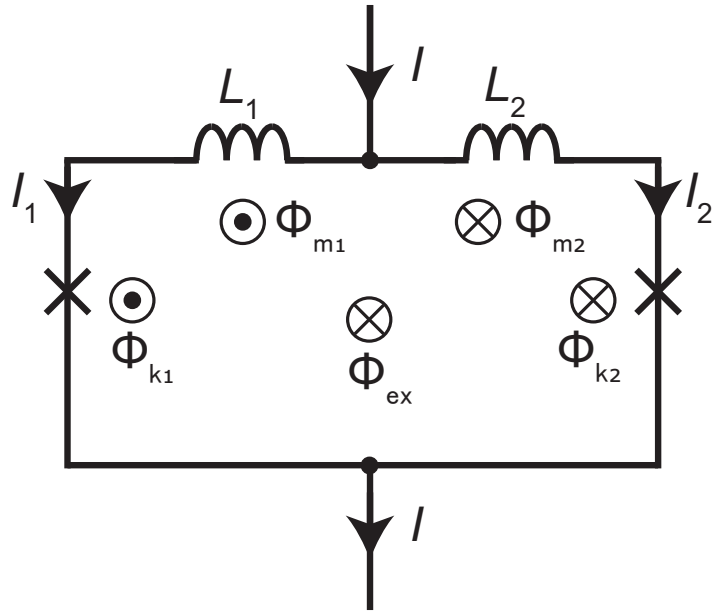


図 12: dc-SQUID

$$I_{\max} = I_{\text{th}} = 2I_c \left| \cos \pi \frac{\Phi_{\text{ex}}}{\Phi_0} \right| \quad (2-20)$$

図 13 に、印加磁束 Φ_{ex} に対するしきい値電流 I_{th} の依存性を示す。SQUID のしきい値電流 I_{th} は、印加磁束 Φ_{ex} により $2I_c$ と 0 の範囲にわたり周期 Φ_0 の変調を受ける。このしきい値特性のなかで、印加磁束 Φ_{ex} が $-0.5\Phi_0 \sim 0.5\Phi_0$ の領域は SQUID に鎖交している磁束は 0 であり、 $0.5\Phi_0 \sim 1.5\Phi_0$ では $1\Phi_0$ である。しきい値特性のなかで dc-SQUID に鎖交している磁束量が $n\Phi_0$ である領域を n 磁束モードと呼ぶ。また、dc-SQUID は式 (2-20) の臨界電流値を持つ単一 Josephson 接合と考えることもできる。実際の SQUID では L_1 、 L_2 が存在する。 $L_1 = L_2 \neq 0$ でのしきい値電流依存性は図 14 の実線のようになる。 L が大きくなると、 n の異なる状態が重なり、しきい値電流の変調深さは小さくなる。 L が大きくなるほどしきい値電流の変調深さは小さくなり、印加磁束に対する SQUID の感度は悪くなる。

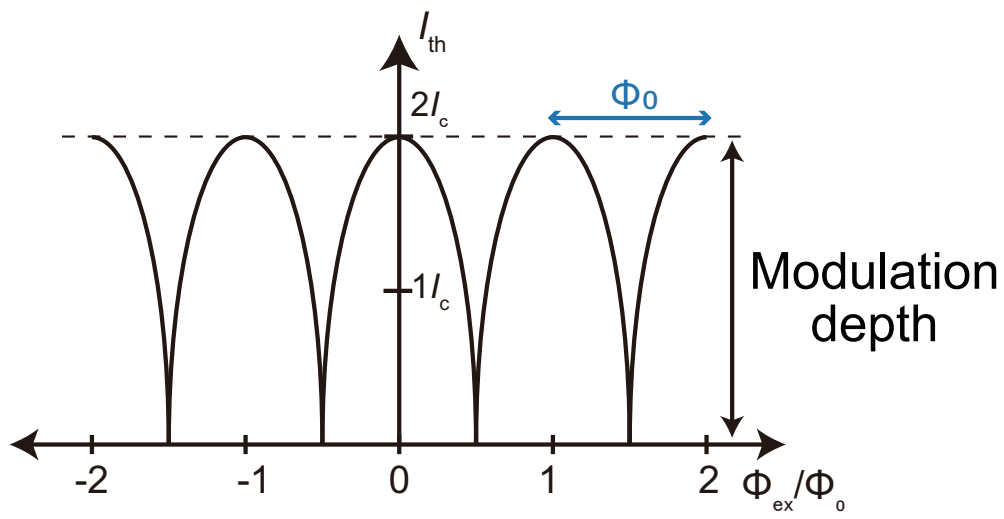


図 13: dc-SQUID の電流しきい値の印加磁束に対する依存性 ($L_1 = L_2 = 0$)

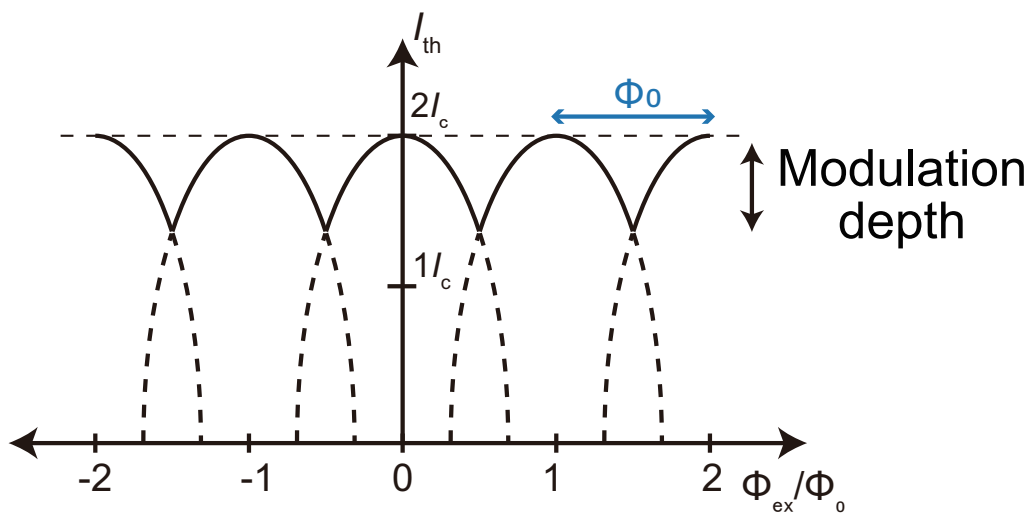


図 14: dc-SQUID の電流しきい値の印加磁束に対する依存性 ($L_1 = L_2 \neq 0$)

(B) 非対称 dc-SQUID

図 14 で示されるように対称構造 dc-SQUID では、印加される磁束 Φ_{ex} の向きが正であっても負であっても同様の変調を受ける。どちらか片方の向きの磁束のみを dc-SQUID によって検出したい場合は、左右非対称構造の dc-SQUID が用いられる。ここでは、図 12 中の 2 つの接合の臨界電流値 I_{c1} 、 I_{c2} とインダクタンス L_1 、 L_2 が非対称であることを考える。非対称 dc-SQUID の印加磁束 Φ_{ex} に対するしきい値電流 I_{th} 依存性の 0 磁束モードを図 15 に示す。インダクタンス L_1 、 L_2 の比を $p : q$ ($p + q = 1$) とし、 $L_1 + L_2 = L$ とすると、0 磁束モードでのしきい値特性の頂点 A、B におけるしきい値電流 I_{th} 、印加磁束 Φ_{ex} の値は以下のように表される。

$$A : (I_{\text{th}}, \Phi_{\text{ex}}) = (I_{c1} + I_{c2}, (pI_{c1} - qI_{c2})L) \quad (2-21)$$

$$B : (I_{\text{th}}, \Phi_{\text{ex}}) = (I_{c1} - I_{c2}, (pI_{c1} + qI_{c2} + \frac{\Phi_0}{2L})L) \quad (2-22)$$

$$(2-23)$$

残る 2 つの頂点 C、D はそれぞれ、頂点 A、B の符号を反転させた値で表される。式 2-22 より、 $pI_{c1} - qI_{c2} = 0$ のとき、頂点 A はちょうど縦軸上に位置する。すなわち、印加磁束がゼロのときに非対称 dc-SQUID のしきい値電流は最大となる。このとき、頂点 A の左右で傾斜が異なる。よって正の磁束印加に対しては磁束感度が低く、負の磁束印加に対して磁束感度が高くなる。また、実際は図 16 のように磁束モードが連続的に並ぶので、しきい値特性は図 16 中の実線で示される特性となる。本研究では、この特性を用いることで後述する AQFP 回路の出力検出素子とする。

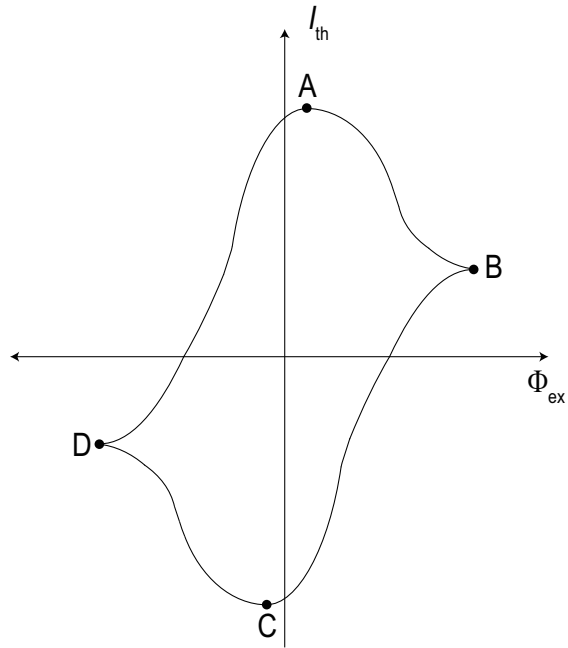


図 15: 非対称 dc-SQUID の印加磁束に対するしきい値電流依存性の 0 磁束モード

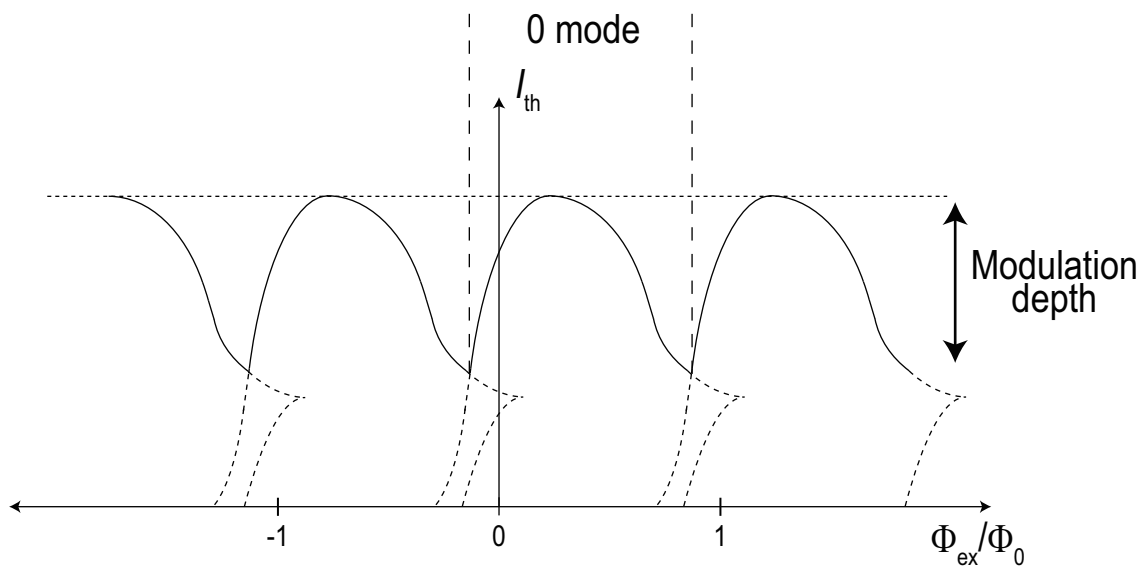


図 16: 非対称 dc-SQUID の印加磁束に対するしきい値電流依存性

2.4 断熱型量子磁束パラメトロン回路の動作原理

本節では、AQFP 回路の動作原理及び動作原理、論理ゲートの設計方法、AQFP 回路間での信号伝搬方法について述べる。

AQFP buffer 回路の等価回路図を図 17 に、入出力特性を図 18 に示す。Buffer 回路は AQFP 回路の最も基本的な論理ゲートである。Buffer 回路は 2 個の超伝導ループが出力インダクタンス L_q を共有しており、それぞれの超伝導ループはインダクタ L_1 、 L_2 は磁束を印加する励起配線のインダクタ L_{x1} 、 L_{x2} と磁気結合している。AQFP の動作原理は QFP に基づくものである。まず入力電流 I_{in} が印加され、その後励起電流 I_x が印加されると、 I_{in} の向きに応じて超伝導ループの右か左のどちらかに磁束量子が保持される。図 17 (a) のように左の超伝導ループに磁束量子が保持された状態を”0”状態、図 17 (b) のように右の超伝導ループに磁束量子が保持された状態を”1”状態とすることで論理表現が可能である。入力電流 I_{in} が印加されてから I_x により AQFP が励起され、周回電流 I_q が生じる。周回電流 I_q は磁気結合係数 k_{out} の磁気トランスを介してインダクタ L_{out} に伝わり、出力電流 I_{out} が生じる。この出力電流 I_{out} は次段の Buffer に対する入力電流となる。これら一連の動作における回路のエネルギーポテンシャルは全て断熱的に変化する。この断熱的なポテンシャル変化のため、AQFP は台形波もしくはサイン波の励起電流 I_x で駆動される。本研究では GHz 帯の高速動作実現を目指すため、サイン波の励起電流を用いている。

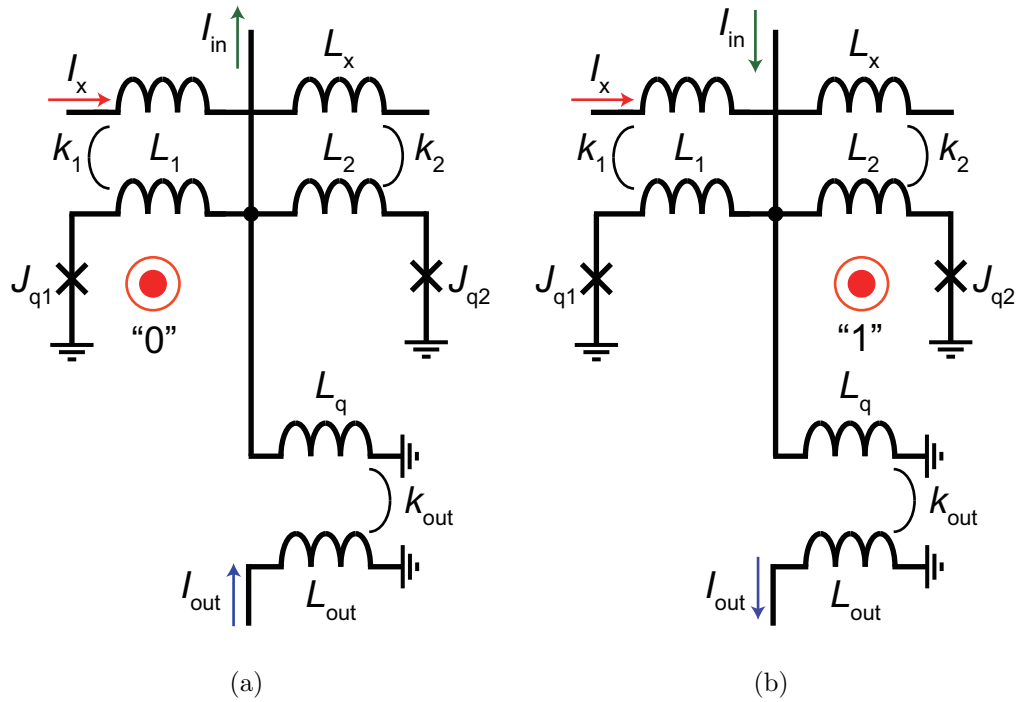


図 17: AQFP Buffer 回路の等価回路図。(a) は論理”0”の時の回路状態を、(b) は論理”1”の時の回路状態を示す。 $L_x = 9.58$ pH、 $L_1 = L_2 = 0.620$ pH、 $L_q = 7.78$ pH、 $L_{out} = 27.3$ pH、 $J_{q1} = J_{q2} = 50$ μ A、 $k_1 = k_2 = -0.258$ 、 $k_{out} = -0.455$

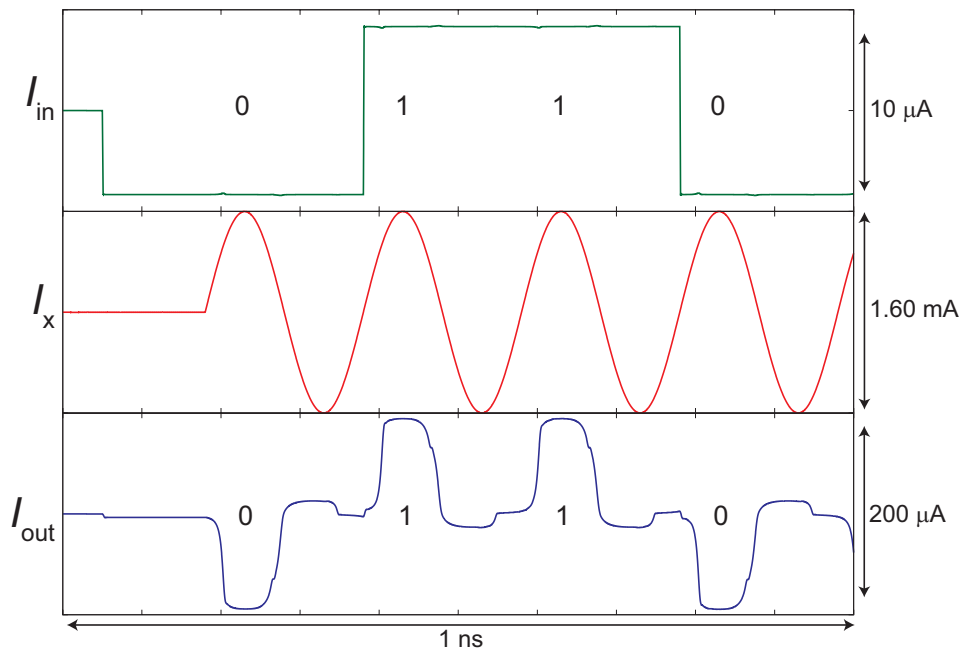


図 18: AQFP buffer の 5 GHz 動作時の入出力特性

AQFP Buffer のポテンシャルエネルギー変化を考える。はじめ、Buffer に励起電流が流れていないときは磁束量子が保持されておらず、この状態を初期状態とする。初期状態から論理”0” 状態への回路動作、論理”1” への回路動作それぞれを平等にするため、Buffer は左右対称な構造である。すなわち、 $L_{x1} = L_{x2} = L_x$ 、 $L_1 = L_2 = L$ 、 $k_1 = k_2 = k$ 、 $I_{q1} = I_{q2} = I_q$ が成り立つ。ここで、 I_{q1} 、 I_{q2} はそれぞれ Josephson 接合 J_{q1} 、 J_{q2} の臨界電流値である。励起電流 I_x によって $k(LL_x)^{1/2}I_x = MI_x$ の磁束が2つの超伝導ループに印加される。ここで、2つの Josephson 接合の位相差を ϕ_1 、 ϕ_2 とすると、Buffer のポテンシャルエネルギー U_{qfp} は以下の式で表される。

$$U_{qfp} = E_j \left[\frac{(\phi_x - \phi_-)^2}{\beta_L} + \frac{(\phi_{in} - \phi_+)^2}{\beta_L + 2\beta_q} - 2 \cos \phi_- \cos \phi_+ \right] \quad (2-24)$$

ここで、式 2-24 中の各パラメータは以下の式で表される。

$$E_j = \frac{I_c \Phi_0}{2\pi} \quad (2-25)$$

$$\phi_+ = \frac{\phi_1 + \phi_2}{2} \quad (2-26)$$

$$\phi_- = \frac{\phi_1 - \phi_2}{2} \quad (2-27)$$

$$\phi_x = \frac{2\phi MI_x}{\Phi_0} \quad (2-28)$$

$$\phi_{in} = \frac{2\phi L_q I_{in}}{\Phi_0} \quad (2-29)$$

$$\beta_L = \frac{2\phi LI_c}{\Phi_0} \quad (2-30)$$

$$\beta_q = \frac{2\phi L_q I_c}{\Phi_0} \quad (2-31)$$

ここで、次段の Buffer との磁気トランスを形成する都合上、 $L < L_q$ となり、式(2-30)(2-31)から $\beta_L < \beta_q$ となる。よって式(2-24)は第1項が支配的となるため、Buffer のエネルギーポテンシャル U_{qfp} は $\phi_x = \phi_-$ のときに最小となる。このとき式(2-24)第2項より、 ϕ_x から見た U_{qfp} の断面図にエネルギー最小点が現れる。入力電流 $I_{in} = 0$ 、励起電流 $I_x = 0$ の初期状態では $\phi_x = 0$ のときに U_{qfp} は1つのエネルギー最小点を持つ。 $\phi_x = \phi_-$ の条件を満たし、入力電流 $I_{in} = 0.1I_c$ が印加されたのち、Buffer が励起され初期状態から論理”1”へ遷移するときのエネルギーポテンシャル変化を図 19 に示す。このとき、回路の状態は質点の位置で表される。まず初期状態では入力電流 I_{in} によってエネルギーポテンシャル、

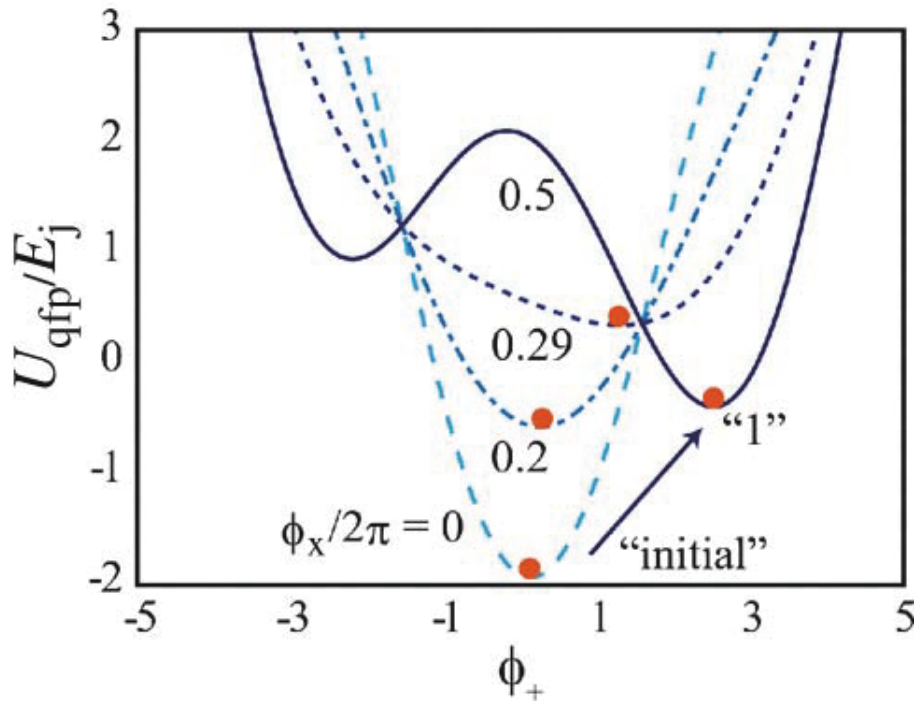


図 19: Buffer が初期状態から論理”1”へ遷移するときのエネルギーポテンシャル変化 [52]

質点はともに ϕ_x の正方向に傾けられる。その後励起電流 I_x が立ち上がるにつれ質点は右に傾けられながら変化する。やがてポテンシャル上に2つのエネルギー極小点が形成される。これらの極小点が論理”0”状態と論理”1”状態に相当するが、いま、質点は論理”1”方向に傾けられながら変化したので論理”1”に相当する極小点に存在する。その後励起電流 I_x が立ち下がることで、質点は初期状態の位置に戻る。このようなポテンシャル変化の原理により、AQFPでは急激なポテンシャル遷移が発生しないため動的消費電力を積極的に低減可能である。またAQFPの論理状態は理想的には入力電流 I_{in} がどれだけ小さくても、 I_{in} の向きによって一意に決まる。このため理想状態ではAQFPの入力感度は無限大であるが、実際はポテンシャルの質点は熱雑音によってランダムに振動しているため有限である。

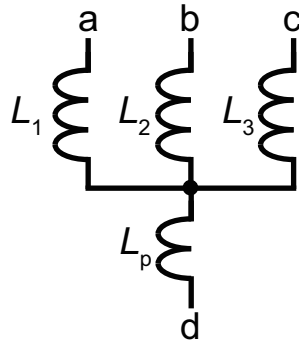


図 20: 1 入力 3 出力ブランチセルの等価回路図

2.5 AQFP セルライブラリ

AQFP セルライブラリは、Buffer セル、NOT セル、定数セル、ブランチセルの 4 種類のセルの組み合わせによってあらゆる論理回路を実現するミニマル設計 [46] によって構成されている。ここで、ブランチセルとは図 20 に示すように枝分かれした形状のインダクタであり、信号の分岐、もしくは合流に用いられる。ミニマル設計を用いると、セルライブラリの論理回路全てが基本的な AQFP 論理回路の組み合わせによって実現されることで、高いパラメータばらつき耐性を得ることができる。ミニマル設計によって構成される論理回路の一例として、図 22 に多数決論理回路の Majority ゲートと NAND ゲートのブロック図を示す。Majority ゲートは Buffer セル 3 つの出力をブランチセルによって合流し単一出力とすることで構成できる。一方で NAND ゲートは 2 つの NOT ゲートと定数”1”セルの出力をブランチセルによって合流することで構成可能である。

2.5.1 定数セル [57]

定数セルは入力電流を印加せず、励起電流の印加のみで駆動する回路である。定数回路は Buffer 回路の L_1 、 L_2 を非対称にし、入力電流を印加しない構成をとることで実現できる。 L_1 、 L_2 が非対称であるため、 I_x によって左右の超伝導ループに印加される磁束のバランスが崩れ、常に同値の出力を行う回路となる。例として定数”0”セルの等価回路図を図 21 に示す。定数”0”セルの L_1 、 L_2 パラメータはそれぞれ、 $L_1=1.48$ pH, $L_2=1.40$ pH である。

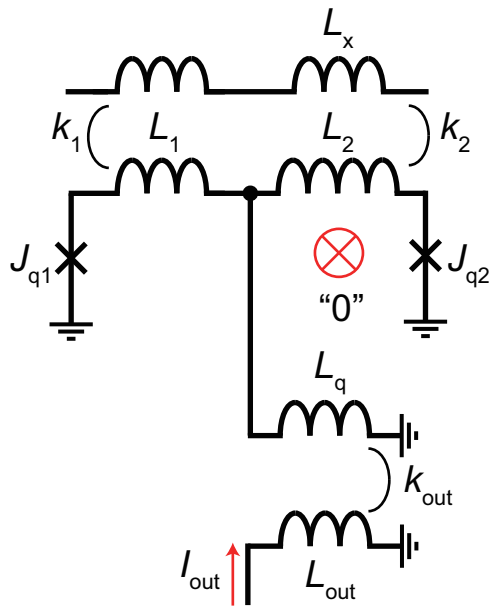


図 21: 定数"0"セルの等価回路図

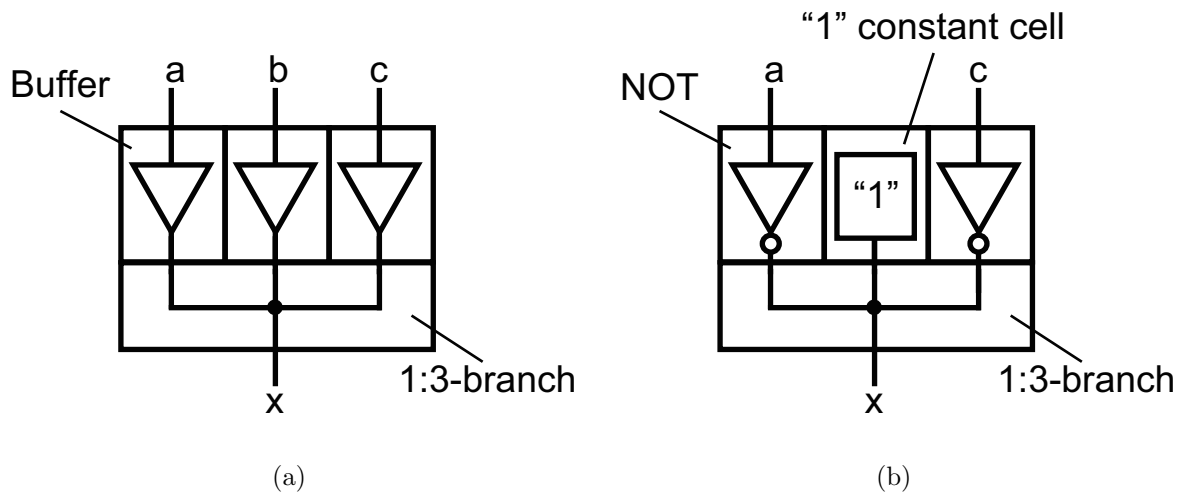


図 22: ミニマル設計によって構成された (a) Majority ゲートセルと (b) NAND ゲートセルのブロック図

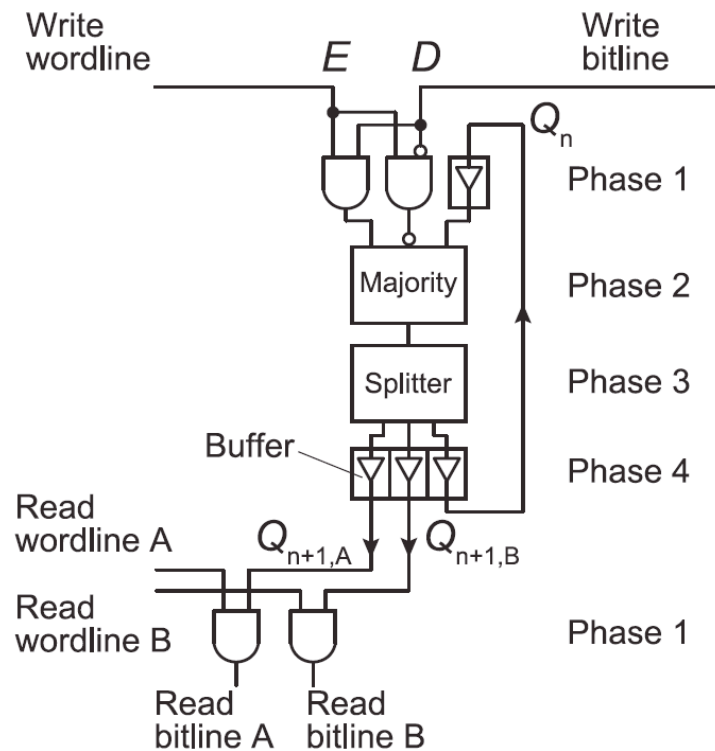


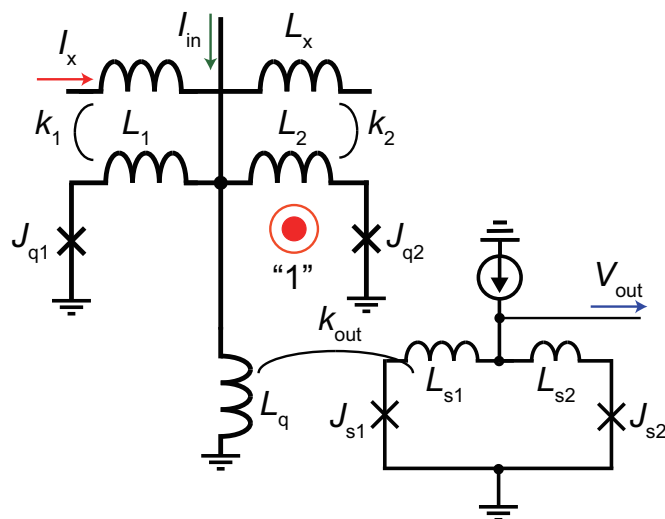
図 23: 帰還型 D-latch のブロック図

2.5.2 ミニマル設計による帰還型 Delay latch (D-latch)

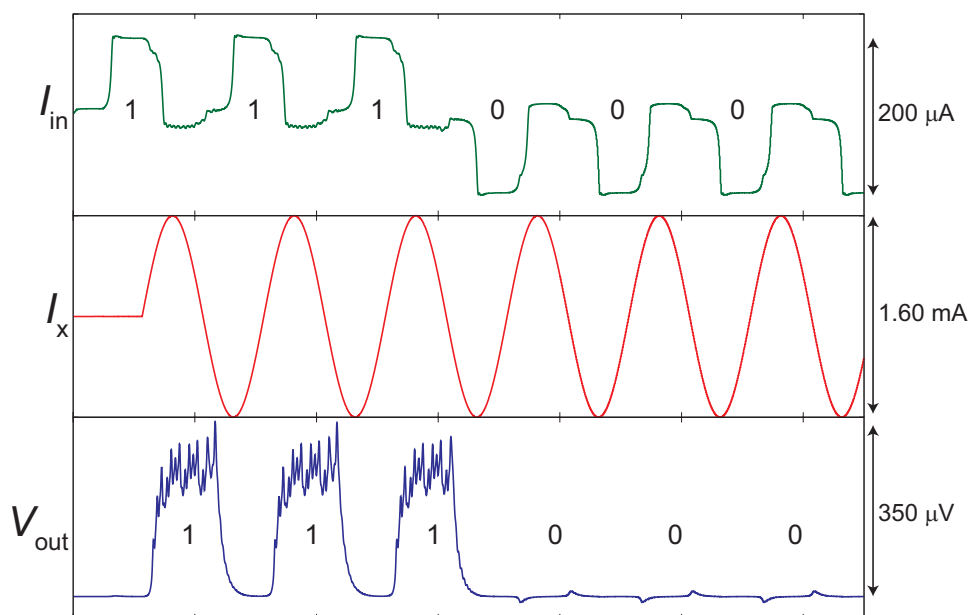
図 23 に帰還型 D-latch のブロック図を示す [49]。帰還型 D-latch は出力信号を入力にフィードバックすることで論理状態を保持する回路である。まず論理状態の書き込み動作は、write wordline からイネーブル信号 E から”1”が入力されると write bitline から入力される信号 D を D-latch に書き込むと同時に信号 D を出力する。E 信号が”0”のときは、D-latch は内部状態の保持信号出力を行う。D-latch に Read wordline から読み出し信号が入力されたとき、D-latch の信号は Read bitline から出力される。本構成の帰還型 D-latch は 7 章で述べるレジスタファイル中の信号保持回路として用いられる。

2.5.3 stack セル

図 24(a) に stack セルの回路図を、(b) に入出力特性を示す。stack セルは AQFP buffer の電流出力を非対称 SQUID によって電圧出力に変換する回路である。Buffer の状態が”0”の場合は非対称 SQUID は有電圧状態にならず、”1” の場合のみ有電圧状態に遷移する。



(a) 回路図



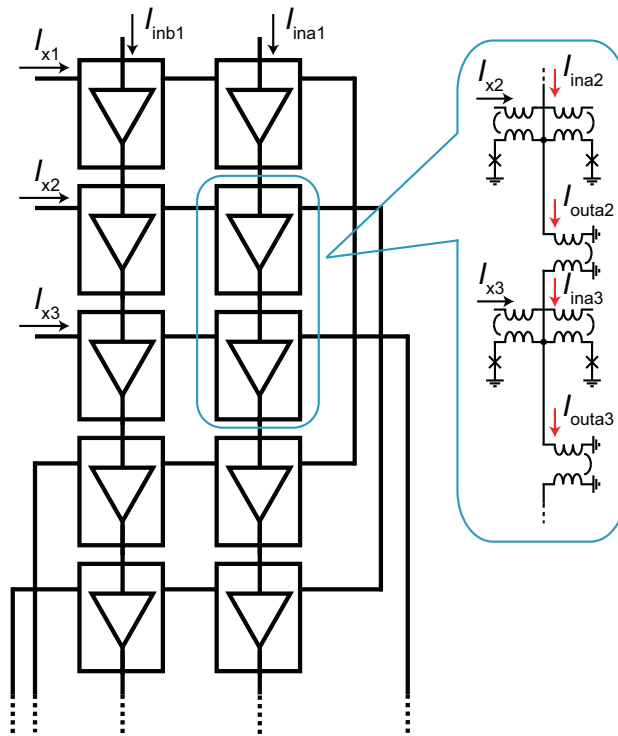
(b) 入出力特性

図 24: stack セルの (a) 回路図と (b) 入出力特性。 $L_x = 9.60$ pH、 $L_1 = L_2 = 0.769$ pH、 $L_q = 13.1$ pH、 $L_{s1} = 21.3$ pH、 $L_{s2} = 2.89$ pH、 $J_{q1} = J_{q2} = 100$ μ A、 $J_{s1} = J_{s2} = 50$ μ A、 $k_1 = k_2 = -0.245$ 、 $k_{out} = -0.529$

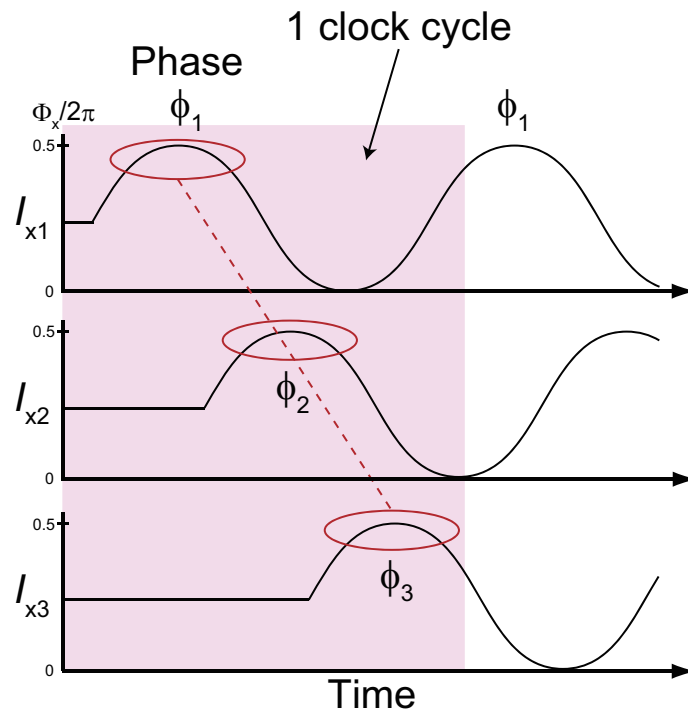
2.5.4 AQFP のデータ伝搬方法

AQFP 回路は励起電流 I_x によって回路が励起されている間のみ磁束が保持される。複数のゲート間で信号伝搬を行うためには多相交流を印加する必要がある、3 相交流または 4 相交流が主に用いられる。図 25 に 3 相交流駆動時の配線方法とデータ伝搬図を示す。3 相交流で AQFP を駆動する場合、3 つの AC 電流をメアンダ状に配線し、位相が 120 度ずつずれた I_{x1} 、 I_{x2} 、 I_{x3} を印加する。1 段目の buffer が励起されデータが出力されている間に、次段の buffer を励起することでデータ伝搬が行われる。また ϕ_1 、 ϕ_2 、 ϕ_3 の 1 クロックサイクルで 1 つのデータが伝搬されるため、データ伝搬に 3 ゲート必要である。

図 26 に 4 相交流駆動時の配線方法とデータ伝搬図を示す。4 相交流で駆動する場合、2 つの AC 電流 I_{x1} と I_{x2} 、1 つの dc 電流 I_{dc} を図 26 のように印加することで実現できる。4 相交流は 3 相交流駆動の場合よりも回路に印加する AC 電流数を削減できるが、 $\phi_1 \sim \phi_4$ の 4 相で 1 つのデータ伝搬を行うため、データ伝搬に必要なゲート数が増加する。

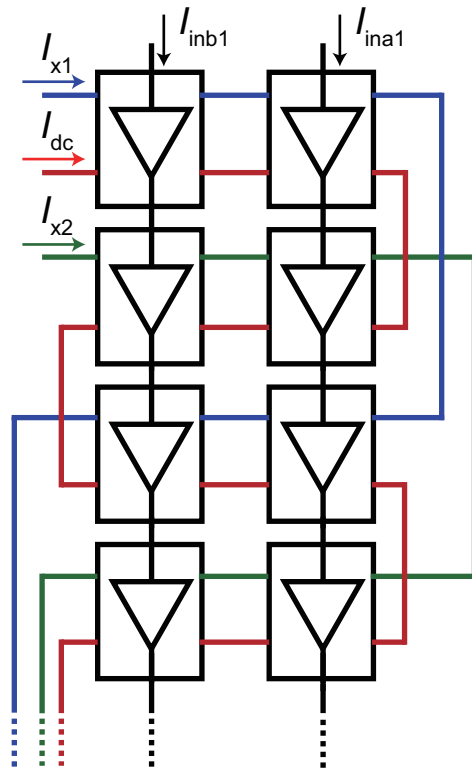


(a) 3 相交流駆動時の配線方法

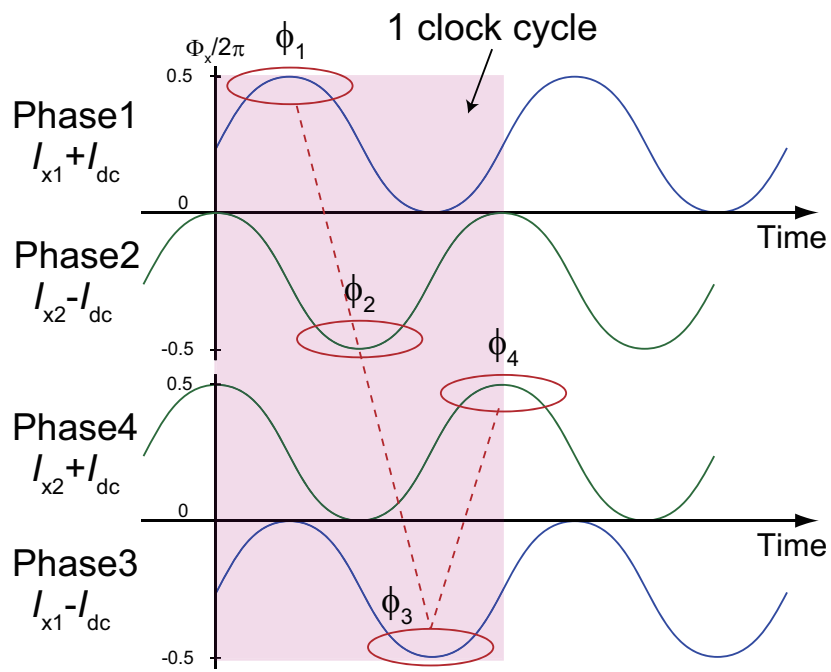


(b) データ伝搬タイミング

図 25: (a) 3 相交流駆動時の励起配線方法と (b) データ伝搬タイミング



(a) 4 相交流駆動時の配線方法



(b) データ伝搬タイミング

図 26: (a) 4 相交流駆動時の励起配線方法と (b) データ伝搬タイミング

2.6 単一磁束量子回路

本節では、RSFQ回路の動作原理について述べた後、RSFQ回路に用いられる論理回路の回路図と動作例を示す。

2.6.1 単一磁束量子回路の動作原理

超伝導体のループを貫く磁束は、Cooper 対の巨視的波動関数の位相がループ内を一周するごとに 2π の整数倍になるように量子化される。この量子化される磁束の最小単位を磁束量子 Φ_0 といい、その値は

$$\Phi_0 = \frac{h}{2e} = 2.07 \times 10^{-15} \text{ Wb} \quad (2-32)$$

となる。単一磁束量子回路では、磁束量子 Φ_0 の有無で情報を”1”、”0”に対応させ、伝達や演算を行う。

図 27 のような Josephson 接合を含む超伝導ループ (後述する SQUID) を並列に接続した回路を考える。図 28 はその等価回路図である。Josephson 接合には、臨界電流値 I_c を超えない程度にバイアス電流が印加されている。磁束量子を印加すると、ループには磁束量子による循環電流 I_{cir} が流れる。Josephson 接合のインダクタンスを無視し、ループインダクタンスを L とすると、循環電流 I_{cir} は次のよう表される。

$$I_{\text{cir}} = \frac{\Phi_0}{L} \quad (2-33)$$

バイアス電流と循環電流 I_{cir} の合計が Josephson 接合の臨界電流値 I_c を超えると接合が有電圧状態にスイッチする。この際磁束量子は超伝導状態となっている右側のループに移動する。これを繰り返すことで磁束量子は SFQ 回路内を伝搬する。磁束量子が伝搬する際に Josephson 接合にはパルス状の電圧 $V(t)$ が発生する。このパルス電圧は SFQ パルスと呼ばれ、SFQ 回路は SFQ パルスが伝搬していく回路と考えることもできる。SFQ パルスは Josephson 接合を横切る磁束量子と等しくなるため、SFQ パルスを $V(t)$ とすると、以下の関係式が成り立つ。

$$\Phi_0 = \int V(t) dt = 2.07 \text{ mV} \cdot \text{ps} \quad (2-34)$$

SFQ パルスの時間波形を図 29 に示す。バイアス電流と循環電流 I_{cir} の合計が臨界電流値

I_c よりも小さいと Josephson 接合は有電圧状態にならないため、磁束量子はループ内に保持される。磁束量子を保持するための条件は、 $LI_c > \Phi_0$ となる。これに対し、循環電流が I_c より大きいと接合が有電圧状態となり磁束量子が次の接合へと移動する。この条件は、 $LI_c < \Phi_0$ となる。つまり、ループインダクタンス及び臨界電流値を調節することにより、磁束量子の伝搬または保持の制御が可能となる。伝搬ループでは $LI_c = 0.5\Phi_0$ 、保持ループでは $LI_c = 1.5\Phi_0$ 程度となるよう設計されている。

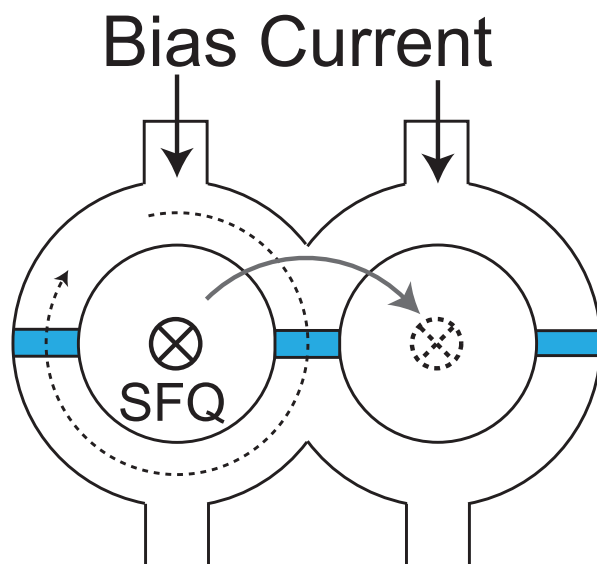


図 27: Josephson 接合を含んだ超伝導ループ

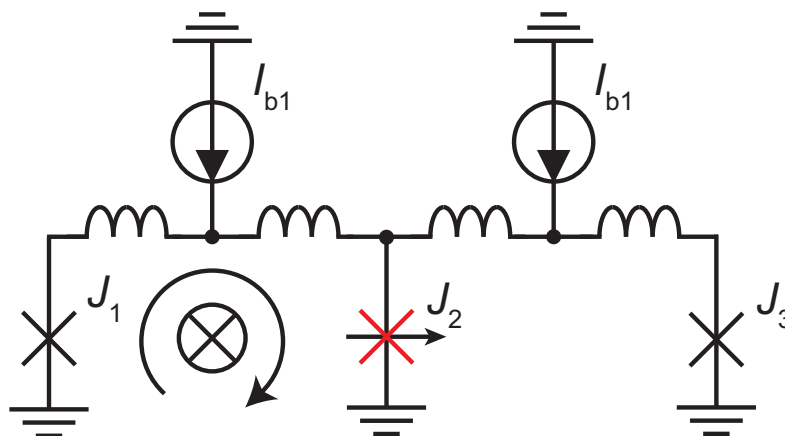


図 28: Josephson 接合を含んだ超伝導ループの等価回路

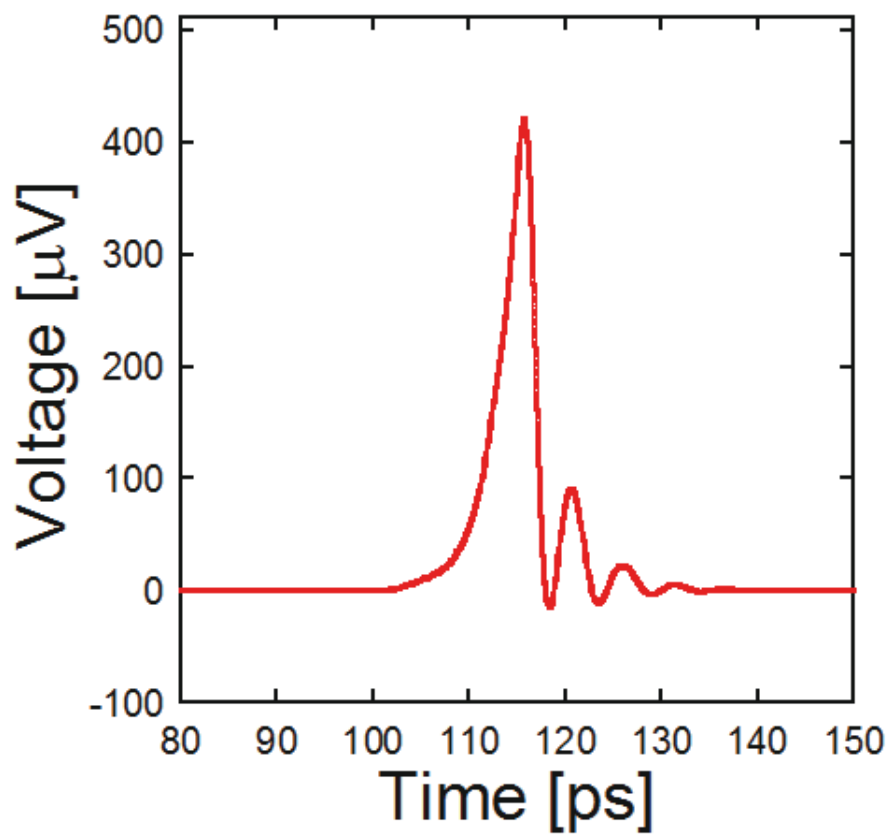


図 29: SFQ パルスの時間波形

2.6.2 RSFQ 論理回路

本節では、RSFQ 回路設計で用いる基本的な回路の回路図と動作例を述べる。本節で述べる RSFQ 論理回路はセルベース設計法 [58] に基づいて作成された CONNECT セルライブラリ [59] の一部回路である。

(A) Josephson Transmission Line (JTL)

JTL の回路図を 30(a) に、入出力特性を図 30(b) に示す。JTL は SFQ 回路において最も基本的な回路であり、SFQ パルスを伝搬する回路である。

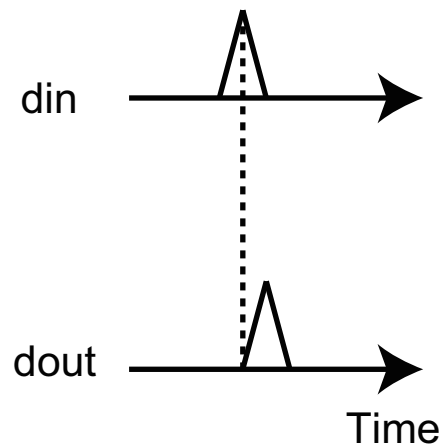
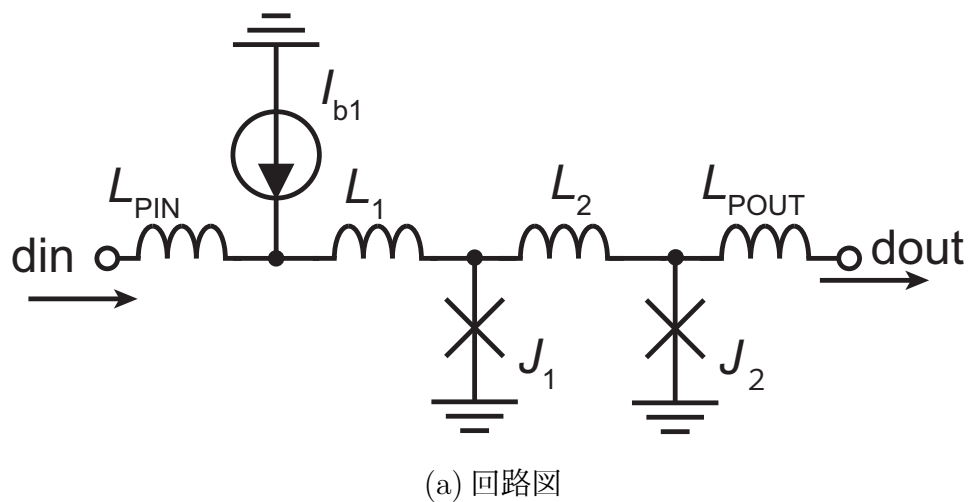
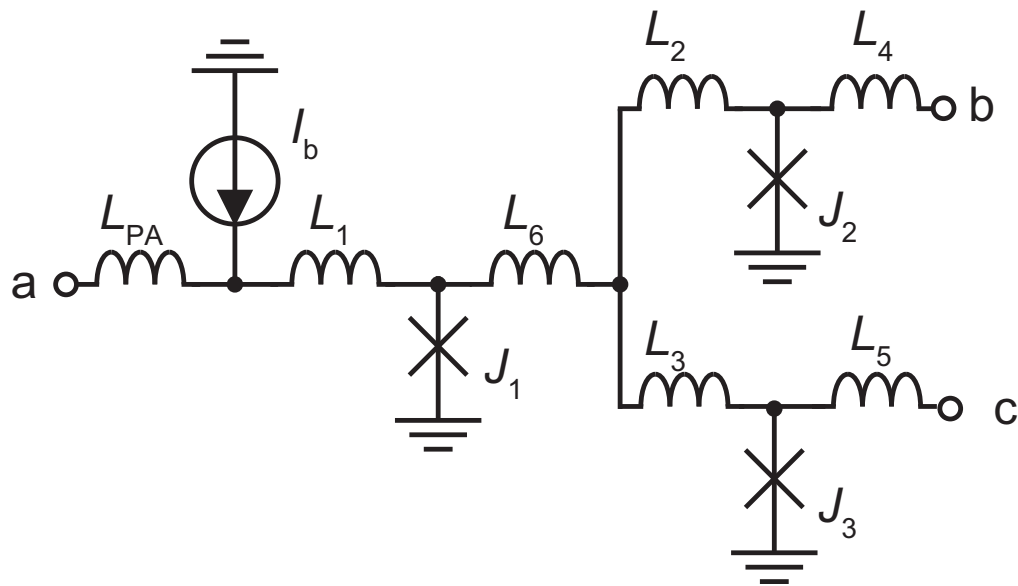


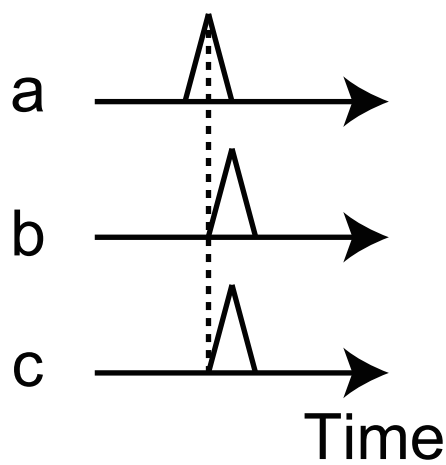
図 30: Josephson Transmission line (JTL) の (a) 回路図と (b) 入出力特性

(B) Splitter (SPL)

Splitter の回路図を図 31(a) に、入出力特性を図 31(b) に示す。Splitter は a から入力された SFQ パルスを b と c に分けて出力する回路である。



(a) 回路図

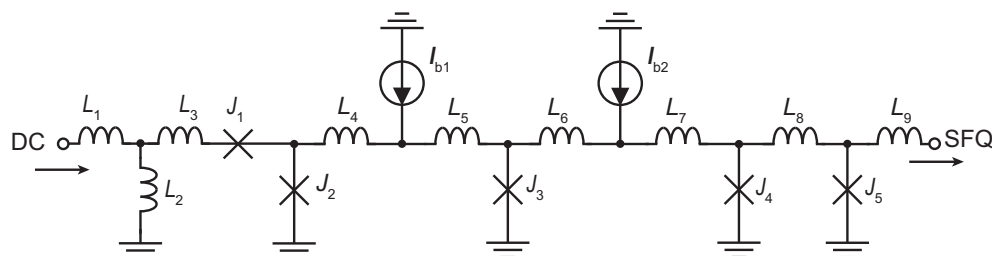


(b) 入出力特性

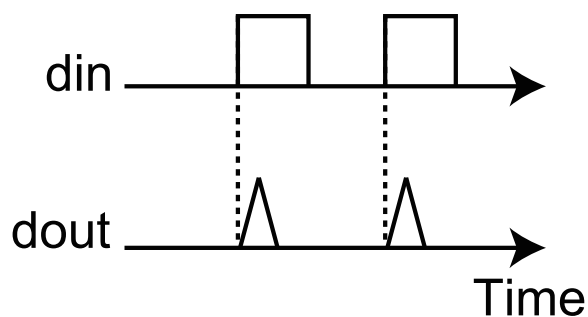
図 31: Splitter (SPL) の (a) 回路図と (b) 入出力特性

(C) DC/SFQ Converter (D/S)

DC/SFQ Converter の回路図を図 32(a) に、入出力特性を図 32(b) に示す。D/S は室温回路と SFQ 回路間を繋ぐ回路であり、DC 電圧入力を検出し、それを SFQ パルスに変換することができる回路である。



(a) 回路図

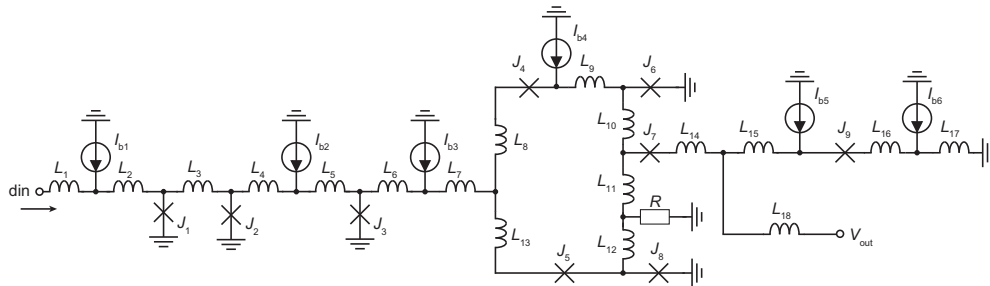


(b) 入出力特性

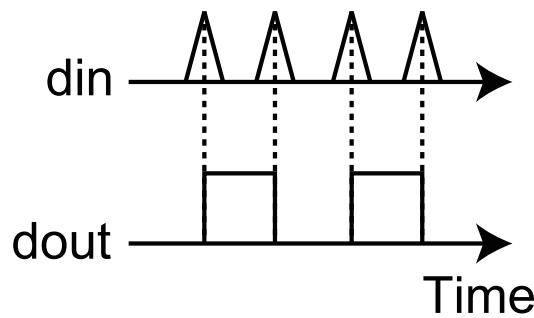
図 32: DC/SFQ Converter (D/S) の (a) 回路図と (b) 動作例

(D) SFQ/DC Converter (S/D)

SFQ/DC Converter の回路図を図 33(a) に、入出力特性を図 33(b) に示す。S/D は SFQ パルスの入力を電圧レベルに変換し、オシロスコープ等の外部機器での読み出しを可能にする回路である。S/D の出力には 0 電圧状態と有電圧状態の 2 状態が存在し、din に SFQ パルスが入力されるたびに V_{out} の電圧が遷移する回路である。



(a) 回路図



(b) 入出力特性

図 33: SFQ/DC Converter (S/D) の (a) 回路図と (b) 動作例

2.6.3 Passive transmission line (PTL)

本節では、RSFQ 回路間の長距離信号伝送回路である、PTL について述べる。図 34 に RSFQ 回路 (JTL) 中に PTL 配線を導入した PTL 信号伝送回路の概略図を示す。PTL 信号伝送回路は超伝導体で形成されているため、JTL から JTL へ SFQ パルスを無損失に伝送できる。これまでに、数 mm ~ 数 cm、更にチップ間で接続した PTL 信号伝送回路の動作実証がなされている。RSFQ 回路において 1 チップスケールの大規模システムの構築が容易かつ MCM 等の更なるスケールアップによる高性能化が可能と見込まれている理由は、この PTL 信号伝送回路の存在が大きい。

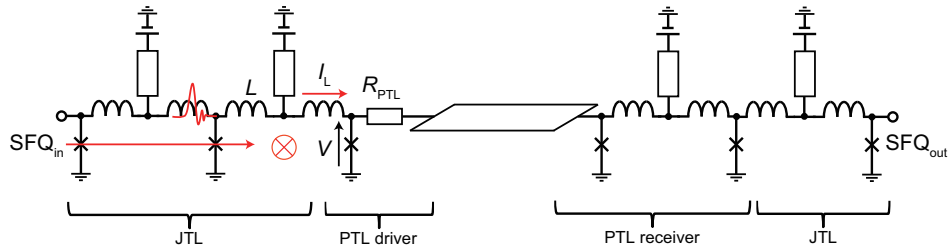


図 34: JTL 中に PTL 配線を導入した PTL 信号伝送回路の概略図。

PTL 信号伝送回路は JTL から送られる SFQ パルスを PTL 配線に乗せる PTL ドライバ回路と PTL 配線、また PTL 配線を通過した SFQ パルスを JTL で受信するレシーバ回路で構成される。ここで、PTL 配線は超伝導体で構成されたマイクロストリップライン、もしくはストリップラインである。ストリップラインで構成された PTL 配線は信号伝送部が超伝導体でシールドされており、外部磁場の影響を受けにくいことや、PTL 配線上を他の信号配線が交差しても PTL 配線の特性インピーダンスが変化しないため配線自由度や集積度を高めることができる。本研究で扱う PTL 配線は、原理実証のためにマイクロストリップライン構造のものを用いる。

PTL 信号伝送回路と JTL 間で相互かつ無損失に SFQ パルスを送るためには、PTL ドライバ回路と PTL 配線、また PTL 配線と PTL レシーバ回路間でインピーダンス整合をとる必要がある [20]。PTL 配線と接続されるのは SFQ パルス伝送回路の JTL である。そこで JTL のインピーダンスを考える。まず、JTL のインダクタンス L が以下の条件を満たすと定義する。

$$LI_c \ll \Phi_0 \quad (2-35)$$

式 (2-35) の意味は、SFQ パルス (Φ_0) が JTL を通過する際、インダクタンス L 両端の位相差が 2π よりも遥かに小さいということである。よってこの条件下では L の両端の位相差が 2π に達するよりもはやく Josephson 接合の位相差が 2π に達しスイッチする。このときインダクタンス L を流れる電流 I_L は Josephson 接合のスイッチング時間を τ とすると、以下の式で表すことができる。

$$\begin{aligned} I_L &= \frac{\Phi_0}{2\pi L} [\phi(t + \tau) - \phi(t)] \\ &= \frac{1}{L} \left[V \cdot \tau + \frac{dV}{dt} \cdot \frac{\tau^2}{2} + \dots \right] \end{aligned} \quad (2-36)$$

ここで式 (2-35) の条件より、式 (2-36) の第 2 項以降を無視することで

$$I_L \approx \frac{V}{\tau} \quad (2-37)$$

と近似できる。よって JTL の特性インピーダンス Z_{JTL} は

$$Z_{JTL} \approx \frac{V}{I_L} = \frac{L}{\tau} \quad (2-38)$$

となる。後述する STP2 プロセスを用いて JTL を構成した場合、 $L \approx 8$ 、 $\tau \approx 4$ となるので、JTL の特性インピーダンス Z_{JTL} はおよそ 2Ω となる。よって特性インピーダンスが 2Ω となるように PTL 配線を設計することで JTL と PTL 配線間でインピーダンス整合が取れる。STP2 プロセスを用いた PTL 配線は幅 $34 \mu\text{m}$ で設計されており、その特性インピーダンスは 2Ω である。ただし、以上の Z_{JTL} の導出過程式 (2-36)(2-37) は近似式であるため実際の特性インピーダンスは 2Ω からずれる。また回路チップ作製時に生じるパラメータのばらつきも特性インピーダンスのずれに繋がるので、実際は JTL と PTL 配線間で完全にはインピーダンス整合がとれない。このため JTL に SFQ パルスが伝送された後は PTL 配線上に必ず反射波が形成される。これを減衰するため、PTL 信号伝送回路には微小抵抗 R_{PTL} が挿入されている。

第3章 回路作製プロセスと測定環境

3.1 本章概要

本章では本研究で用いる SFQ 回路作製プロセスについて説明し、作製された SFQ 回路の測定方法について述べる。

3.2 回路作製プロセス

本研究で使用する回路製作プロセスは、AIST 2.5kA/cm² Nb Standard Process (STP2) [60] と AIST 10kA/cm² Nb High-speed Standard Process (HSTP) である。回路作製では、Cadence 社の IC デザインツールを用いてマスクレイアウトデータを作成し、それを元に産業技術総合研究所 (Advanced Industrial Science and Technology: AIST) に回路作製を依頼する。STP2 では、標準チップサイズが 5 mm × 5 mm である。

3.2.1 AIST 2.5kA/cm² Nb Standard Process (STP2) [60]

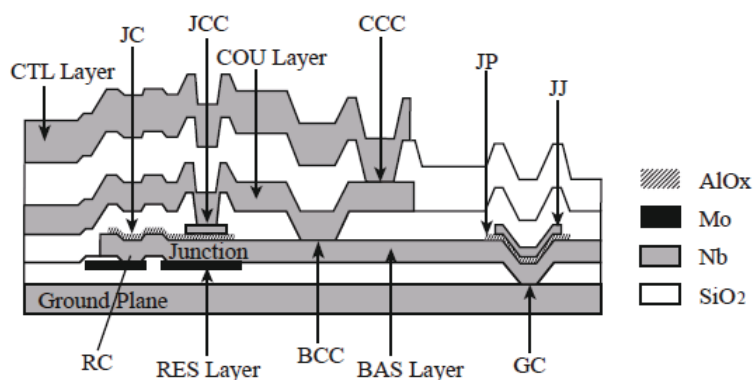


図 35: スタンドアードプロセスによる回路の断面構造

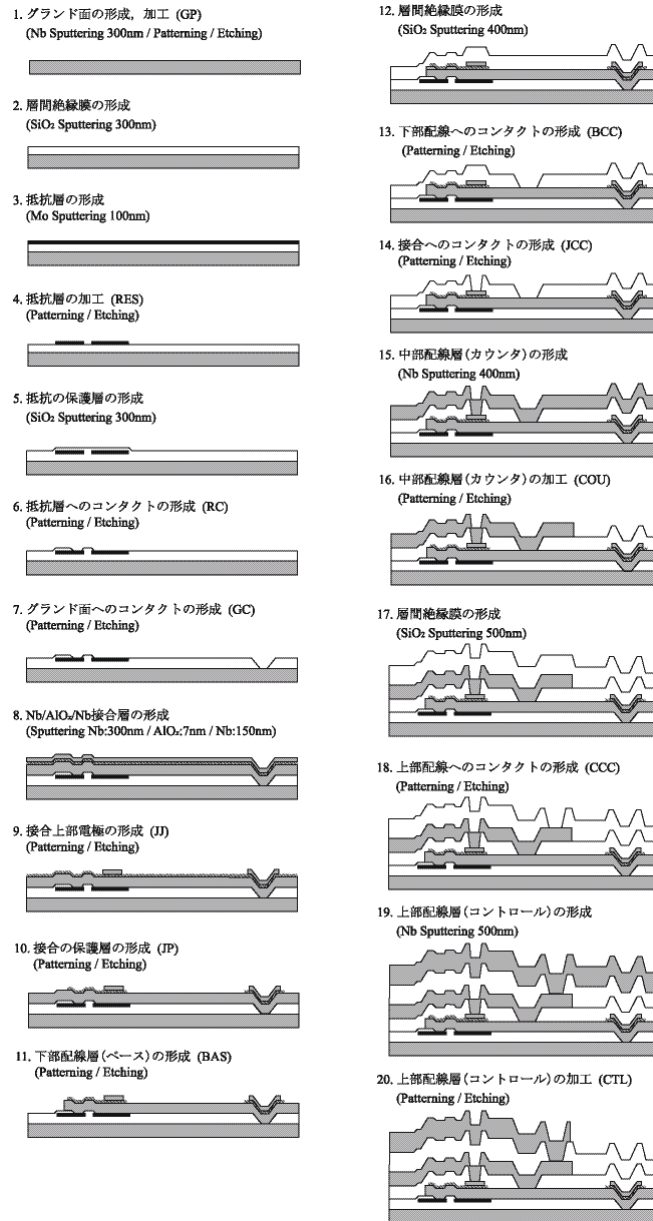


図 36: スタンダードプロセスによる回路の作製手順

表 1: STP2 における Josephson 接合のパラメータ

臨界電流密度	J_c	2.5 kA/cm^2
最小接合面積		$2.0 \times 2.0 \text{ } \mu\text{m}$
接合容量	C	$0.218 \text{ pF}(2.0 \times 2.0 \text{ } \mu\text{m} \text{ あたり})$
常伝導抵抗	R_n	$17 \text{ } \Omega(2.0 \times 2.0 \text{ } \mu\text{m} \text{ あたり})$
サブギャップ抵抗	R_0	$200 \text{ } \Omega(2.0 \times 2.0 \text{ } \mu\text{m} \text{ あたり})$
ギャップ電圧	V_g	2.8 mV

図 35 に臨界電流密度 2.5 kA/cm^2 の STP によって製作された回路の断面構造、図 36 にプロセスの作製手順および膜厚を示す。スタンダードプロセスによる回路は GP (Ground Plane)、RES (Resistance Layer)、RC (Resistance Contact)、GC (Ground Contact)、JJ (Josephson Junction)、JP (Junction Protection)、BAS (Base Layer)、BCC (Base Counter Contact)、JCC (Junction Counter Contact)、COU (Counter Layer)、CTL (Control Layer)、CCC (Control Counter Contact) の 12 種類ある。このうち超伝導配線層は BAS 層、COU 層、CTL 層の 3 層存在し、Josephson 接合は BAS 層と COU 層の間に位置する。また、Josephson 接合の諸特性は表 1 に載せる。

3.2.2 AIST 10kA/cm^2 Nb High-speed Standard Process (HSTP)

[61]

HSTP プロセスは層構造は STP2 と同様であるが、Josephson 接合の臨界電流密度が STP2 よりも 4 倍高いことが特徴である。これにより Josephson 接合のスイッチング時間が 2 分の 1 となるため、より高速で回路を動作させることができる。HSTP における Josephson 接合の諸特性を表 2 に示す。

表 2: HSTP における Josephson 接合のパラメータ

臨界電流密度	J_c	10 kA/cm^2
最小接合面積		$1.0 \times 1.0 \text{ }\mu\text{m}$
接合容量	C	$0.064 \text{ pF}(1.0 \times 1.0 \text{ }\mu\text{m あたり})$
常伝導抵抗	R_n	$16 \text{ }\Omega(1.0 \times 1.0 \text{ }\mu\text{m あたり})$
サブギャップ抵抗	R_0	$100 \text{ }\Omega(1.0 \times 1.0 \text{ }\mu\text{m あたり})$
ギャップ電圧	V_g	2.7 mV

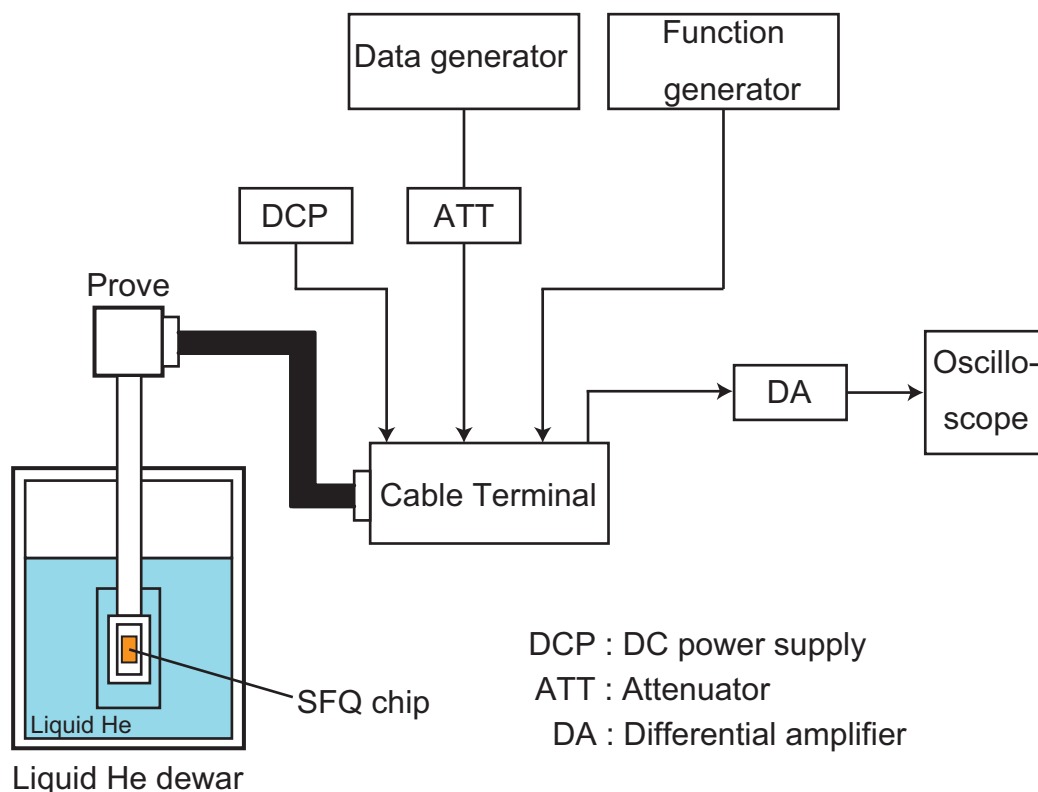


図 37: 測定系概略図

3.3 測定環境

図 37 に回路の測定を行う際の概略図を示す。Nb は 9.5 K で超伝導状態に遷移するため、SFQ 回路チップは 4.2 K の液体ヘリウム中へ沈めて測定を行う。図 38 の SFQ 回路チップはボンディングマシンによってチップキャリアにアルミ線で配線され、図 40 の低温測定用プローブの先端に設置される。その後外部磁場を遮断するために図 41 の磁気シールドで 2 重にシールドをした後、プローブの先端がヘリウムデュアーの中にある 4.2 K の液体ヘリウム中へ沈められ、SFQ 回路の測定が行われる。電源やオシロスコープなどの測定機器とプローブは同軸ケーブルで繋がれる。また、SFQ 回路からの出力信号は微弱なため、差動増幅器を用いて出力信号を増幅し、オシロスコープで観測する。測定系全体の概観を図 42 に示す。

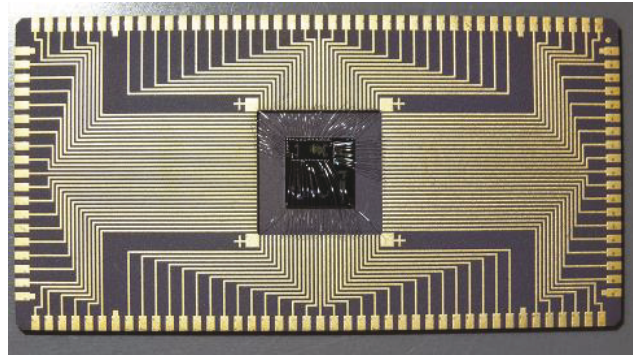


図 38: キャリアにボンディングされた SFQ チップ



図 39: 低温測定用プローブ

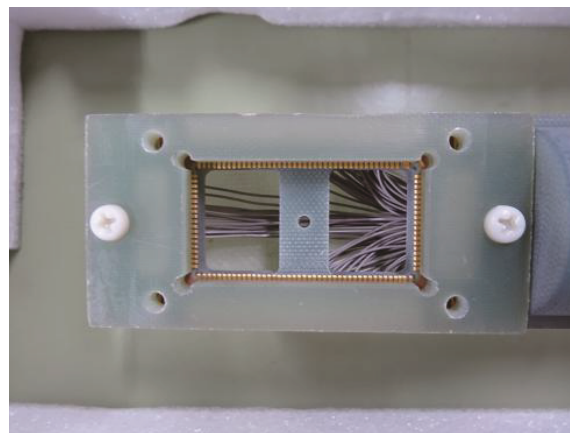


図 40: プローブ先端



図 41: 磁気シールド



図 42: 測定全体概観

第4章 AQFP と RSFQ 間インター フェース回路

4.1 本章概要

前節で述べたように、AQFP 回路の出力電流は回路間の配線インダクタンスの増加に伴い減少するため、配線長が長くなればなるほど熱雑音や素子ばらつきの影響を受けビット誤り率が増加してしまう。AQFP を用いてマイクロプロセッサスケールの大規模システムを構築する場合、要素回路間の信号伝送は長距離かつ高速で行われる必要がある。またあらゆるランダムロジック回路を構成する場合、回路性能が配線方法によって制限されることはナンセンスであり、配線は自由自在に行われる必要がある。以上を踏まえて本章では、AQFP と RSFQ 間インターフェース回路と、超伝導マイクロストリップライン (PTL) を用いた AQFP 間の長距離配線方法について述べる。まず RSFQ 回路から AQFP 回路に信号伝達する RSFQ/AQFP インターフェース (RSFQ/AQFP) と、AQFP 回路の出力信号を電圧パルス信号 (SFQ パルス) に変換する AQFP/RSFQ インターフェース (AQFP/RSFQ) の2つの回路について述べる。次に AQFP 回路間に PTL 配線を導入したテスト回路の設計及び測定結果について述べる。

4.2 RSFQ/AQFP インターフェース

図 43 に RSFQ/AQFP インターフェースの概略図を示す。RSFQ/AQFP インターフェースは、RSFQ 回路の Delay flip-flop (DFF) と AQFP バッファから構成されている。DFF の保持ループ中のインダクタンス L_t は AQFP バッファの入力インダクタンス L_{in} と磁気結合状態にある。AQFP バッファにはオフセット電流 I_{offset} が印加されており、初期状態では AQFP バッファは I_x が立ち上がる毎に”0”を出力する。この状態で D_{in} から SFQ 信号が入力されると、 J_3 , L_t , J_5 を含む超伝導ループに磁束量子が1つ保持され、AQFP バッファは I_x が立ち上がる毎に”1”を出力する。よって RSFQ/AQFP インターフェース中の AQFP バッファは、DFF の内部状態の非破壊読み出しを行う。DFF の内部状態が”1”

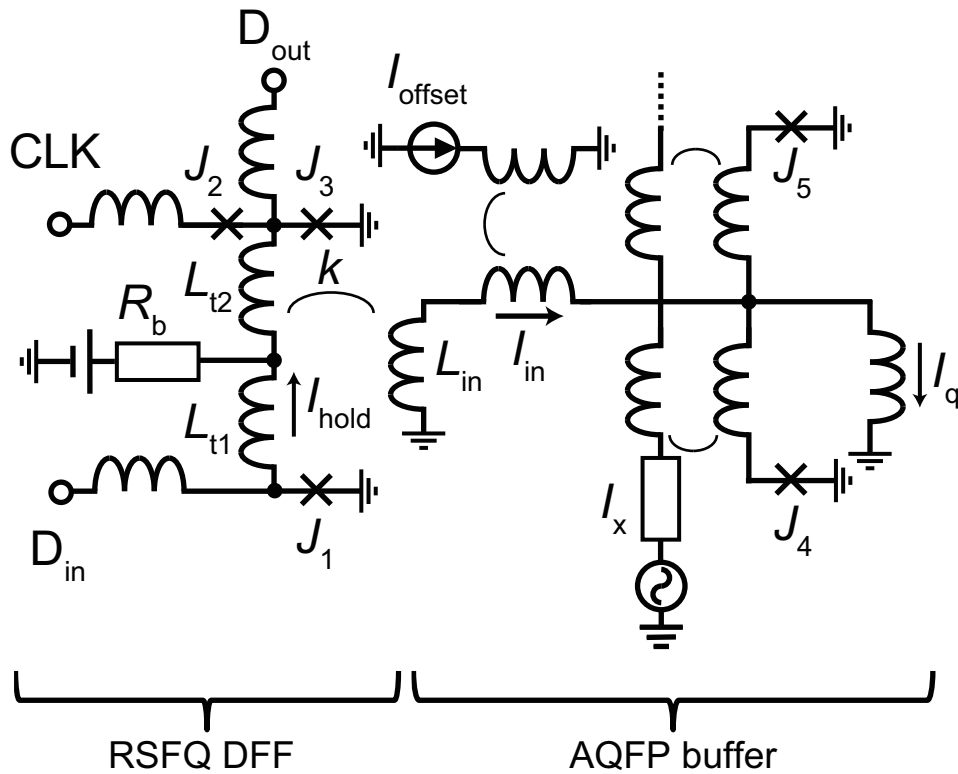


図 43: RSFQ/AQFP インターフェースの概略図。 $L_{t1} = 1.57$ pH、 $L_{t2} = 6.59$ pH、 $L_{in} = 8.50$ pH、 $J_1 = 234$ μ A、 $J_2 = 163$ μ A、 $J_3 = 169$ μ A、 $J_4 = J_5 = 50$ μ A、 $R_b = 21.5$ Ω 、 $k = 0.212$

のときに CLK から SFQ 信号が入力されると、 D_{out} から SFQ 信号が出力されるとともに DFF の内部状態は”0” となり、 RSFQ/AQFP インターフェースは初期状態に戻る。図 44 に RSFQ/AQFP インターフェースの回路シミュレーション結果を示す。シミュレーション結果から、 DFF への入力パターン”11010” が AQFP バッファから正常に出力されていることが分かる。シミュレーションにおける DFF と AQFP バッファ、 I_{offset} のバイアスマージンはそれぞれ 0.682 mA \pm 49.5%、 1.65 mA \pm 24.0%、 205 mA \pm 71.6% である。

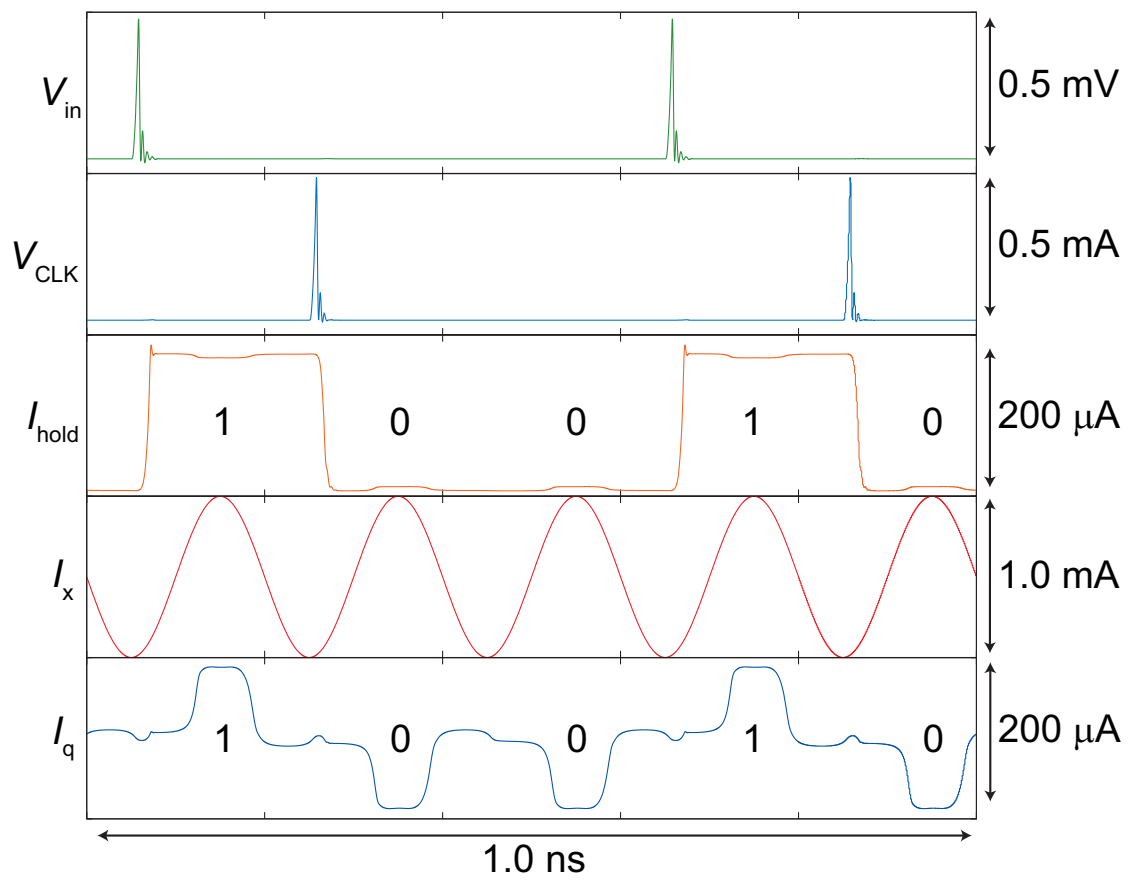


図 44: RSFQ/AQFP インターフェースのシミュレーション結果

4.3 AQFP/RSFQ インターフェース

AQFP 回路の読み出しは、通常は非対称 dc-SQUID によって AQFP と dc-SQUID を磁気結合させ、非対称 dc-SQUID の発振の有無を観測することにより行われるが、この非対称 dc-SQUID を高感度な磁気結合型 Dc/SFQ コンバータ (Mc-dc/SFQ) [62], [63] に置換することによって AQFP/RSFQ インターフェースを実現できる。高品質な AQFP/RSFQ インターフェース設計のため、まず Mc-dc/SFQ の動作特性を調べる。

4.3.1 Mc-dc/SFQ

図 45 に、Mc-dc/SFQ の概略図を示す。Mc-dc/SFQ は、入力電流 I_{in} の立ち上がり時に SFQ パルスを出力する回路である。図 45 の各パラメータは、回路レイアウトの制限を考慮せず、あくまで Mc-dc/SFQ の入力電流感度を調べるために選択している。ここでは $L_{in} = 1000$ pH の大きなインダクタンス、 $k = 1$ の高い磁気結合係数を設定している。この条件下での正常動作波形を図 46 に示す。図 46 の結果は I_{in} の立ち上がりに応じて SFQ パルスが 1 つ出力されており、正常動作である。しかし、Mc-dc/SFQ に印加する電源バイアスを変更すると、図 47 のような異常動作が確認された。図 48 に Mc-dc/SFQ のバイアス電圧に対する動作領域のシミュレーション結果を示す。バイアス電圧が高くなるほど動作領域が下にシフトしていることがわかるが、バイアス電圧 2.5 mV を境に誤動作領域が発生していることがわかる。誤動作領域では、図 47 のように、SFQ パルスが連続的に出力されるモードで動作する。この状態でも、Mc-DC/SFQ の後段に DFF 等のラッチ回路を設け、出力する SFQ パルス数を 1 つまで低減することは可能だが、Mc-dc/SFQ が発振する状態は消費電力を無意味に増加させてしまう原因となる。図 48 の正常動作領域の上部 (図中 [1]) に存在する誤動作領域は、Josephson 接合のヒステリシスによって生じるものであると考えられるが、正常動作領域の下部 (図中 [2]) に存在する誤動作領域の原因は未だわかっていない。AQFP の出力電流を Mc-dc/SFQ で検出するためには、高感度が要求されるため Mc-dc/SFQ を高いバイアス領域で動作させる必要があるが、回路付近の磁束トラップや外部ノイズによって容易に誤動作領域に動作モードが移ってしまうことが考えられる。そこで Mc-dc/SFQ の更なる高感度化、バイアスマージンの拡大を図るためコンパレータ型 D/S を設計した。

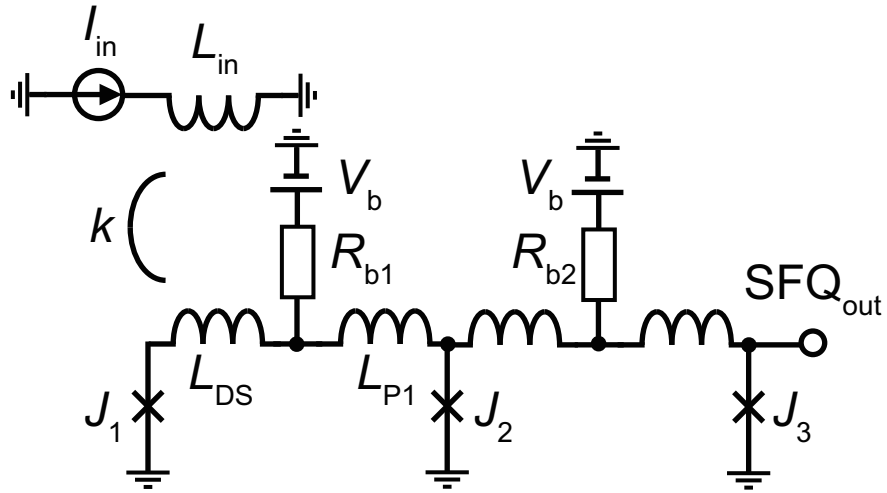


図 45: Mc-dc/SFQ の概略図。 $L_{in} = 1000$ pH、 $L_{DS} = 13$ pH、 $L_{P1} = 1$ pH、
 $J_1 = J_2 = J_3 = 100$ μ A、 $k = 1$ 、 $R_1 = 19.4$ Ω 、 $R_2 = 30.8$ Ω

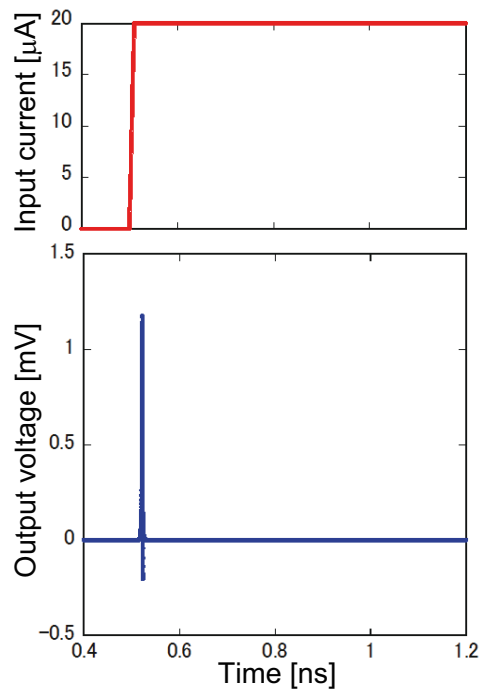


図 46: Mc-dc/SFQ のシミュレーションにおける入出力波形。

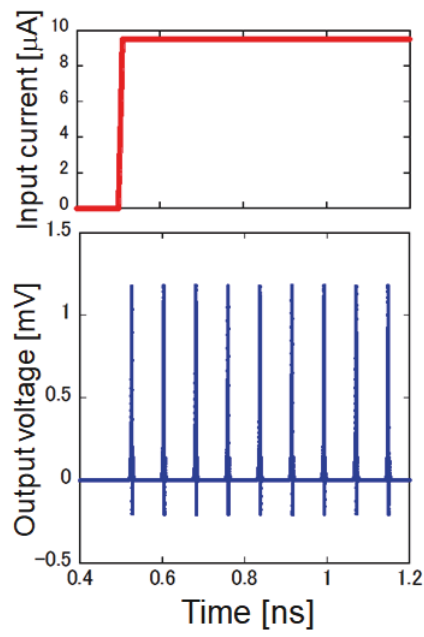


図 47: Mc-dc/SFQ のシミュレーションにおける誤動作時の入出力波形。

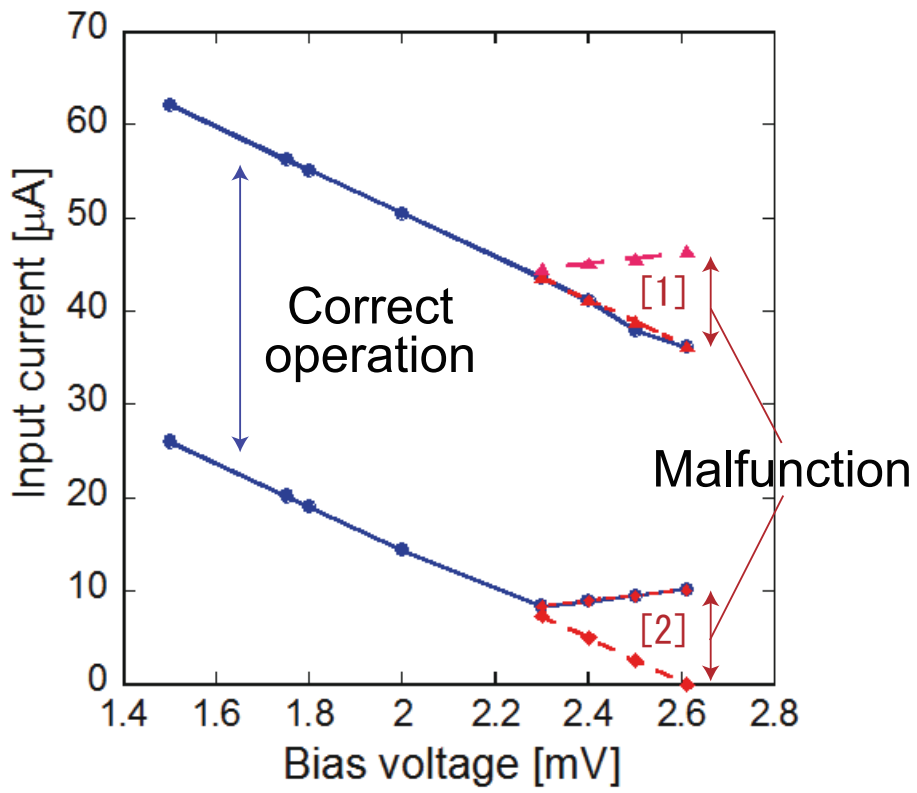


図 48: Mc-DC/SFQ の動作領域。

4.3.2 コンパレータ型 Mc-dc/SFQ

図 49 にコンパレータ型 Mc-dc/SFQ を用いた AQFP/RSFQ インターフェースの概略図を、図 50 にそのシミュレーション結果を示す。コンパレータ型 Mc-dc/SFQ は、高感度な Josephson 電流比較器と SFQ パルスのクロック信号によって AQFP の出力が”0” か”1”かを比較する。これにより AQFP の出力のみによって SFQ パルスを出力するよりも出力 SFQ 信号を生成する駆動力が上がるため、電流感度や電源電圧マージンを改善することが可能である。

AQFP バッファの励起電流 I_x は、図 49 中の L_{ex} と L_{clk} 間の磁気結合を介して Mc-dc/SFQ にも印加される。 I_x が立ち上がり、AQFP バッファの状態が決まるとともに J_{clk} がスイッチし、クロック信号が電流比較器へ出力される。AQFP バッファの状態が”0”のときは電流比較器に負電流が入力され、 J_{upper} がスイッチし Mc-dc/SFQ は SFQ 信号を出力しない。一方で AQFP バッファの状態が”1”のときは J_{lower} がスイッチし Mc-dc/SFQ から SFQ 信号が出力される。SFQ 信号が出力された後、 I_x の立ち下り時に J_e がスイッチし、 J_e 、 J_{lower} を含むループ内を流れる電流は初期化される。図 49 の AQFP/RSFQ インターフェースにおけるコンパレータ型 Mc-dc/SFQ の電源電圧マージンは中央値 $2.875 \text{ mV} \pm 13\%$ 、AQFP の励起電流マージンは中央値 $1.60 \text{ mA} \pm 18.8\%$ である。ここで、コンパレータ型 Mc-dc/SFQ の電源電圧マージンが中央値 $\pm 13\%$ という値は、他の RSFQ 回路セルに比べて非常に狭い。例として本研究で用いている CONNECT セルライブラリにおいては、電源電圧マージンは $2.5 \text{ mV} \pm 30\%$ を最低値として設計されている。よって本 AQFP/RSFQ インターフェースを用いて回路設計を行った場合、安定動作性は AQFP/RSFQ インターフェースによって制限される。また電流比較器の Josephson 接合として臨界電流値が $100 \mu\text{A}$ 未満のものを用いているが、チップ作製プロセス誤差によるパラメータばらつき耐性を得るためにはより高い Josephson 接合を用いることが望ましい。これら問題を改善するために、AQFP/RSFQ インターフェースのパラメータ最適化を行った。

4.3.3 AQFP/RSFQ インターフェースの最適化

AQFP/RSFQ インターフェースの回路の中で、電源電圧マージンに強く影響する回路パラメータは AQFP の出力インダクタンスと電流比較器との磁気トランス L_q 、 L_s 、 k 、電流比較器の Josephson 接合 J_{upper} 、 J_{lower} 、回路状態初期化用の接合 J_e である。これらのパラメータのうち、磁気トランス部 L_q 、 L_s 、 k はレイアウト設計による実現性の問題で設計

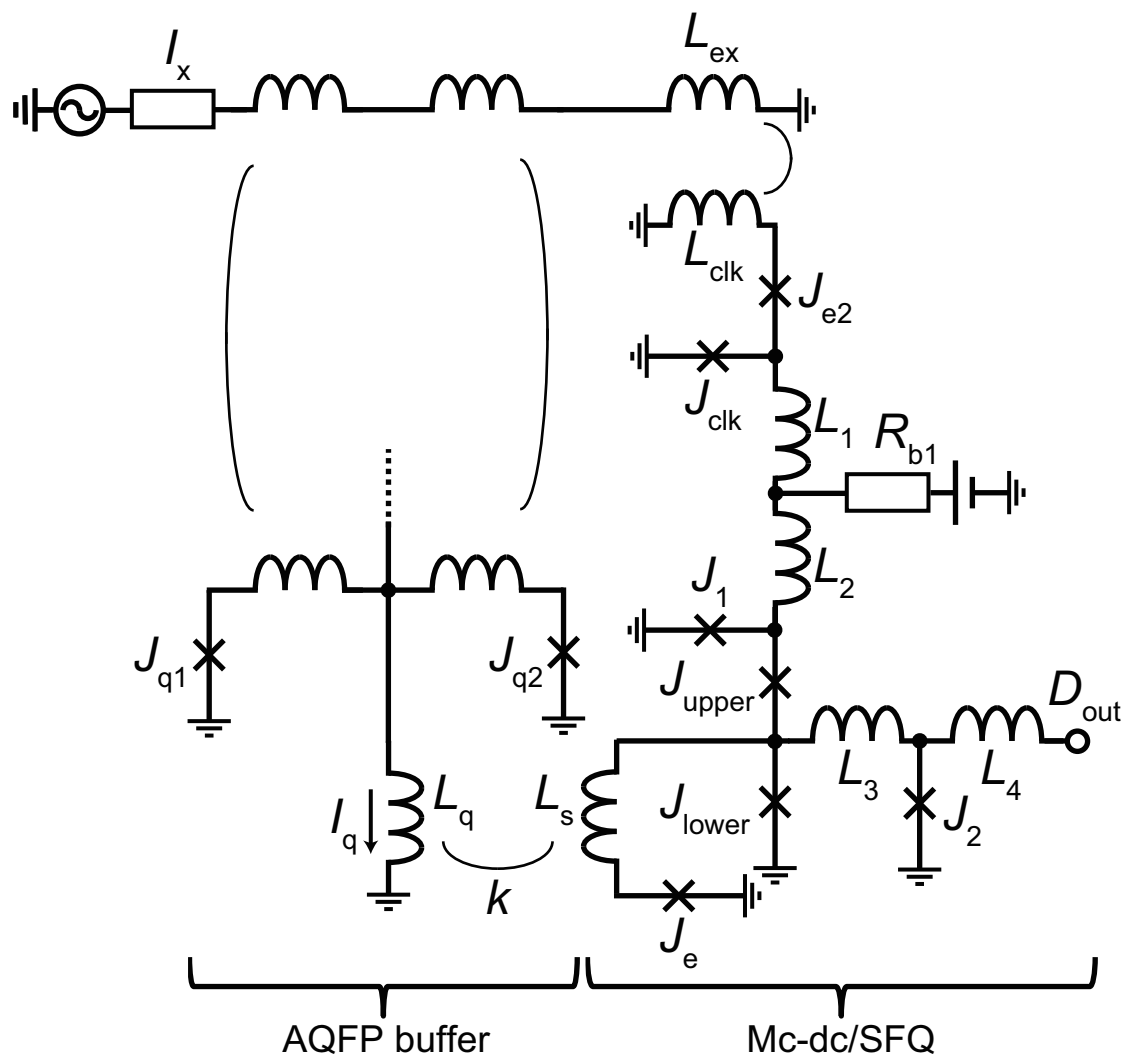


図 49: コンパレータ型 Mc-DC/SFQ を用いた AQFP/RSFQ インターフェースの概略図。
 $J_{q1} = J_{q2} = 200 \mu\text{A}$, $L_q = 13.1 \text{ pH}$, $L_s = 22.0 \text{ pH}$, $k = 0.532$, $L_{ex} = 10.4 \text{ pH}$,
 $L_{clk} = 5.00 \text{ pH}$, $J_{e2} = J_{clk} = J_1 = 216 \mu\text{A}$, $L_1 = 2.20 \text{ pH}$, $L_2 = 2.80 \text{ pH}$, $J_{upper} = 72$
 μA , $J_{lower} = 50 \mu\text{A}$, $J_e = 50 \mu\text{A}$, $L_3 = 10.0 \text{ pH}$, $J_2 = 216 \mu\text{A}$, $L_4 = 1.58 \text{ pH}$

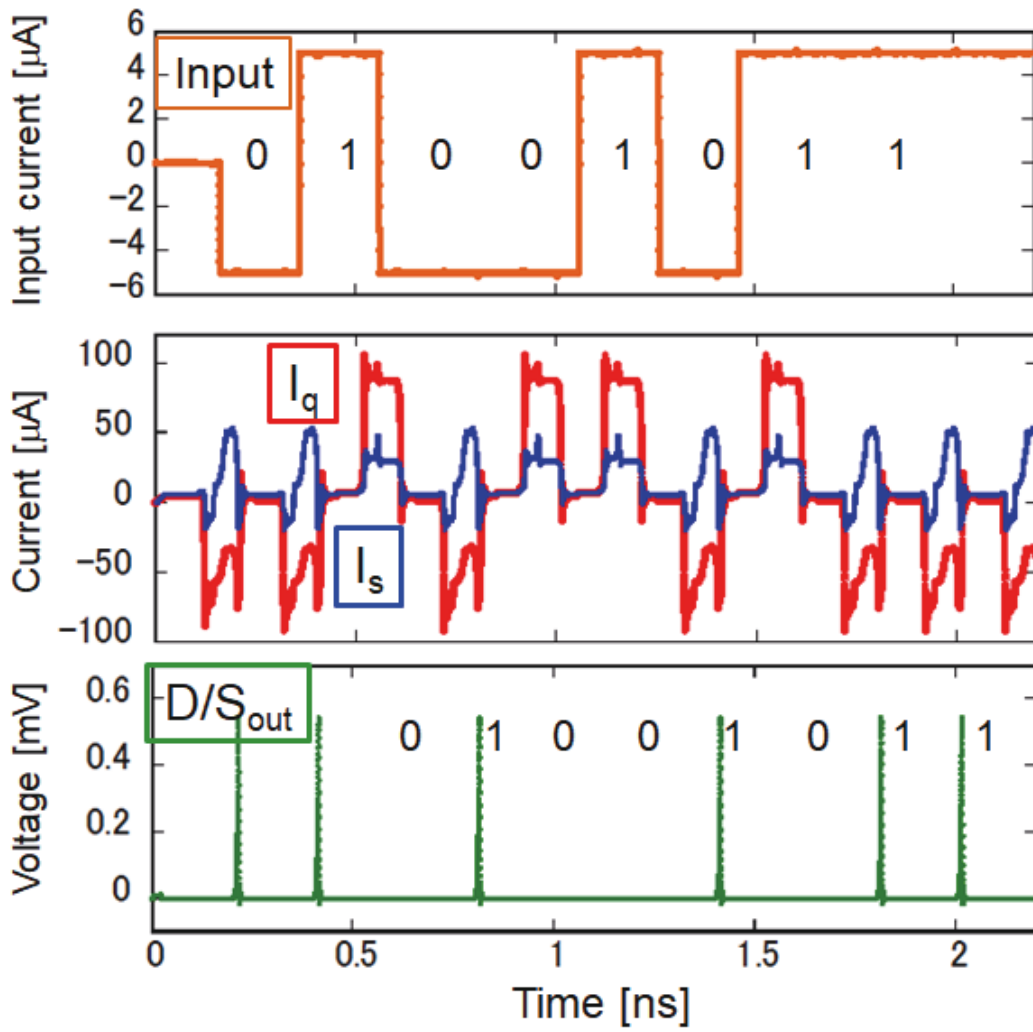


図 50: コンパレータ型 Mc-DC/SFQ を用いた AQFP/RSFQ インターフェースのシミュレーション結果。

自由度が低い。また電源電圧マージンを向上するためには、SFQパルスを生成する J_{lower} を高感度化することが望ましい。この状況を踏まえ、更に回路のロバストネスを追求するため、電流比較器の Josephson 接合の臨界電流値をどちらも $100 \mu\text{A}$ に統一し、電流比較器にコントロール電流 I_{ctl} を印加する回路構成に変更した。図 51 にその概略図を示す。また図 51 における Mc-dc/SFQ の I_{ctl} と J_e のバイアス電圧依存性を調査した。図 52 にそのグラフを示す。まず、図 52 では J_e のパラメータを 2 つ検討しているが、 $J_e = 50 \mu\text{A}$ のときの動作領域が広いと、 J_e の値は $50 \mu\text{A}$ とした。実際に複数の AQFP/RSFQ インターフェースを回路設計に組み込んだ際、各 AQFP/RSFQ インターフェースに I_{ctl} を独立の電源電圧源から印加することは無駄である。そこで I_{ctl} を他の RSFQ セルライブラリと同様の、中央値 2.5 mV の電源電圧源から印加する。ここで注意すべき点は、図 52 では I_{ctl} の領域がバイアス電圧増加に伴って右肩下がりで減少することである。これはバイアス電圧が上昇することによって電流比較器にもバイアス電流が流れ込み、その結果 AQFP の出力を SFQ パルスに変換するために必要な I_{ctl} 値は減少するという事に因る。しかし I_{ctl} のバイアス電源共通化を行うと、 V_b の増加に伴い I_{ctl} は線形に増加する。従って広いバイアスマージンを得るためには、図 52 において I_{ctl} 、 V_b どちらも広い動作領域を特定する必要がある。 I_{ctl} の電源電圧共通化を行った際の電源電圧 V_b マージンが中央値 $\pm 20\%$ を超える動作領域は図 52 中破線部で囲まれた領域となる。この領域における I_{ctl} 、 V_b の値はそれぞれ $55.5 \mu\text{A} \pm 20.7\%$ 、 $2.15 \text{ mV} \pm 23.3\%$ である。これらの値の中央値からバイアスラインに挿入する抵抗 R_{ctl} は約 38.7Ω と決まる。更に V_b マージンの中央値を RSFQ セルライブラリと同じ 2.5 mV に揃えると、 R_{ctl} の最適値は $38.7 \times 2.5 / 2.15 \approx 45 \Omega$ となる。

図 53 に AQFP/RSFQ インターフェースの回路シミュレーション結果を示す。シミュレーション結果から、入力パターン”101100”が SFQ 信号に変換されていることから正常動作が確認された。シミュレーションにおける RSFQ バイアスマージンと AQFP の励起電流マージンはそれぞれ $2.5 \text{ mV} \pm 21.9\%$ 、 $1.95 \text{ mA} \pm 36.1\%$ である。

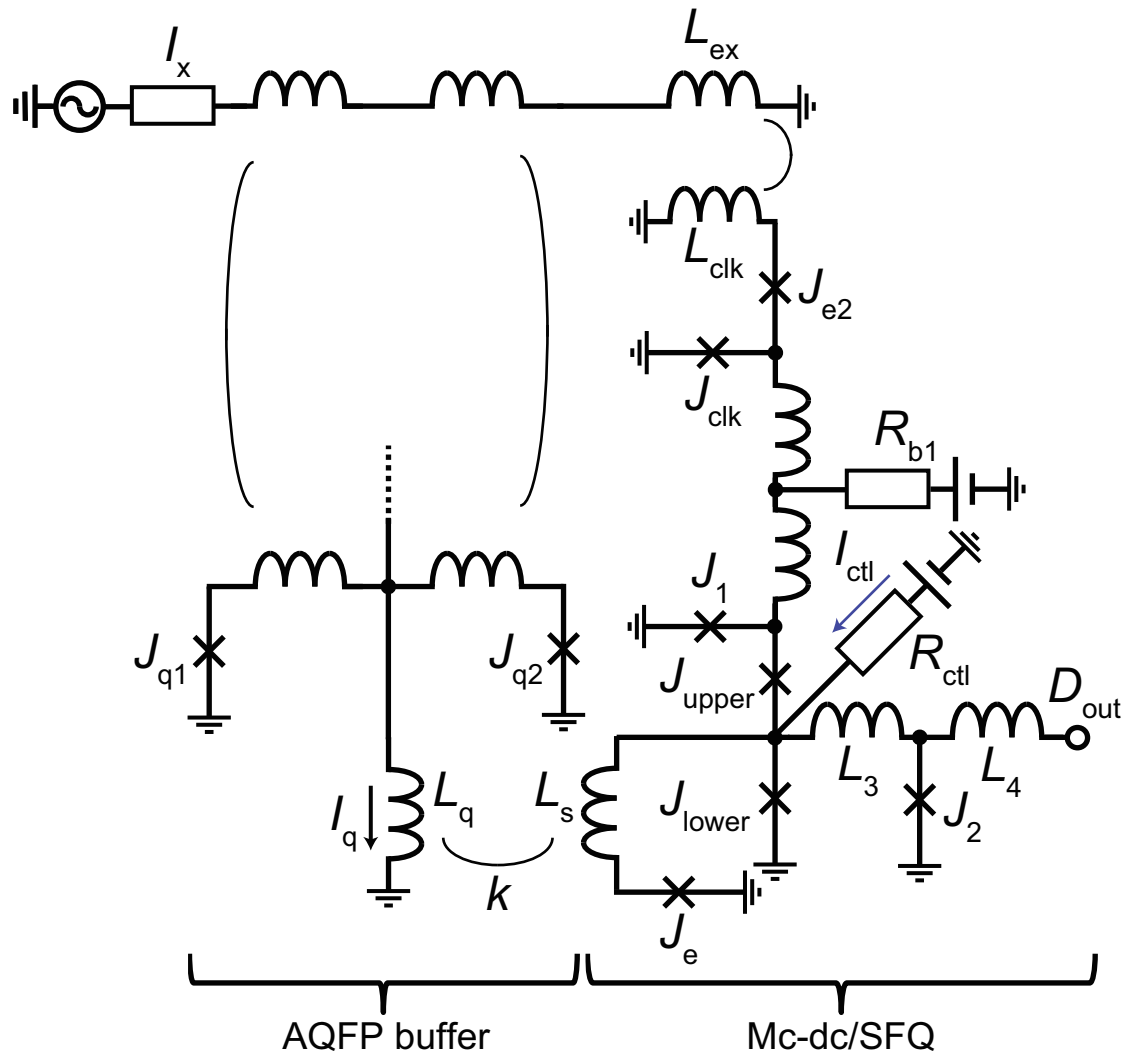


図 51: 改良型 AQFP/RSFQ インターフェースの概略図。 $J_{q1} = J_{q2} = 100 \mu\text{A}$ 、 $L_q = 13.1 \text{ pH}$ 、 $L_s = 22.0 \text{ pH}$ 、 $k = 0.530$ 、 $L_{ex} = 10.4 \text{ pH}$ 、 $L_{clk} = 5.00 \text{ pH}$ 、 $J_{e2} = J_{clk} = J_1 = 216 \mu\text{A}$ 、 $J_{upper} = J_{lower} = 100 \mu\text{A}$ 、 $J_e = 50 \mu\text{A}$ 、 $L_3 = 8.00 \text{ pH}$ 、 $J_2 = 216 \mu\text{A}$ 、 $L_4 = 2.80 \text{ pH}$

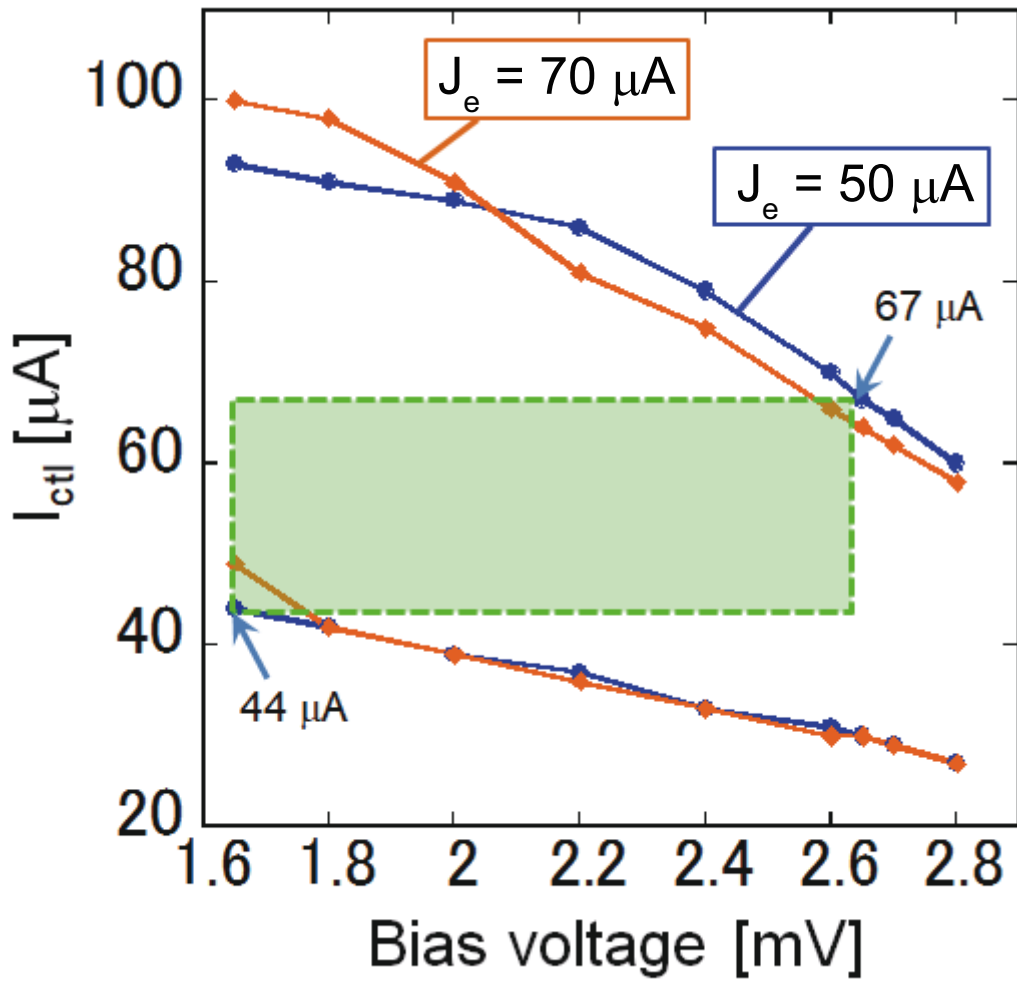


図 52: 改良型 AQFP/RSFQ インターフェースの Mc-dc/SFQ における、コントロール電流 I_{ctl} の電源電圧依存性。

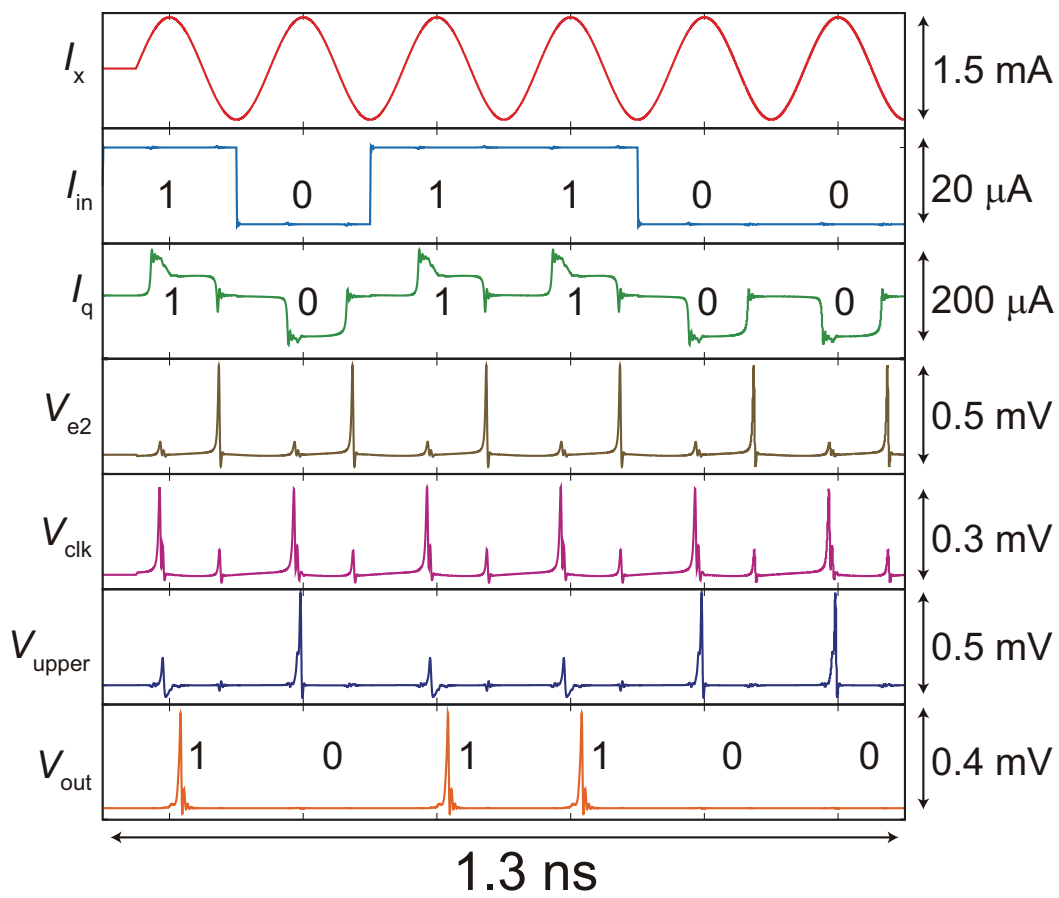


図 53: AQFP/RSFQ インターフェースのシミュレーション結果

4.4 PTLを用いたAQFP間の信号伝送

図 54、図 55 に PTL を用いた AQFP 間の長距離信号伝送を行うテスト回路の顕微鏡写真と等価回路図を示す。テスト回路は主に AQFP/RSFQ インターフェース、PTL ドライバ、PTL 配線、PTL レシーバ、RSFQ/AQFP インターフェースで構成されている。PTL 配線は、AQFP 回路間を直接インダクタで接続した場合の最大配線長 1 mm を大きく超える約 4.3 mm である。AQFP/RSFQ インターフェースの前段、RSFQ/AQFP インターフェースの後段にはそれぞれ 3 段、4 段の AQFP バッファが配置されている。また AQFP 回路部分は全て I_{x1} から I_{x4} の 4 相励起電流で駆動される。AQFP/RSFQ インターフェースは I_{x4} で駆動され、RSFQ/AQFP インターフェースは I_{x2} で駆動される。従って、 D_{in} から入力された信号は AQFP/RSFQ インターフェースで SFQ 信号に変換され、PTL ドライバ、PTL 配線、PTL レシーバを経て RSFQ/AQFP インターフェースで再度 AQFP 信号に変換され D_{out} から出力される。 D_{in} から入力された信号が D_{out} に到達するまでに、2 クロックサイクルと 1 相分の遅延がある。 V_{comp} 、 V_{dff} は SFQ/dc コンバータの出力電圧であり、それぞれ AQFP/RSFQ インターフェース、RSFQ/AQFP インターフェースの途中出力が観測できる。図 56 に 100 kHz での低速測定における入出力波形を示す。 I_{in} は D_{in} への印加電流、 V_{CLK} は RSFQ/AQFP インターフェースのクロック信号電圧、 V_{out} は D_{out} からの出力を読み出す SQUID の出力電圧である。 I_{in} から信号"1"が入力されると AQFP/RSFQ インターフェースで SFQ 信号に変換され、 V_{comp} とともに RSFQ/AQFP インターフェース中の DFF に SFQ 信号が保持される。その後 V_{CLK} が入力されると、DFF に保持されていた SFQ が出力され、 V_{dff} が遷移するとともに DFF の内部状態は"0"となる。また V_{out} からは I_{x2} の立ち上がりに同期して DFF の内部状態が出力される。これらの動作が図 56 の低速測定波形から確認できるため、テスト回路は正常に動作している。測定時に得られた AQFP の励起電流マージン、RSFQ 部分の電源電圧マージン、PTL 部分の電源電圧マージン、RSFQ/AQFP 中のオフセット電流マージンを図 57 に示す。テスト回路においては RSFQ 部のバイアスマージンが最も狭いが、中央値 \pm 20.9%と十分に広い値が得られている。テスト回路の測定結果から、RSFQ 回路と AQFP 間インターフェースと PTL 配線を用いることで、AQFP 間の長距離信号伝送を実現できることが示せた。

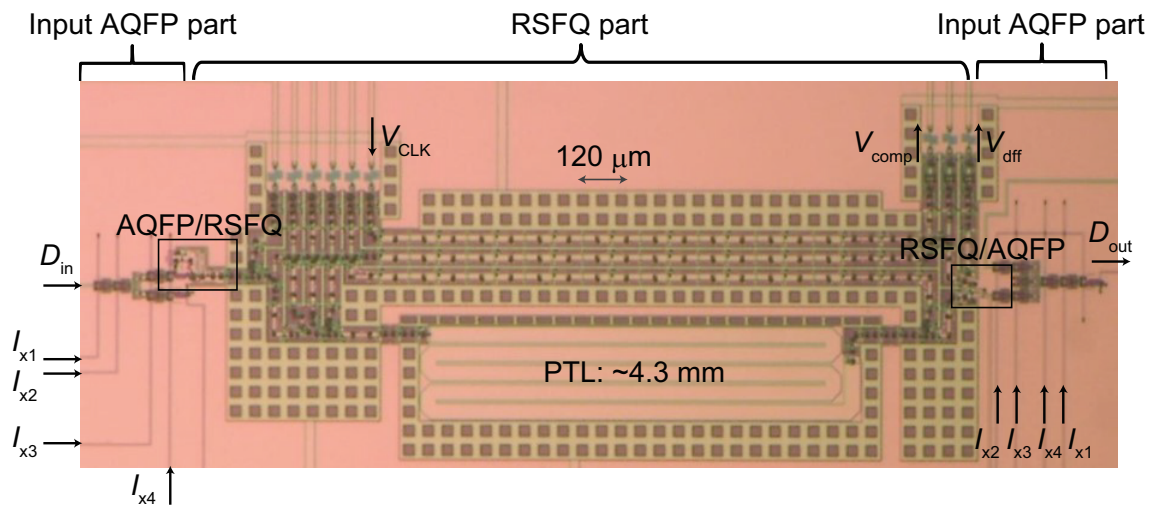


図 54: AQFP ゲート間に長距離 PTL 配線を導入したテスト回路の顕微鏡写真

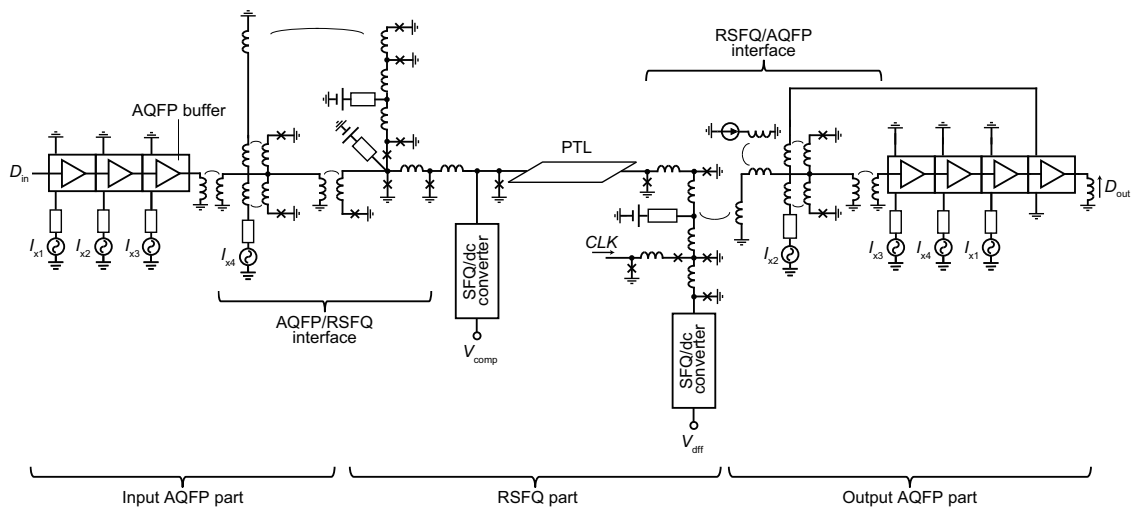


図 55: AQFP ゲート間に長距離 PTL 配線を導入したテスト回路のブロック図

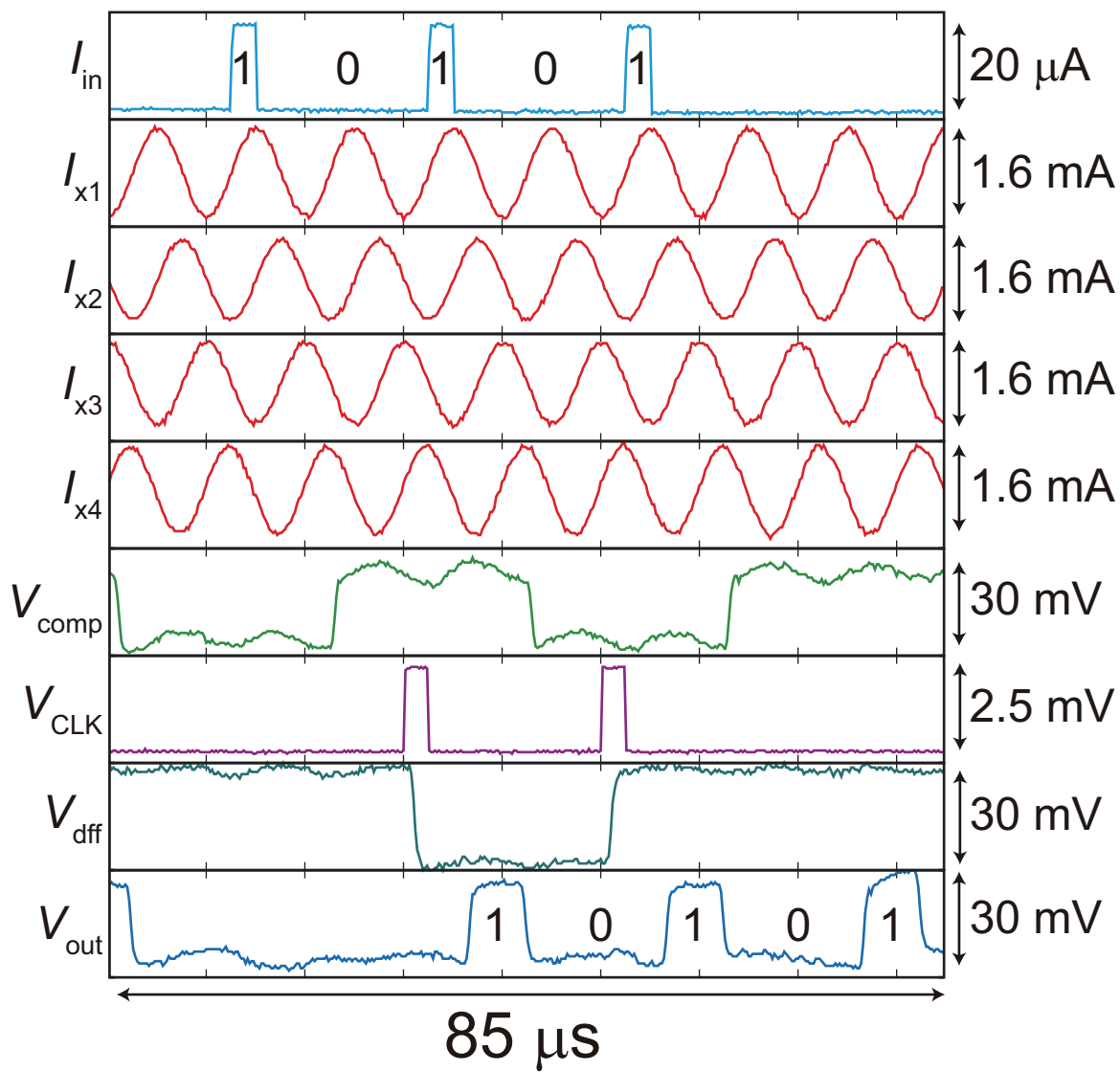


図 56: テスト回路の 100 kHz の低速測定における入出力波形

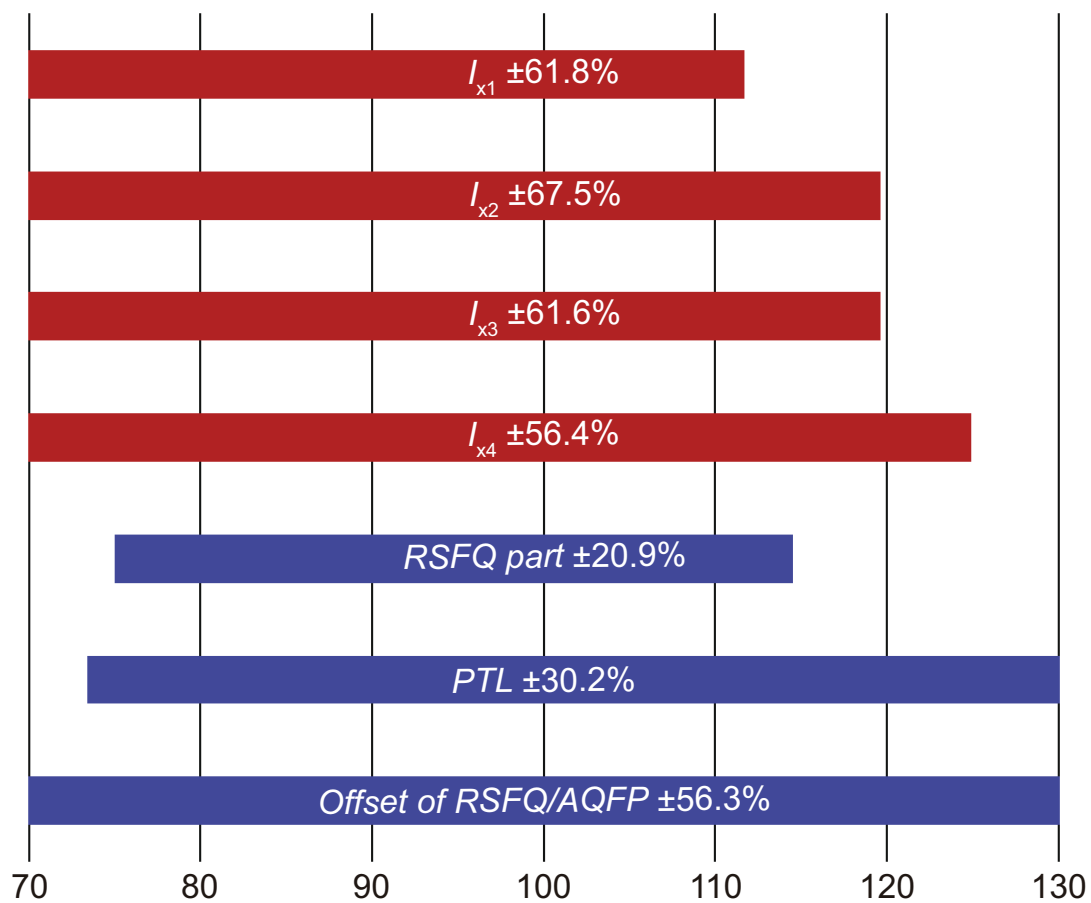


図 57: テスト回路の 100 kHz の低速測定時の各電源マージン。各マージンはシミュレーションで得られた値の中央値を 100%として規格化している。

4.5 インターフェースを用いた信号伝搬遅延

本節では、AQFP と RSFQ 間インターフェースを用いた信号伝搬遅延と、AQFP のみで配線を行った際の信号伝搬遅延の比較を行う。まず、AQFP 間の配線長が 0 mm の場合を考える。図 58 に AQFP/RSFQ インターフェース、RSFQ/AQFP インターフェース、PTL drv/rec の信号伝搬遅延の電源電圧依存性を示す。PTL drv/rec の信号伝搬遅延は Josephson 接合 2 接合分の遅延であり、AQFP/RSFQ インターフェースと比較して非常に小さい。図 58 に示すように、AQFP と RSFQ 間インターフェースを用いた信号伝搬遅延は、AQFP/RSFQ インターフェースの遅延が支配的となる。次に、PTL 配線長の遅延を含めて考える。PTL 配線中の信号伝搬遅延は電源電圧値に関わらず $0.344 \text{ ps}/40 \mu\text{m}$ のため、PTL 長 1 mm あたり 8.6 ps である。図 59 に AQFP のみを用いた配線と、インターフェースと PTL を用いた配線の信号伝搬遅延比較を示す。ここで、AQFP は動作速度 5 GHz、4 相交流駆動を仮定している。AQFP のみで配線を行った場合、配線長 1 mm までは 1 相分 (50 ps) の遅延で信号伝搬し、配線長が 1 mm を超える毎に出力信号電流増幅用の AQFP バッファを挿入するため、信号伝搬遅延は 50 ps 増加する。これに対し AQFP と RSFQ 間インターフェースと PTL を用いた AQFP 間配線の信号伝搬遅延は PTL 配線の長さに比例するため、PTL 長 1 mm 毎に 8.6 ps 遅延が増加する。図 59 より、PTL 長 5 mm までは 2 相分 (100 ps) 以下の遅延での信号伝搬が可能である。ただし RSFQ 部が低バイアス領域になると遅延が増加するため、RSFQ 部バイアスマージンの上マージン領域で回路を動作させる、もしくは $10 \text{ kA}/\text{cm}^2$ プロセスを用いてインターフェースの遅延を抑えるといった方法が必要である。

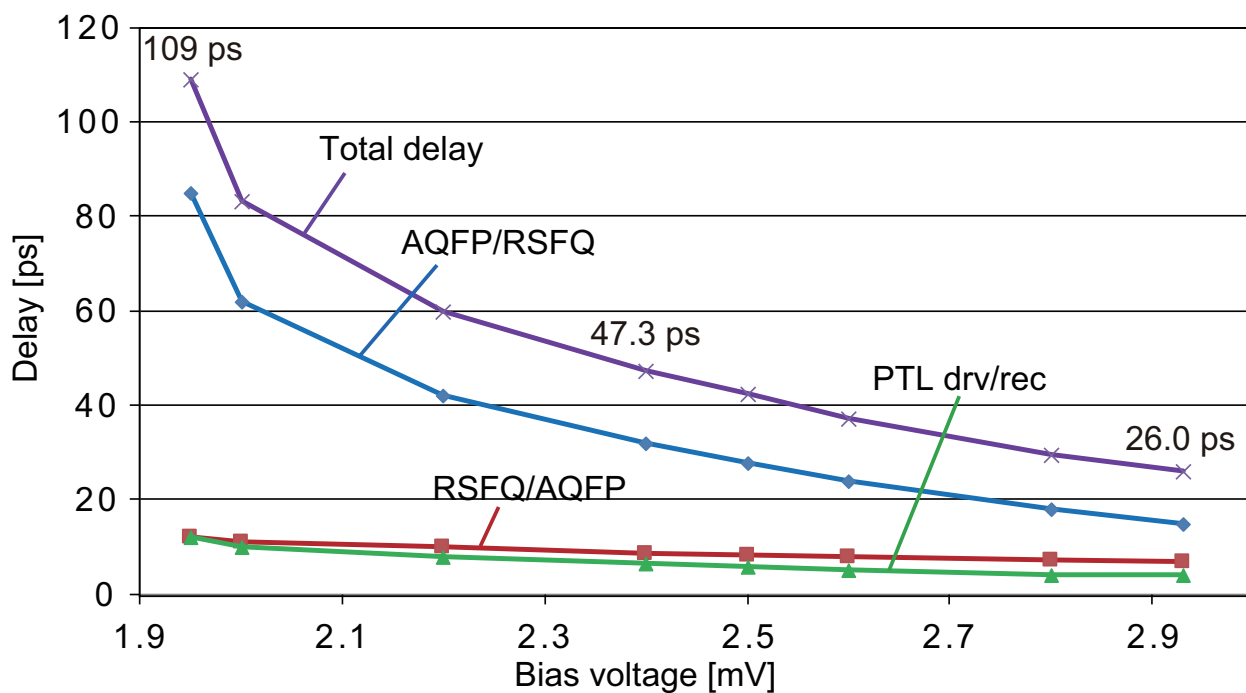


図 58: AQFP/RSFQ インターフェース、RSFQ/AQFP インターフェース、PTL drv/rec の信号伝搬遅延の電源電圧依存性

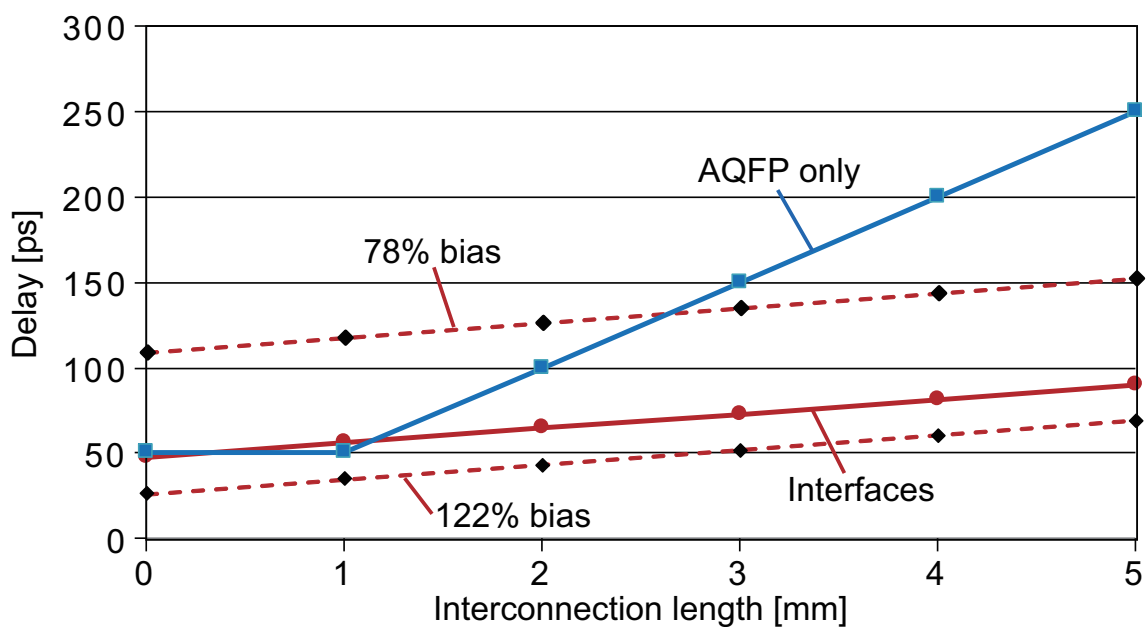


図 59: AQFP のみを用いた配線と、インターフェース及び P T L を用いた配線の信号伝搬遅延比較

4.6 AQFP と RSFQ 回路間インターフェースの消費電力

本節では、AQFP と RSFQ 回路間インターフェースの消費電力について述べる。AQFP と RSFQ 回路間インターフェースは、PTL 配線という光速かつ超長距離の信号伝送手段を得るかわりに、RSFQ 回路の消費電力が生じる。まず、本研究で設計した、CONNECT セルライブラリを用いた場合のインターフェースの消費電力について考える。CONNECT セルライブラリは古典 RSFQ 回路 GHz 帯で動作させる際に十分なロバストネスが得られるように構築されたものであり、インターフェース回路はこれと整合できるようにバイアス電圧 2.5 mV をマージンの中央値としている。よって CONNECT セルライブラリを用いるとインターフェースは静的消費電力を生じる。図 60 に CONNECT セルライブラリを用いた AQFP と RSFQ 間インターフェースの消費電力を示す。AQFP の基本回路である Buffer においては静的消費電力はゼロ、動的消費電力は約 0.05 nW である。一方、RSFQ 回路部で消費される電力は電源電圧 (2.5 mV) とバイアス抵抗ネットワークの合成抵抗から算出される静的消費電力と、 $I_c \Phi_0 f$ で表される動的消費電力である。ここで、回路全体の動作速度を 5 GHz (周期 $T = 200\text{ps}$) としたとき、AQFP/RSFQ、RSFQ/AQFP 両インターフェースで合計 284 nW もの消費電力が生じる。これは AQFP buffer の約 5700 倍もの消費電力に相当する。ただし、このうち約 93% に相当する消費電力 264 nW は RSFQ 回路のバイアス抵抗ネットワークで生じる静的消費電力である。この静的消費電力を低減する手法は第 1 章で挙げたように様々なものがあるが、ここでは ERSFQ を用いてインターフェースを構成した場合を考える。ERSFQ は静的消費電力がゼロであるが、動的消費電力が古典 RSFQ 回路の倍になることは第 1 章で述べた。この条件のもとに AQFP と ERSFQ 間インターフェースを構築した場合、その消費電力は静的消費電力がゼロ、動的消費電力は $4.14 + (7.5 \times 2) + 0.05 + (8.1 \times 2) = 35.4 \text{ nW}$ となる。つまり、ERSFQ を導入することでインターフェースの消費電力は AQFP buffer の約 700 倍まで抑えられる。また、ERSFQ の動的消費電力 $2I_c \Phi_0 f$ は、 I_c の値を下げることによって更なる低電力化が見込める。

	AQFP		AQFP/RSFQ interface				RSFQ/AQFP interface			
	Ic50 buffer		Ic200 buffer		RSFQ		Ic50 buffer		RSFQ	
	Dynamic	Static	Dynamic	Static	Dynamic	Static	Dynamic	Static	Dynamic	Static
Power [nW]	0.05	0	4.14	0	7.5	100	0.05	0	8.1	164
Total power [nW]	0.05		112				172			

図 60: AQFP buffer と、CONNECT セルライブラリを用いた AQFP と RSFQ 回路間インターフェースの消費電力

第5章 AQFP/RSFQと4JLゲートを用いた電圧ドライバ回路

5.1 本章概要

本章では、AQFPの高速動作実証に向けて、AQFPの出力を室温機器に読み出すための高速電圧ドライバ回路について述べる。

5.2 4JLゲート

図61に4JLゲートと呼ばれる電圧ドライバ回路の概略図を示す。4JLゲートはSFQ信号を室温機器で読み出すために電圧増幅を行うドライバ回路である。初期状態ではACバイアスにより左右のJJスタックに一定の電流が流れている。 D_{in} にSFQ信号が入力されると、まず4JLゲート中の J_3 がスイッチし有電圧状態になる。するとACバイアス電流が J_4 、 J_5 に偏り、この2つのJJは有電圧状態となる。その後バイアス電流が J_2 に偏ることで、 $J_2 \sim J_5$ は全て有電圧状態となり、 D_{out} からSTP2におけるJJのギャップ電圧2.8 mV程度の電圧信号が出力される。このとき J_1 も同時にスイッチしており、SFQ回路部分への磁束流入を防いでいる。ここで、SFQ信号が4JLゲートに到達した際に4JLゲートのACバイアスの V_{AC} が立ち上がっている必要があるため、 D_{in} と V_{AC} は同期されている必要がある。また4JLゲートが有電圧状態となったとき、ACバイアス部分への電流逆流の影響を低減するため、抵抗値の大きな R_{bias} を配置し、負荷インピーダンスを 50Ω に統一するため R_{mat} を配置している。図62に4JLゲート5 GHzでのシミュレーション結果を示す。シミュレーション結果から、SFQ信号が入力されると、 $J_1 \sim J_5$ のJJが全て有電圧状態となり、3.0 mV程度の電圧出力が得られていることから、正常動作が確認された。シミュレーションにおけるRSFQ回路部のバイアスマージン、4JLゲートのACバイアスマージンはそれぞれ $2.40 \text{ mV} \pm 27.1\%$ 、 $194 \text{ mV} \pm 24.7\%$ であり、十分広い動作領域が得られている。

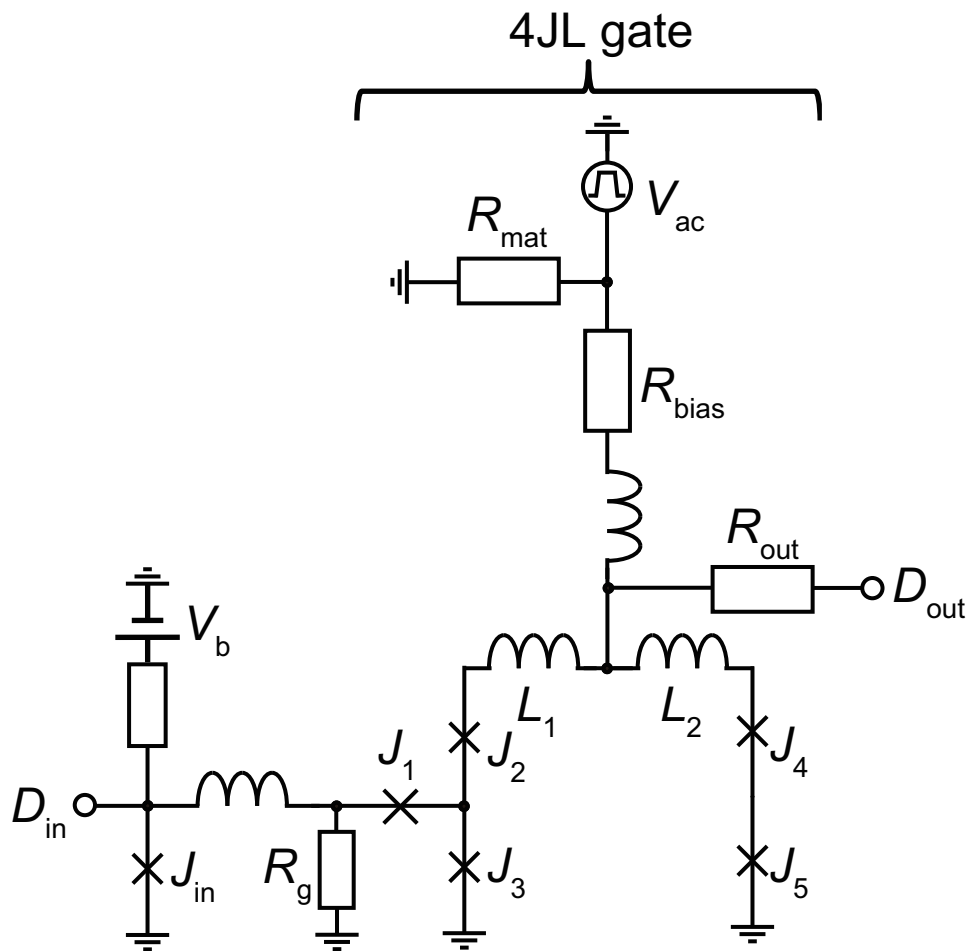


図 61: 4JL ゲートの概略図。 $J_{in} = 216 \mu\text{A}$ 、 $J_1 = J_2 = J_3 = J_4 = J_5 = 100 \mu\text{A}$ 、 $L_1 = 3.46$ pH、 $L_2 = 0.500$ pH、 $R_g = 30.0 \Omega$ 、 $R_{mat} = 55.6 \Omega$ 、 $R_{bias} = 500 \Omega$ 、 $R_{out} = 50.0 \Omega$

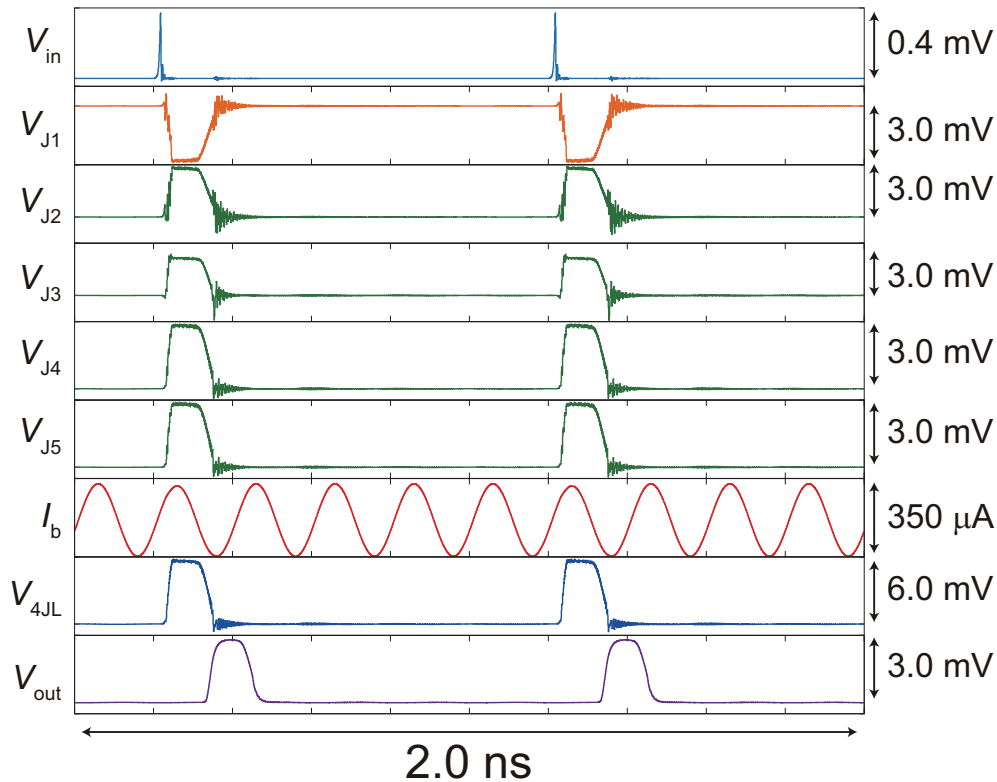


図 62: 4JL ゲートの 5 GHz でのシミュレーション結果

5.3 AQFP 電圧ドライバ回路

図 63 に AQFP 電圧ドライバ回路の概略図を示す。AQFP 電圧ドライバ回路は、AQFP 回路部、AQFP/RSFQ インターフェース、4JL ゲート成されている。数十 μA 程度の AQFP 出力電流を AQFP/RSFQ インターフェースによって SFQ 信号に変換し、4JL ゲートによって SFQ 信号を電圧信号に変換する。図 63 の設計では、AQFP の出力信号は I_3 の立ち上がりに同期して SFQ 信号に変換され、4JL ゲートの V_{AC} の立ち上がりに同期して高い電圧出力が得られる。図 64 に AQFP 電圧ドライバ回路の動作周波数 100 kHz における測定波形を示す。測定では入力パターン”1010011”が出力されており、正常動作が確認された。図 65 に AQFP 部の励起電流マージン、RSFQ 部のバイアスマージン、4JL ゲートの AC 電圧マージンのシミュレーション結果と測定結果の比較を示す。測定結果では、RSFQ 部のバイアスマージンが最もクリティカルであり、中央値 $\pm 6.8\%$ である。

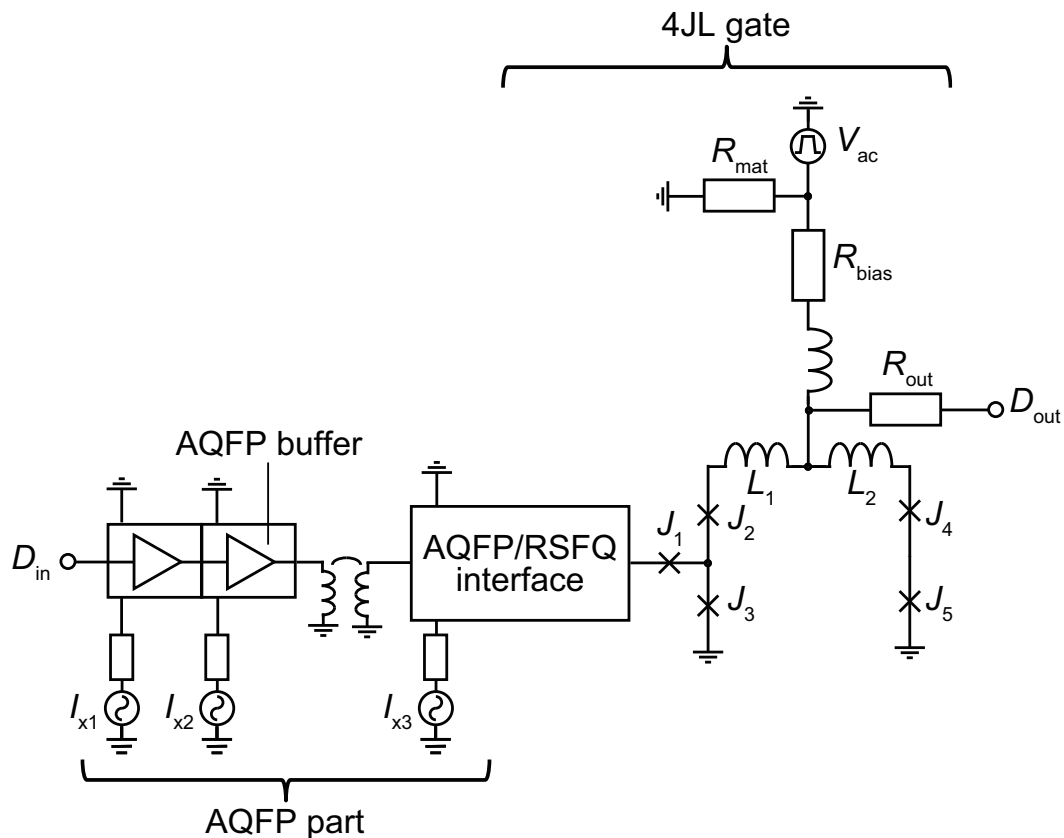


図 63: AQFP 電圧ドライバ回路の概略図

5.4 AQFP 電圧ドライバ回路の高速測定

図 66 に、AQFP 電圧ドライバ回路の高速測定時の測定系概略図を示す。GHz オーダーの高速測定を行う場合は、入力信号 V_{in} を、信号”0”、”1”それぞれ出力確率 50%のランダムパターンをデータパターンジェネレータから入力する。図 67 と図 68 に、1 GHz と 2 GHz の高速測定における AQFP 電圧ドライバ回路の出力信号のアイパターンを示す。1GHz、2 GHz どちらも広いアイが確認された。しかし、3 GHz 以上の高速測定では未だ正常動作が得られていない。この原因については未だ不明であるが、GHz オーダーの高速測定では室温機器と超伝導回路チップを繋ぐ同軸ケーブルの長さズレ等により、3つの励起電流 $I_{x1} \sim I_{x3}$ と 4JL ゲートの AC 電源電圧それぞれのタイミングがピコ秒スケールでずれることで正常動作しなくなることが考えられる。

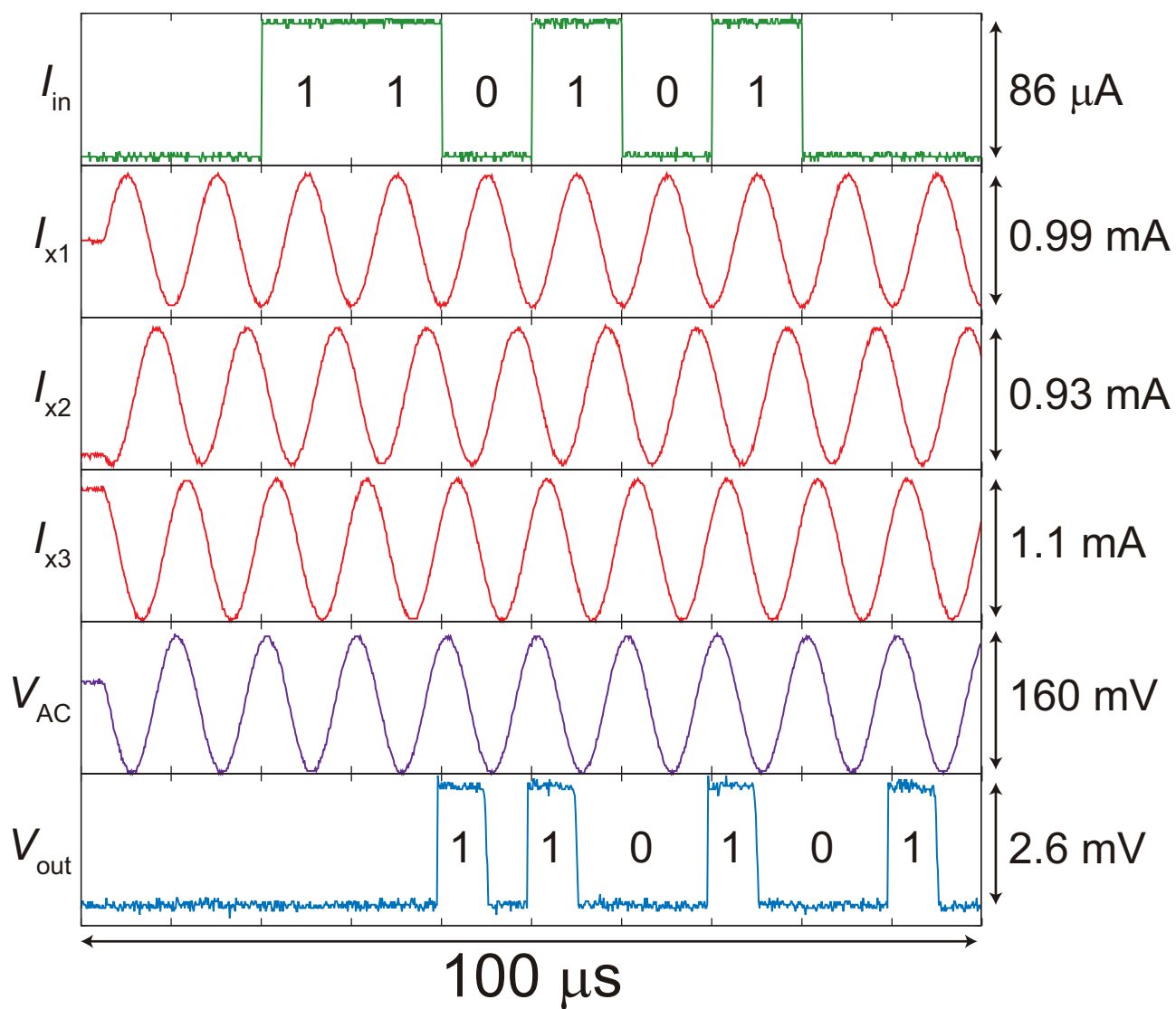


図 64: AQFP 電圧ドライバ回路の動作周波数 100 kHz における測定波形

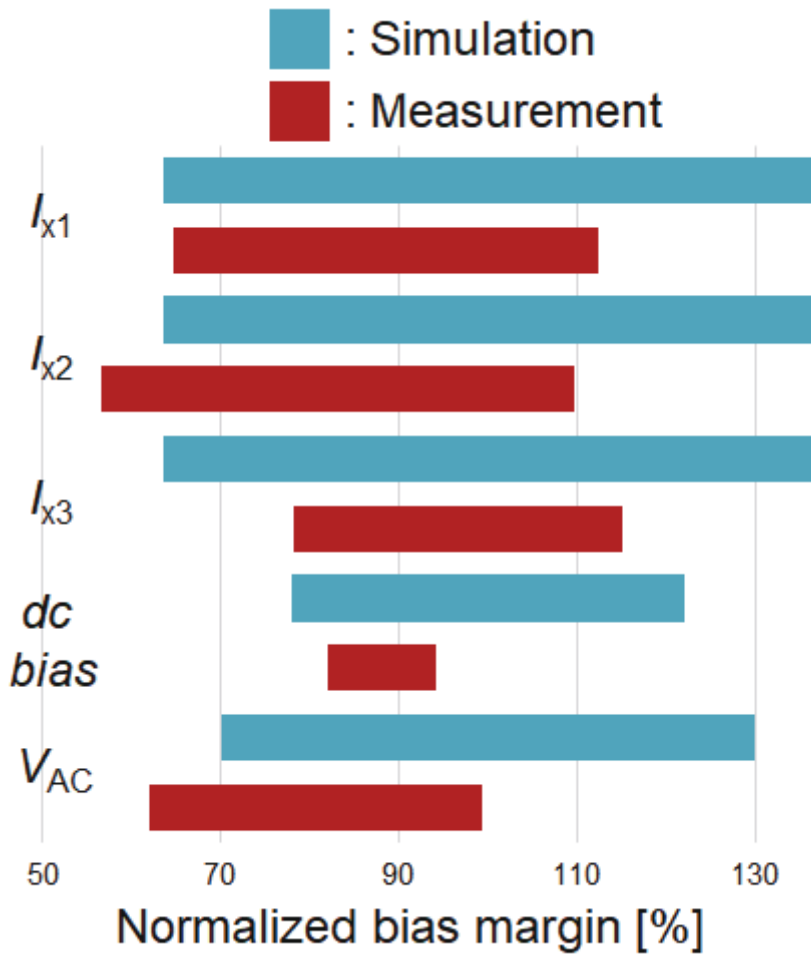


図 65: AQFP 電圧ドライバ回路の AQFP 部の励起電流マージン、RSFQ 部のバイアスマージン、4JL ゲートの AC 電圧マージンのシミュレーションと測定結果の比較

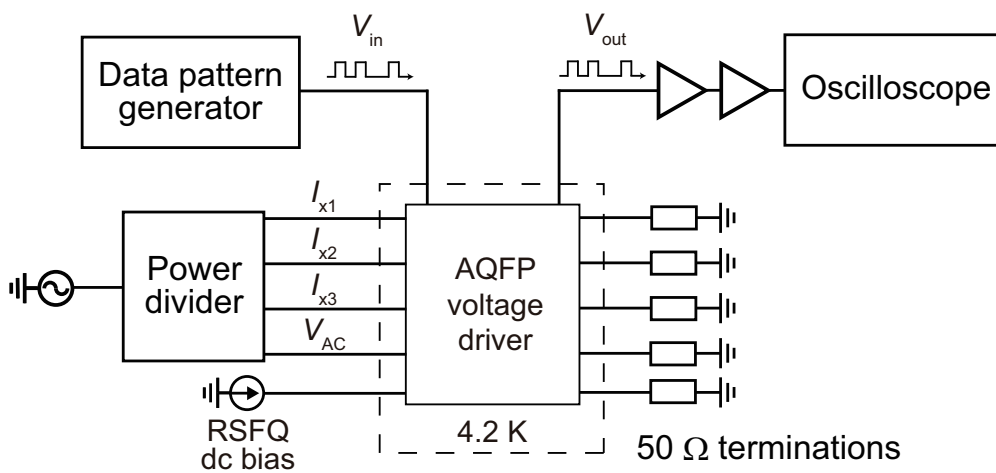


図 66: AQFP 電圧ドライバ回路の高速測定時の測定系概略図

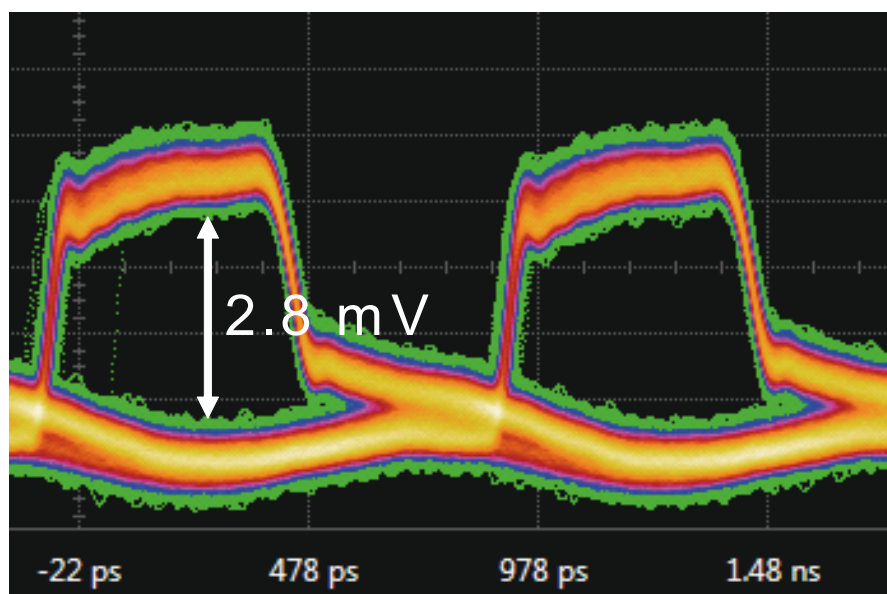


図 67: 1 GHz の高速測定における AQFP 電圧ドライバ回路の出力信号のアイパターン

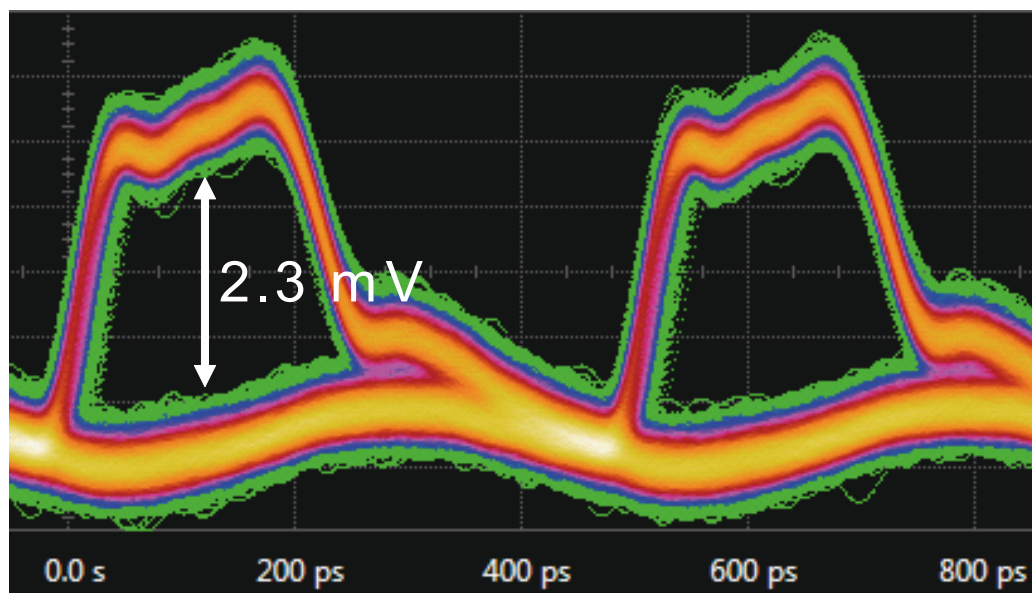


図 68: 2 GHz の高速測定における AQFP 電圧ドライバ回路の出力信号のアイパターン

第6章 AQFP回路の歩留まり評価

6.1 本章概要

本章では、AQFP回路の歩留まり評価について述べる。超伝導回路は半導体集積回路に比べ集積性が大きく劣っており、これを改善するために様々な超伝導論理回路で高集積化・大規模化を図る研究が盛んに行われている。一方でAQFP回路は、数千接合程度の回路規模の動作実証に留まっており、今後の計算機対応に向け更に大規模な回路の動作実証が求められている。そこで本章ではAQFP回路を数万接合スケールで集積し、歩留まり評価を行うことで高集積性大規模システム実現性の検討を行う。本章では、HSTPプロセスを用いてAQFPを約4.5万ゲート、Josephson接合を約9万個含む大規模歩留まり評価回路の設計及び測定結果、考察を述べる。

6.2 省面積AND/ORゲート

図69に省面積AND/ORゲートの概略図とレイアウトを示す。AQFPセルライブラリのANDゲート回路は、入力数2に対してバッファセル3個幅のMajorityゲートで構成される。通常のANDゲート回路を用いた場合集積度が低下してしまうため、図69のようにブランチセルを変形した2セル幅の省面積ANDゲートを用いている。省面積ANDゲートの励起電流マージン、dc電流マージンはそれぞれ0.773 mA~1.88 mA, 1.09 mA~2.01 mAであり、十分広い動作領域が得られている。

6.3 AQFPのエラー検出方法

AQFP回路の誤動作は、バッファ回路の論理状態が磁束トラップやプロセス作製誤差によるパラメータのバラツキによって”0”もしくは”1”に固定されることによって引き起こされる。このエラーを検出するために、図70の回路を考える。図70はSplitterゲート、Bufferゲート、AND/ORゲートで構成され、AND/ORゲート部の励起電流はBufferゲート

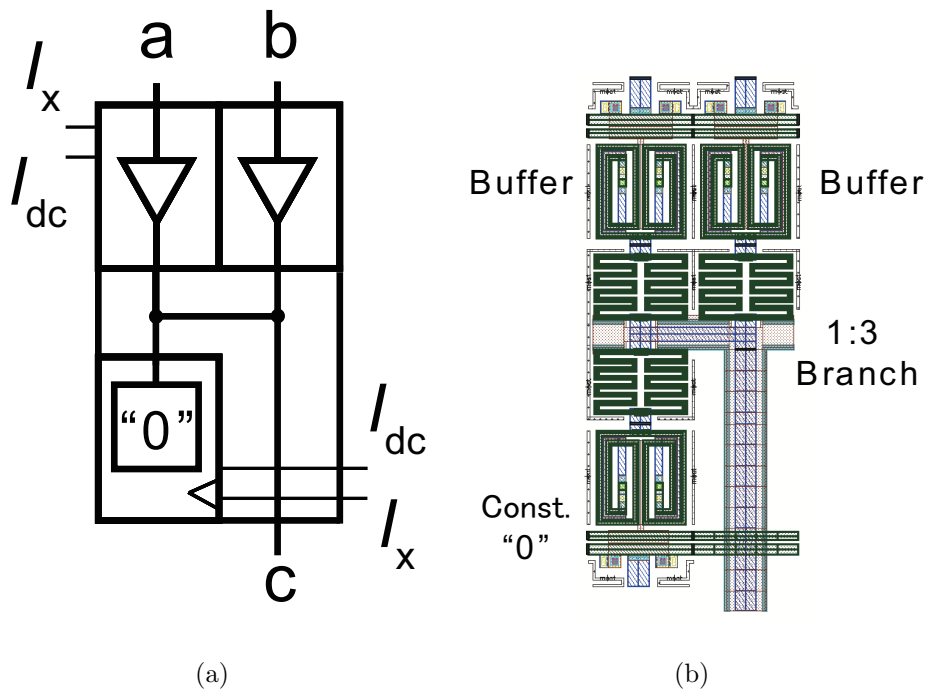


図 69: 省面積 AND ゲートの (a) 概略図と (b) レイアウト。

ト部から独立しており、AND モード OR モードを任意に切り替えることが可能である。全ての回路が正しく動作すれば、入力信号を Splitter で分岐し、AND/OR 部で合流して入力信号をそのまま出力する。まず、図 70(b) のように、ある Buffer ゲートの論理状態が”0”に固定された場合を考える。このエラーを検出するには、AND/OR 部を AND モードに設定し、信号”1”を入力する。すると信号”1”を入力したのに対して信号”0”が出力されるため、エラー検出が可能である。一方で、論理状態が”1”に固定された Buffer のエラーを検出するには、図 70(c) のように AND/OR 部を OR モードに設定し、信号”0”を入力することでエラー検出が可能である。

6.4 AQFP 歩留まり評価回路

図 71 に AQFP 歩留まり評価回路の概略図とブロック図を示す。AQFP 歩留まり評価回路は、図 70 のエラー検出回路を大規模化した構成であり、AQFP 分岐回路部、Buffer 回路部、AND/OR 部、読み出し部で構成されている。入力電流 I_{in} は抵抗によって分岐され、分岐回路部に入力される。分岐回路部で 32 出力に信号分岐され、Buffer 回路部に信号が入力される。その後、AND/OR ブロックで 1 出力に信号が合流され、dc-SQUID を用いた読み出し部により信号を室温機器に読み出す。励起電流は分岐回路部を含む Buffer 回路

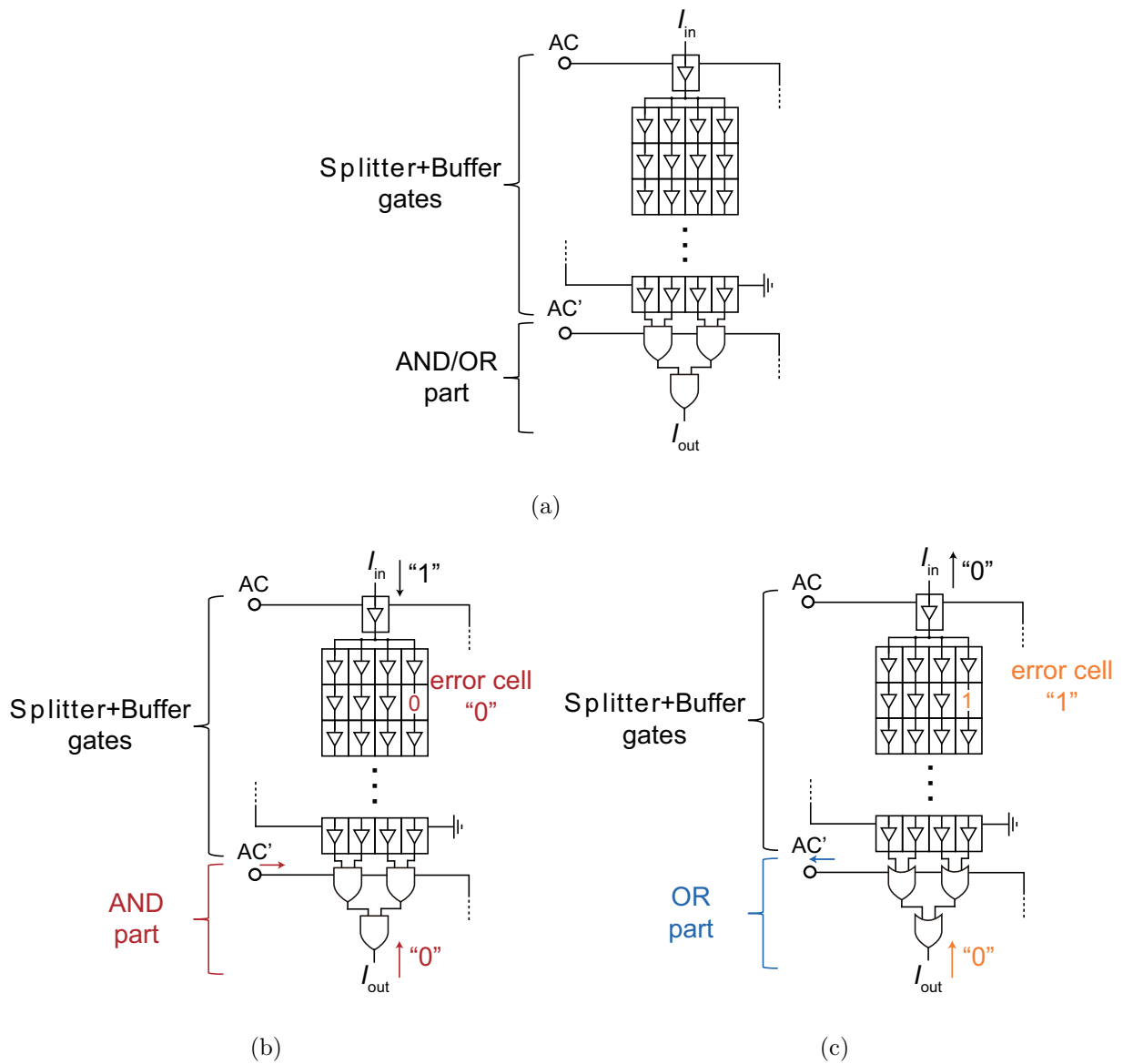
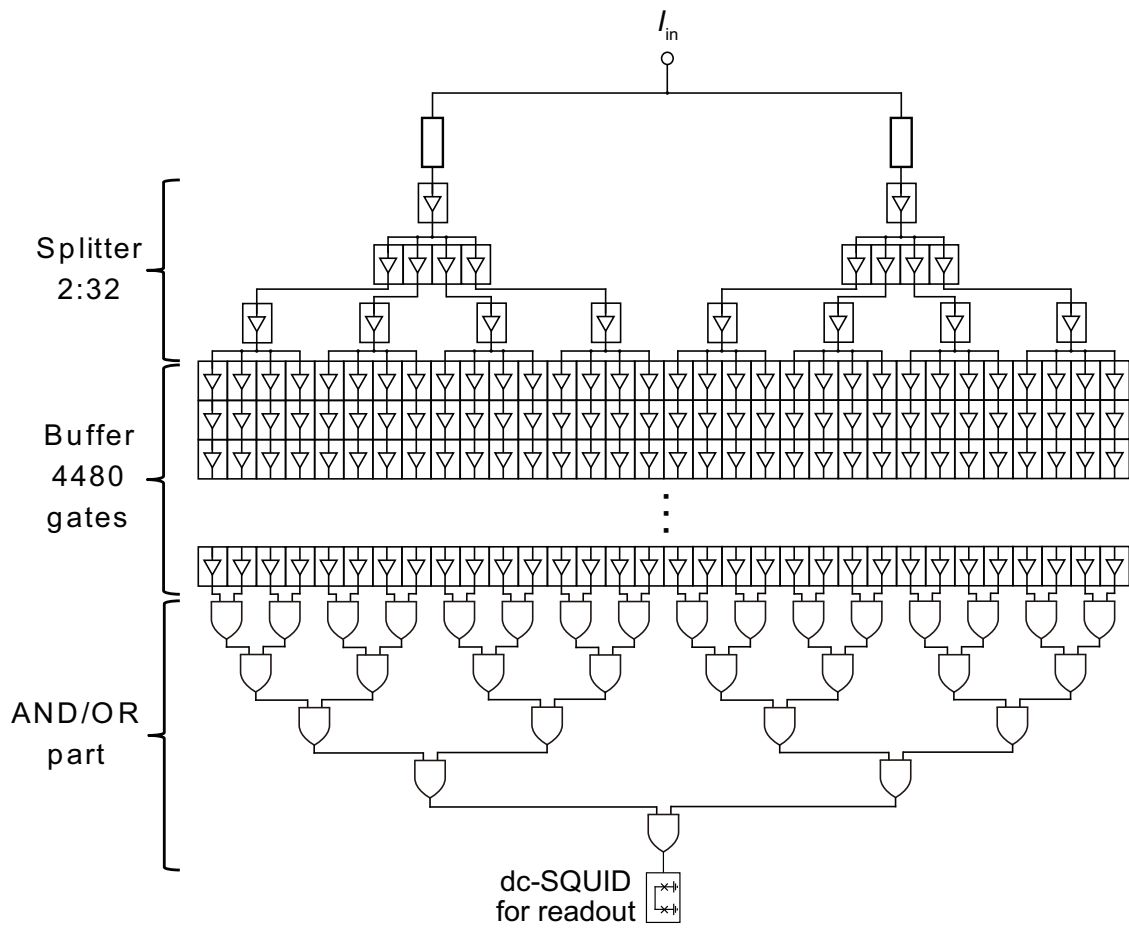
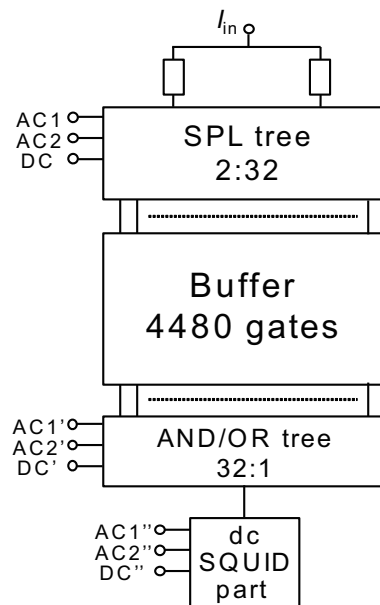


図 70: AQFP buffer のエラー検出回路の (a) 概略図、 (b) 論理"0" のエラー検出モード、 (c) 論理"1" のエラー検出モード

部、AND/OR 部、dc-SQUID 部の 3 つにそれぞれ独立に入力される。AQFP 歩留まり評価回路は 1 ブロック当たり Josephson 接合 9052 接合からなり、これを 10 ブロック並べることで、図 72 のように約 9 万接合からなる AQFP 大規模歩留まり評価回路を構成する。



(a)



(b)

図 71: AQFP 歩留まり評価回路の (a) 概略図と (b) ブロック図。

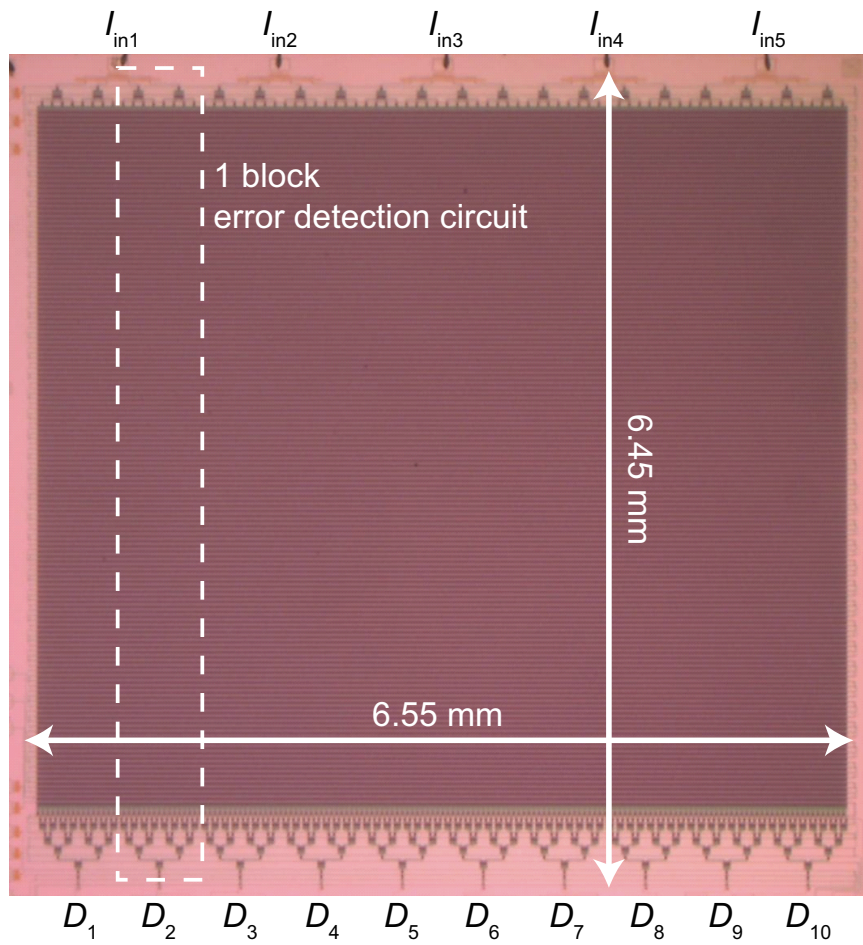


図 72: Josephson 接合 9 万接合からなる大規模歩留まり評価回路の顕微鏡写真

6.5 AQFP 歩留まり評価回路の測定結果

AQFP 歩留まり評価回路は、Buffer 部に印加するオフセット電流 DC を動作領域で固定し、励起電流 AC1、AC2 のみを変化させるという方法で測定及び励起電流マージンを調査した。合計 5 チップの AQFP 歩留まり評価回路の測定を行い、正常動作した JJ 数を評価した。図 73 に測定結果の一例として回路試作プロセス HSTP016 の #1F3 チップにおける、AND 論理モードでの AQFP 歩留まり評価回路の低速 (100 kHz) 測定における入出力波形を示す。入出力波形から、 D_2 、 D_5 、 D_7 D_{10} は入力パターン "110101" を正常に出力していることがわかる。ここで、 D_1 、 D_4 の出力は 3 レベルの信号となっている。しかし入力パターン "110101" は判別可能であるため、AQFP 歩留まり評価回路の Buffer 部、AND/OR 部の信号伝搬は正しく行われており、出力インターフェース回路である読み出し用 dc-SQUID 部の誤動作であることが考えられる。一方で、 D_3 、 D_6 は "1" 信号が連続して出力されており、入力パターンは出力されていない。ここで読み出し部に印加する励起電流 AC1"、AC2" を下シフトさせた際の入出力波形を図 74 に示す。このとき、 D_3 、 D_6 からは "0"、"1" が反転しているが、入力パターンが出力されていることがわかる。よって Buffer 回路部による信号伝搬、AND/OR ブロックによる信号合流は正常に行われていたが、読み出し回路部の動作領域が局所的にシフトしてしまったために図 73 では誤動作していたということが考えられる。また D_6 は出力波形が一定ではなく "0"、"1" が時折反転していたため、不安定動作であった。図 75 に HSTP016 #1F3 チップの AND モードにおける Buffer 部の励起電流マージンを示す。AND モードでは D_6 の不安定動作を除いたブロックで正常動作が確認された。

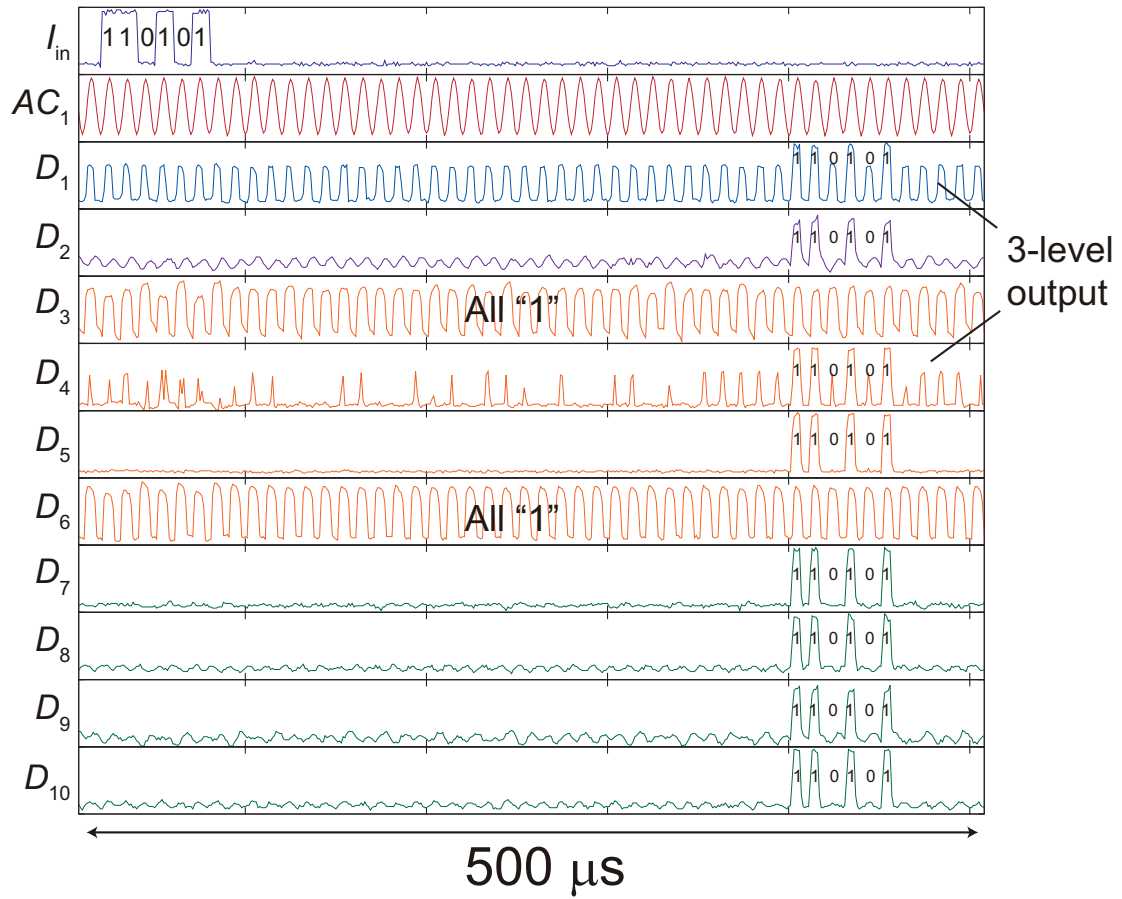


図 73: HSTP016 #1F3 チップにおける AND 論理モードでの AQFP 歩留まり評価回路の低速測定時の入出力波形

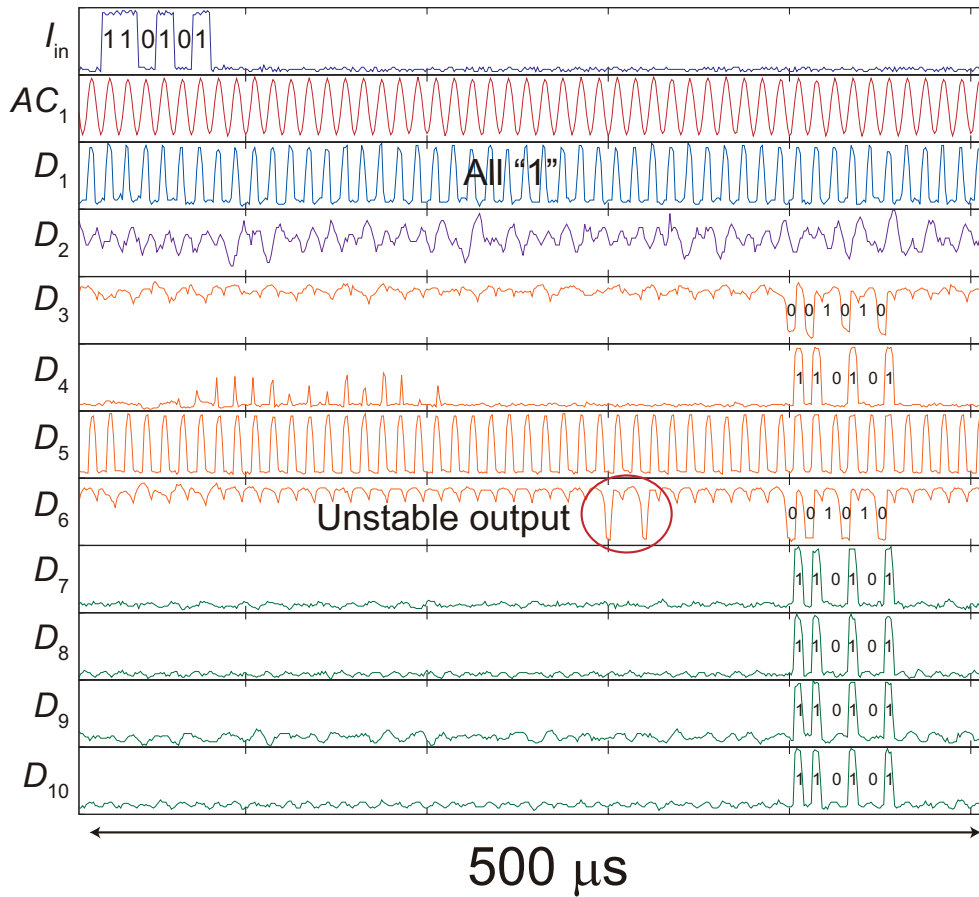


図 74: HSTP016 #1F3 チップにおける AND 論理モードでの AQFP 歩留まり評価回路の低速測定時において、読み出し回路部の励起電流を下シフトした際の入出力波形

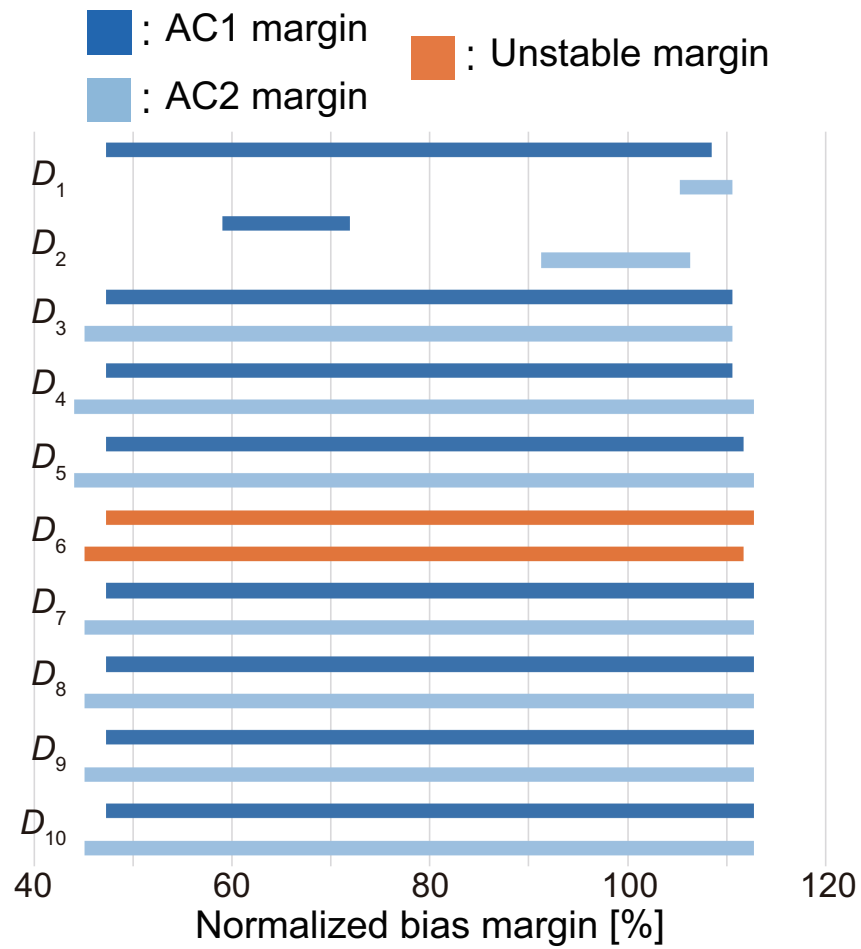


図 75: HSTP016 #1F3 チップにおける AND 論理モードでの Buffer 部の励起電流マージン

次に、AND/OR 部を OR 論理モードと設定した際の測定における入出力波形を図 76 に示す。 D_7 D_{10} は正常動作、 D_1 は 3 レベル出力となっているが入力パターンは判別可能であることから正常動作である。 D_2 D_4 、 D_6 はオール”1”出力であり、Buffer 回路部、AND/OR 部、読み出し部の励起電流を変更しても正常動作波形が得られなかったため、論理”1”に固定された Buffer ゲートが存在することによる誤動作であると考えられる。図 77 に HSTP016 #1F3 チップの OR モードにおける Buffer 部の励起電流マージンを示す。

このような測定を 5 チップに渡って行った。図 78 に AQPFP 歩留まり評価回路の 5 チップの歩留まりを示す。チップ 2、チップ 4 は 1 回測定した後、デフラックスを行って再度測定を行った。測定結果から、チップ 2 のデフラックス後の測定結果が最も歩留まりがよく、回路全体の 80% (JJ 約 72000 接合) が正常動作した。測定を行ったチップの平均歩留まりは 46% (JJ 約 42000 接合) である。ただし、3 レベル出力や動作領域シフトといった読み出し部の誤動作が散見されたため、平均歩留まりが 46% に留まった原因は Buffer 部ではなく、読み出し部の影響が大きいと考えられる。

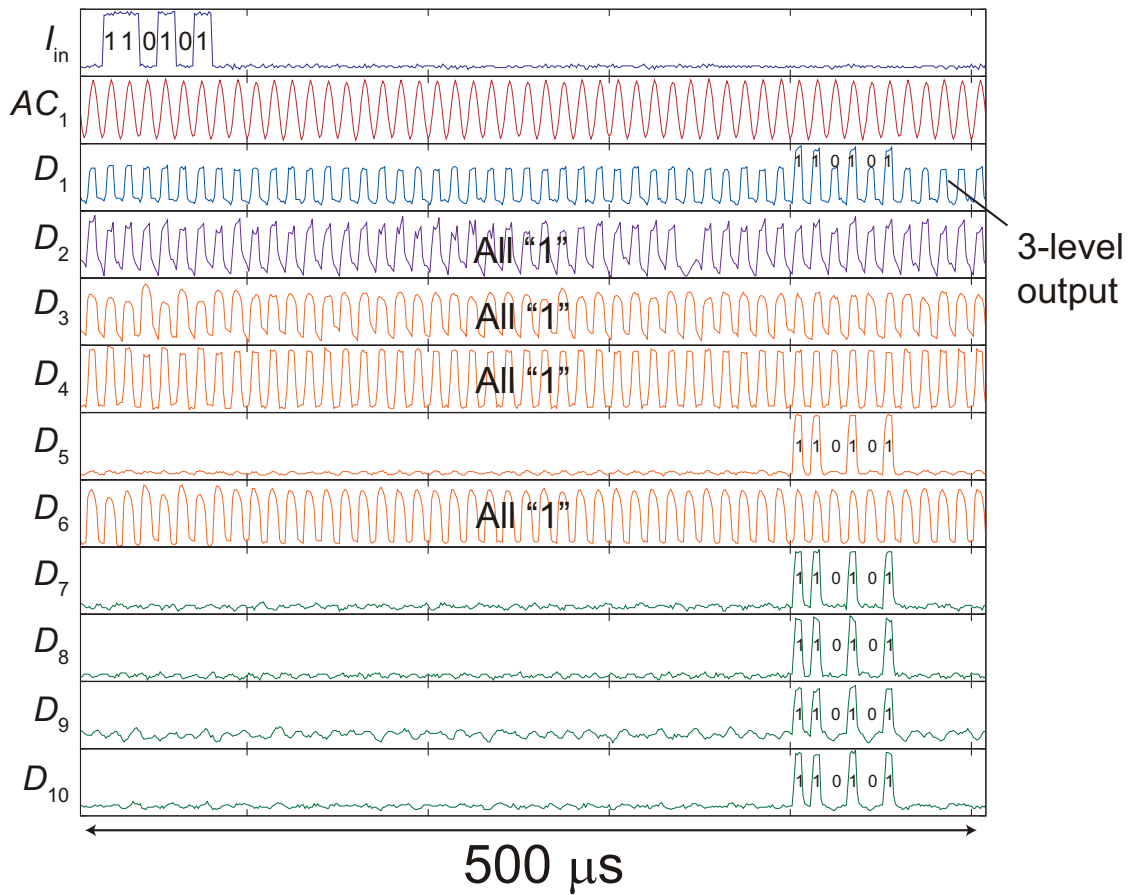


図 76: HSTP016 #1F3 チップにおける OR 論理モードでの AQFP 歩留まり評価回路の低速測定時の入出力波形

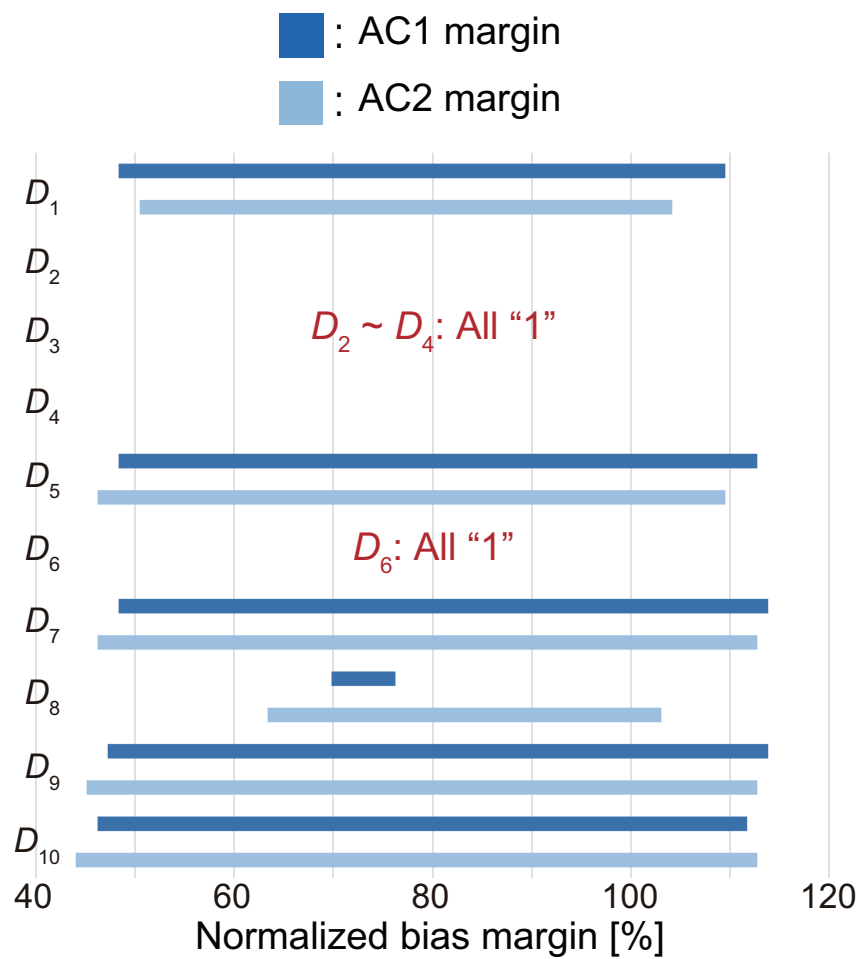


図 77: HSTP016 #1F3 チップにおけるOR論理モードでの Buffer 部の励起電流マージン

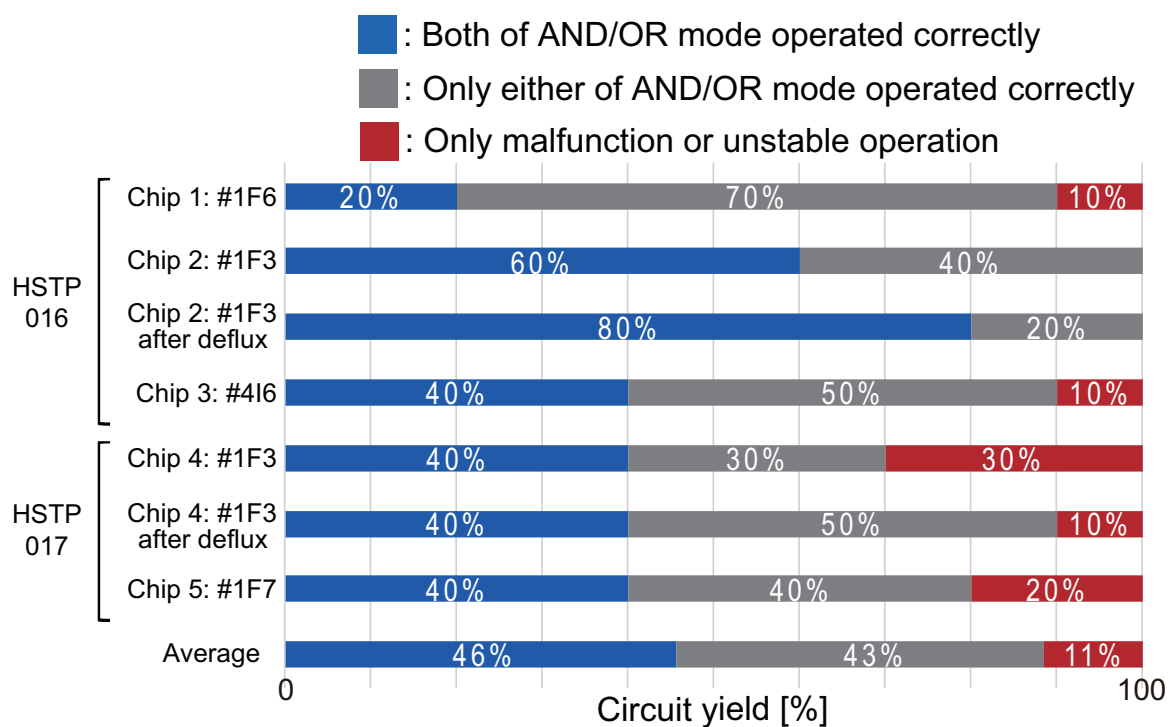


図 78: AQFP 大規模歩留まり評価回路 5 チップの歩留まり

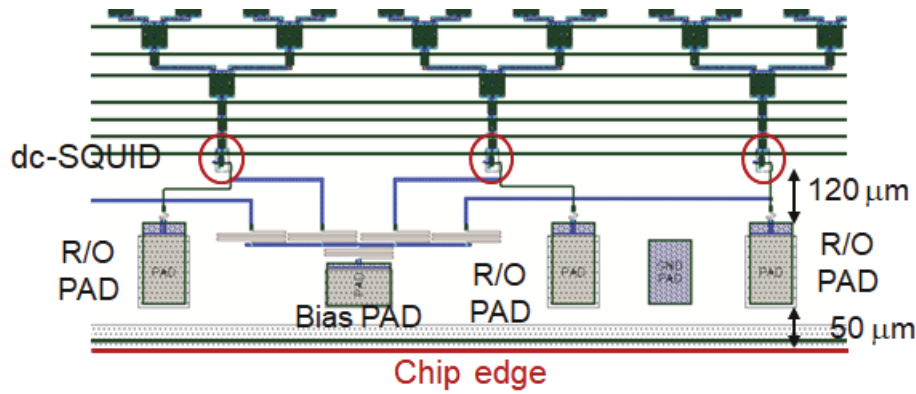


図 79: AQFP 大規模歩留まり評価回路の dc-SQUID 部のレイアウト拡大図。赤丸で囲まれた部分が読み出し用 dc-SQUID である。

6.6 dc-SQUID 部の誤動作要因の考察

AQFP 歩留まり評価回路の測定結果からは、前述したように読み出し回路である dc-SQUID 部の誤動作がみられた。本節ではこの原因及び改善方法について述べる。dc-SQUID 部が誤動作を起こしやすい要因として、dc-SQUID がチップ端に非常に近い場所に配置されていることが挙げられる。図 79 に AQFP 大規模歩留まり評価回路の dc-SQUID 部のレイアウト拡大図を示す。dc-SQUID への電流バイアス、室温機器への信号読み出しは Bias PAD、もしくは R/O PAD にアルミボンディングワイヤを接着することで行われる。よってチップ端に超伝導回路に近いほどアルミボンディングワイヤから生じる磁場から悪影響を受けやすい。図 79 の設計では各 PAD とチップ端の距離は約 $50 \mu\text{m}$ 、dc-SQUID と PAD 間の距離は約 $120 \mu\text{m}$ である。これは、標準チップサイズが $7 \text{ mm} \times 7 \text{ mm}$ の HSTP プロセスチップに出来るだけ多くの AQFP 回路を敷き詰めた結果であるが、実験結果からこれらの距離をより長く保つ必要性があることが示唆された。また第 2 章で述べたように AQFP の信号読み出し用 dc-SQUID は AQFP の微弱な電流信号を読みだすため、グラウンド層に穴を開けて両回路間の磁気結合を強めているが、これによりアルミボンディングワイヤからの磁場の影響をより受けやすいことが考えられる。

また、AQFP 歩留まり評価回路の測定結果における誤動作のうち、AND モードでのオール”1”出力、OR モードでのオール”0”出力は dc-SQUID の誤動作によって引き起こされているものだと考えられる。これらのエラーが AQFP buffer の誤動作である場合、Buffer32 列で構成される歩留まり評価回路 1 ブロックの中で、全ての列中の Buffer が誤動作している状態であるといえる。同じチップで正常に動作している回路ブロックがある中で、特

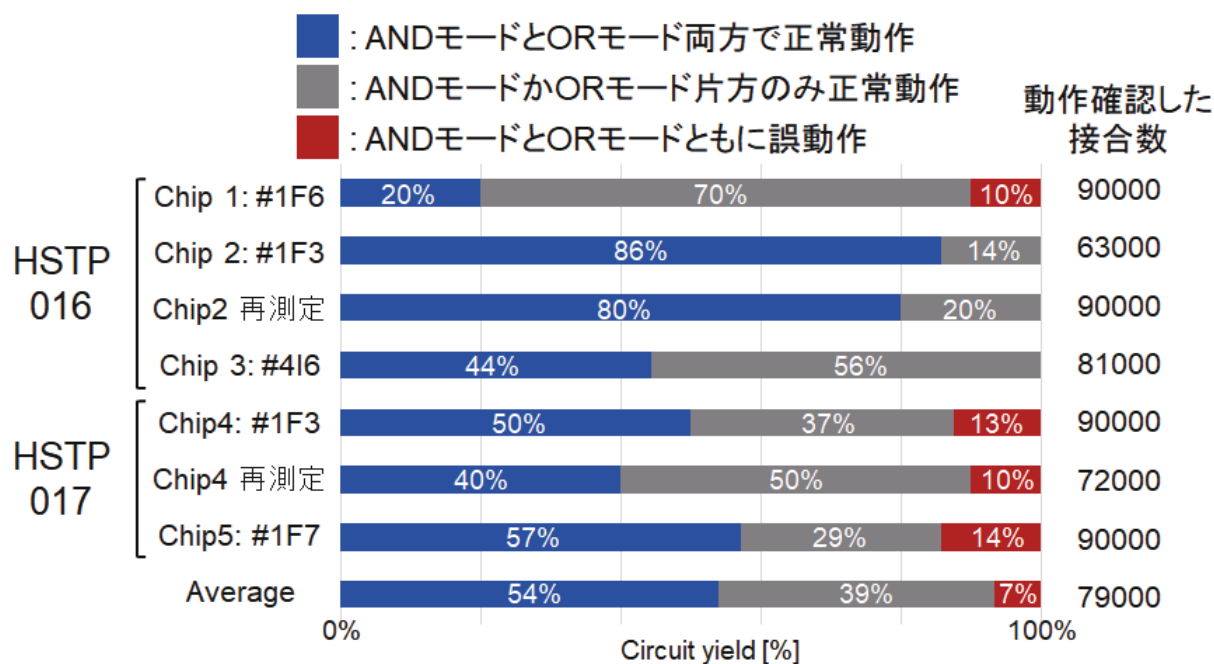


図 80: AND モードでのオール”1”出力、OR モードでのオール”0”出力によるエラーを除外した AQFP 大規模歩留まり評価回路の歩留まり。

定のブロックのみ 32 列の Buffer が全て誤動作するという事は考え難い。従って、AND モードでのオール”1”出力、OR モードでのオール”0”出力エラーは dc-SQUID の誤動作であり、Buffer ブロックの歩留まりを評価できていないものとして測定結果からこれらの評価回路ブロックを除外すると、測定における AQFP 歩留まり評価回路の歩留まりは図 80 のようになる。

図 80 より、AND モードでのオール”1”出力、OR モードでのオール”0”出力エラーを除外することで平均歩留まりが 54%まで改善され、これは Josephson 接合約 43000 接合に相当する。ただし、これらのエラーが起こるのは dc-SQUID が有電圧状態に遷移するしきい値が特定の方向にシフトした場合のみであるため、図 80 の操作では dc-SQUID の誤動作は完全には除外できていない。よって dc-SQUID の配置位置をチップ端から離す、またグランド層に穴をあけない構成での設計を行うことで AQFP 回路の歩留まりは改善可能であると期待される。

第7章 SFQパルス信号伝送を用いた

AQFP CPU

7.1 本章概要

本章では、AQFP と RSFQ 回路間インターフェースと PTL 配線を用いた AQFP 間長距離信号伝送技術が AQFP 計算機システムに有用であることを具体的に示すため、SFQ パルス信号伝送を導入した AQFP 1-bit CPU の設計について述べる。

図 81 にマイクロプロセッサのブロック図を示す。マイクロプロセッサはプログラムカウンタ (PC)、命令メモリ、レジスタファイル、ALU、データメモリで構成されるが、本章ではこのうちデータの書き込み格納・読み出しを行うレジスタファイルと ALU、ALU の計算結果のレジスタファイルへの書き戻しを実行可能な 1-bit CPU について述べる。

7.2 1-bit CPU の構成

7.2.1 AQFP レジスタファイル

図 82 に n -word \times 1-bit AQFP レジスタファイルの概略図を示す。 n -word \times 1-bit AQFP レジスタファイルは $n-2$ 個の D-latch に対するデータの書き込み及び読み出しを行う回路であり、1つのデータ入力ポート、2つのデータ出力ポートを備えている。データ信号と書き込みアドレス信号がレジスタファイルに入力されると、書き込みアドレス信号に応じた D-latch にデータ信号が書き込まれる。読み出し動作としては、読み出しアドレス A もしくは読み出しアドレス B が入力されると、選択された D-latch の A 出力もしくは B 出力からデータが読み出され、OR ゲートによる合流を介してレジスタファイルから出力される。ここでアドレス"0"とアドレス"1"に相当するレジスタは、それぞれ常に"0"信号、"1"信号を出力する定数レジスタである。これは、アドレス"0"またはアドレス"1"が書き込みアドレスで指定された場合はレジスタへの書き込みを行わず、読み出しアドレスによって指定された場合はそれぞれ定数"0"、定数"1"を読み出すことを意味する。従っ

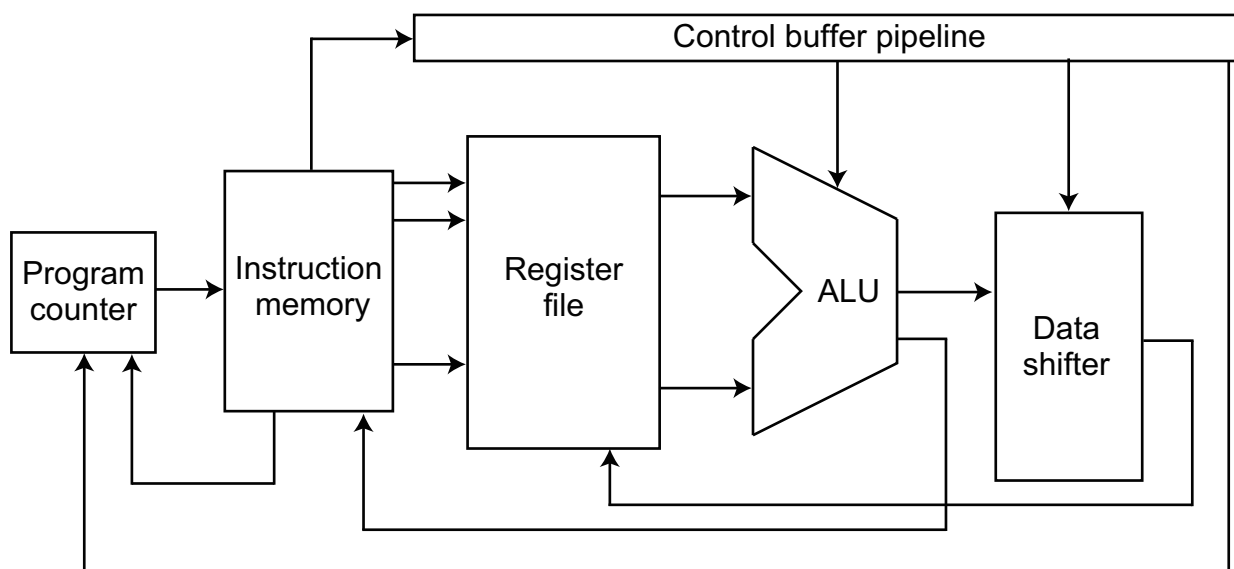


図 81: マイクロプロセッサのブロック図

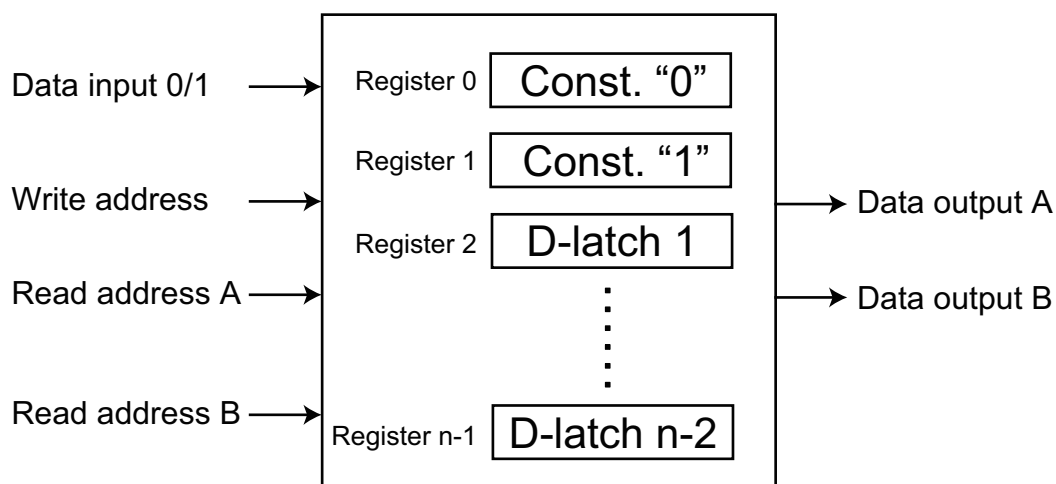


図 82: レジスタファイルの概略図

て n -word AQFP レジスタファイルに用いられる D-latch の数は $n-2$ となる。本章で設計されたレジスタファイルは 4 相交流かつ 5 GHz 駆動の $8\text{-word} \times 1\text{-bit}$ のレジスタファイルである。データ信号及びアドレス信号が入力されてから D-latch に到達するまでのレイテンシは 8 相 (400 ps) であり、D-latch のレイテンシは 4 相 (200 ps) である。よって AQFP $8\text{-word} \times 1\text{-bit}$ のレジスタファイルの書き込み及び読み出しにかかるレイテンシは、これらの合計値の 12 相 (600 ps) となる。

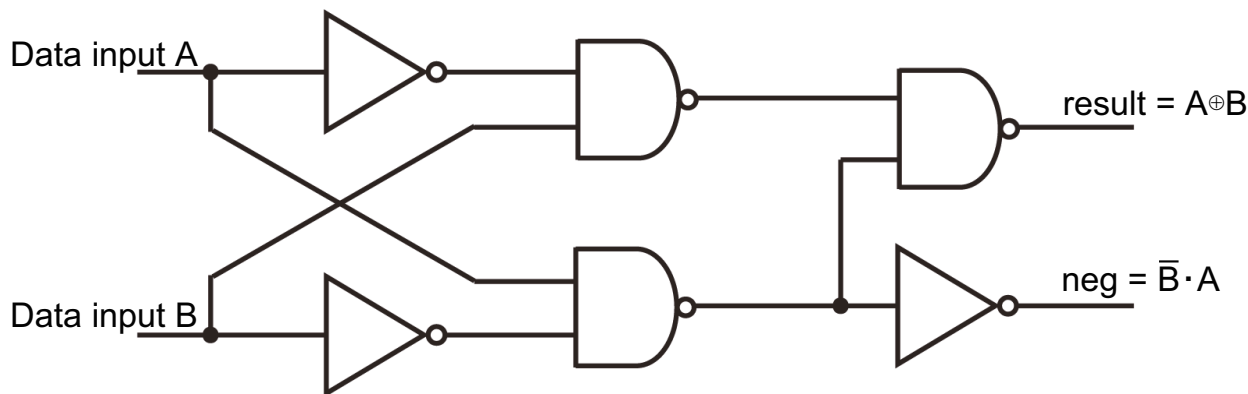


図 83: 1-bit ALU のブロック図

7.2.2 1-bit ALU

図 83 に 1-bit ALU のブロック図を示す。1-bit ALU はレジスタファイルからの 2 つの信号出力から論理演算を行い、result 信号と neg 信号を出力する。1-bit CPU では result 信号をレジスタファイルに書き戻すが、neg 信号は使用されない。本章における 1-bit CPU の neg 信号は、1-bit CPU の完全動作確認のために用いられる。AQFP 1-bit ALU のレイテンシは、8 相 (400 ps) である。

7.3 SFQ パルス信号伝送を用いた AQFP 1-bit CPU の設計

図 84、図 85 に OPEN プロセスで設計を行った 8-word × 1-bit CPU のレイアウト図とブロック図をそれぞれ示す。また表 3 に 1-bit CPU のコンポーネント回路の詳細を示す。AQFP 1-bit CPU は 4 相クロックの励起電流によって駆動される。前述のように ALU からの result 信号はレジスタファイルに書き戻す必要があるが、ALU の result 出力部からデータ入力位置までは約 3.26 mm の距離が存在する。result 信号が出力されてからレジスタファイルに格納されるまでの遅延時間は CPU のストールに繋がるため、遅延時間を抑える手法は CPU の性能向上のためには重要である。本回路では result 信号を AQFP/RSFQ インターフェースによって SFQ 信号に変換し、3.26 mm の PTL 配線で信号伝送を行う。次に RSFQ/AQFP インターフェースによりデータ入力部の AQFP buffer に信号が渡される。ここで 4 章の図 59 をみると、インターフェースと PTL を用いた長さ 3.26 mm の配線遅延は高バイアス時で 50 ps 以上 100 ps 以下であることが分かる。よって 5 GHz, 4 相交

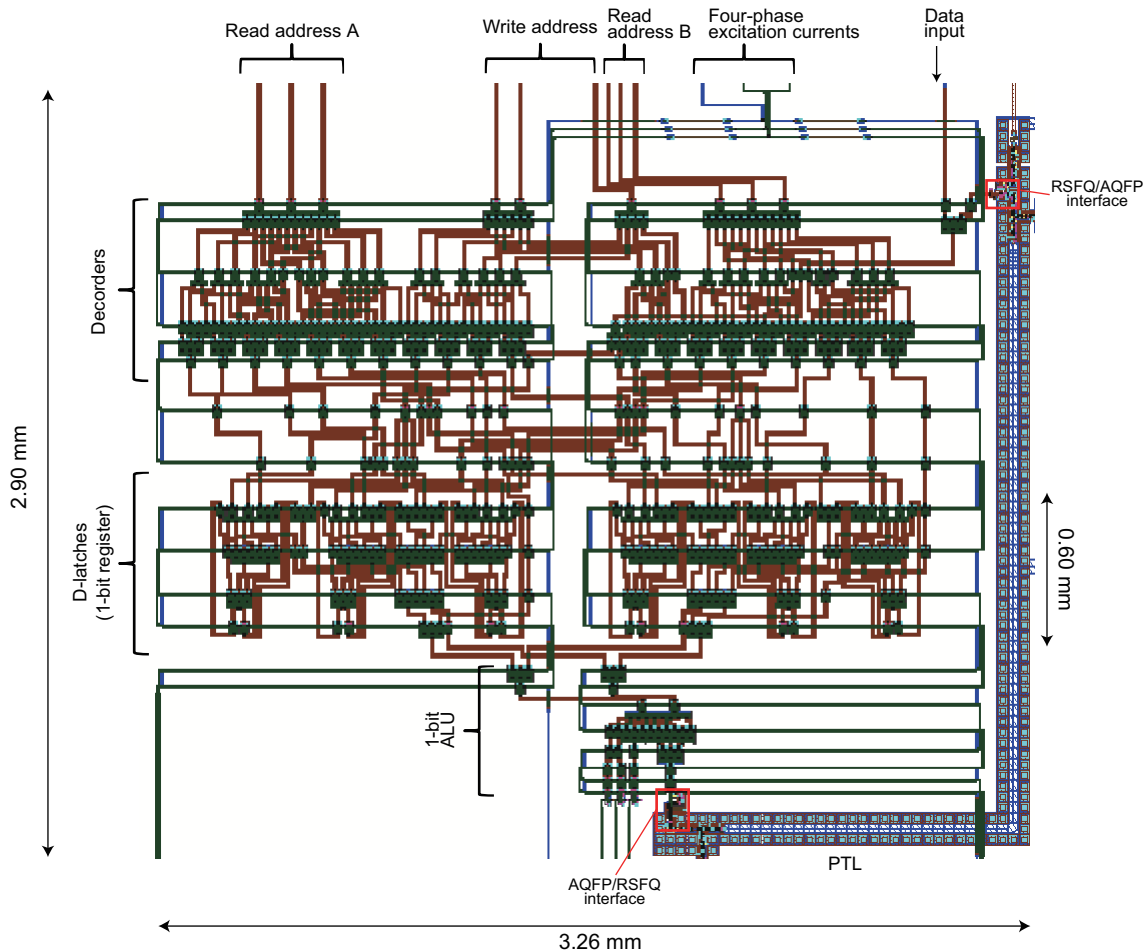


図 84: 8-word × 1-bit CPU のレイアウト図

流で AQFP を駆動した場合、本回路の書き戻しパスにおける信号伝搬遅延は 2 相 (100 ps) である。一方で、result 信号の書き戻しパスを全て AQFP buffer で構成した場合、result 信号増幅用 Buffer をデータ入力位置までに 4 つ挿入する必要があるため、4 相分 (200 ps) 分の遅延が生じる。よって SFQ パルス信号伝送を用いることで書き戻し遅延は 50% 改善されることがわかる。ただし、表 3 に示すように、8-word × 1-bit CPU のレイテンシはデコーダ部、レジスタ部、ALU 部の各レイテンシを合計して 20 相 (1000 ps) である。よって書き戻しパスの遅延よりも CPU 自体のレイテンシが支配的であり、SFQ パルス信号伝送を用いた 8-word × 1-bit CPU は速度面で優位性があるとは言い難い。しかし、CPU のビット拡張を行うと result 信号出力位置とデータ入力位置の距離が増加することから、マルチビット化の際には大きな差異が現れると考えられる。

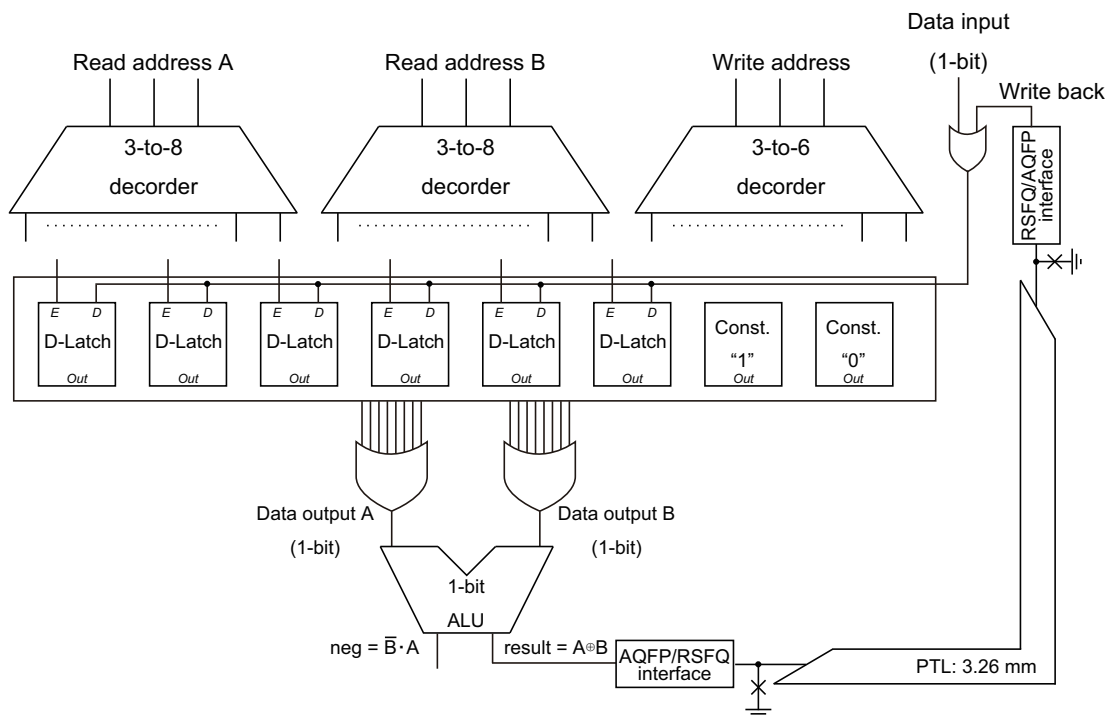


図 85: 8-word × 1-bit CPU のブロック図

表 3: AQFP 8word × 1bit CPU の構成。書き戻しパスのサイズはパスの長さを示す。

回路ブロック	接合数	レイテンシ (phase 数)	サイズ
デコーダ	592	8	3.26 mm × 1.00 mm
レジスタ	336	4	3.26 mm × 0.60 mm
ALU	82	8	0.70 mm × 0.53mm
書き戻しパス	58	2	3.26 mm

7.4 AQFP CPU のマルチビット化の考察

AQFP CPU のマルチビット化を行った際の書き戻し遅延の変化と、現状で動作すると考えられる最大のビット数を第6章のAQFP 歩留まり評価結果から考察する。AQFP CPU のビット拡張は、1-bit レジスタを直列に接続することで実現される。マルチビット化した際のコンポーネント回路間の配線の複雑化及びそれに伴う面積増加を考慮しなければ、表3のレジスタのサイズよりAQFP CPU は1ビット拡張する毎に0.6 mm 縦方向に大きくなり、Josephson 接合は336 接合増加する。まず、現状での最大ビット数について考える。第6章で得られたAQFP 回路の平均歩留まりは約43000 接合であった。これに対しAQFP 1-bit CPU の接合数は1068 接合であり、1-bit のレジスタは336 接合であることから、現状では126-bit CPU (43068 接合) が実現可能であるといえる。

次に、マルチビット化した際の書き戻し遅延を考える。1-bit レジスタの縦幅が0.6 mm であることから、1-bit 拡張する毎に書き戻しパスの長さは0.6 mm 増加する。ここで第4.5節で述べたようにAQFP のみで配線を行った場合、その信号伝搬遅延は50 ps/mm で増加するのに対し、SFQ パルス信号伝送を用いた場合は8.6 mm/ps で増加する。これらを考慮すると、CPU の書き戻し遅延のビット数依存性は図86のように表すことができる。126-bit CPU の書き戻しパスをAQFP のみで構成した場合は79 相 (3950 ps) の遅延が発生するのに対し、SFQ パルス信号伝送を用いて書き戻しパスを構成すると遅延は15 相 (750 ps) となり、約81%遅延を低減することができる。よってSFQ パルス信号伝送を用いることで、AQFP 大規模システムのレイテンシを大きく改善することが可能である。

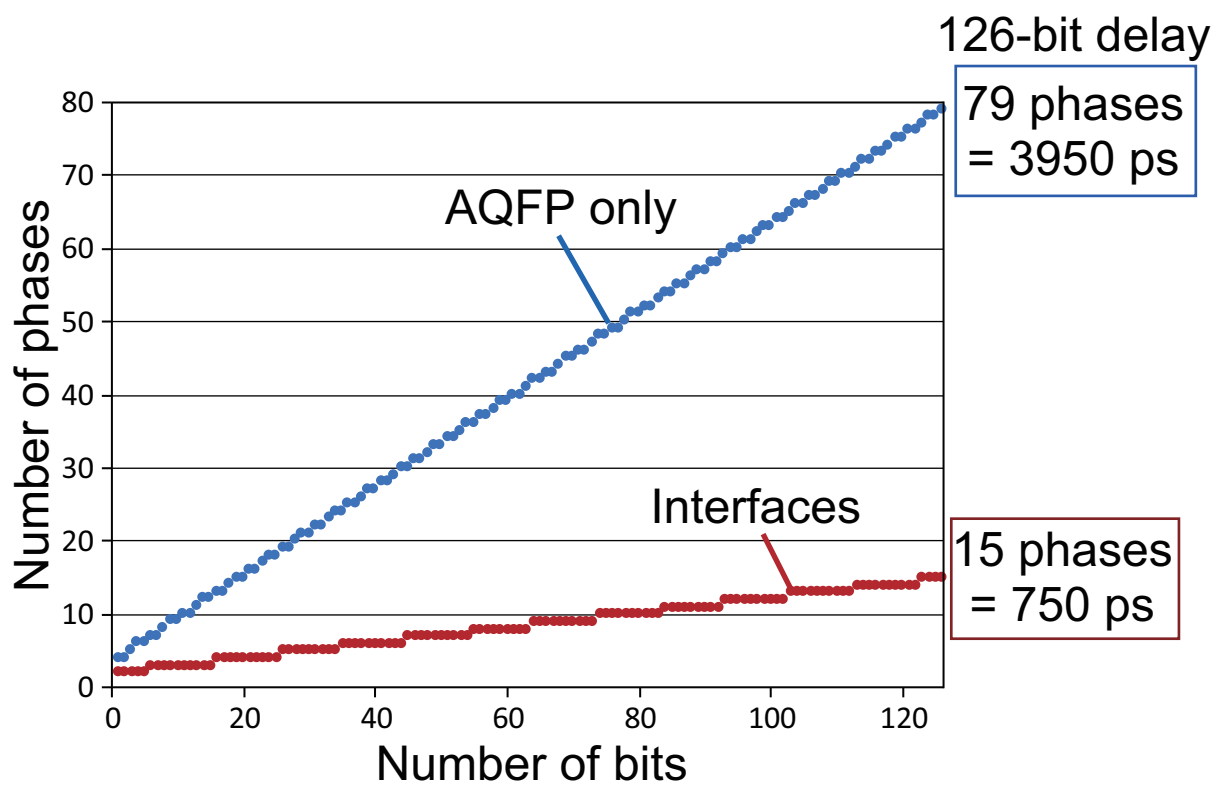


図 86: AQFP CPU の書き戻し時間のビット数依存性

第8章 結論

8.1 本研究のまとめ

本研究では、大規模 AQFP 計算機システム実現に向けた研究を行った。第4章では SFQ パルス信号伝送を利用した AQFP 間長距離信号伝送回路の実証、第5章では GHz 帯での高速動作が可能な AQFP 信号電圧ドライバ回路の実証をそれぞれ AQFP と RSFQ 論理を組み合わせることで実現した。第6章では大規模 AQFP 回路の実現可能性を追求するため、Josephson 接合約9万接合からなる AQFP 歩留まり評価回路の作製及び測定を行い、AQFP 回路の歩留まり評価を行った。第7章では SFQ 論理回路を AQFP 回路間に導入した計算機システムが実現可能であることを示すため、SFQ パルス信号伝送を導入した AQFP 1-bit CPU の設計及びマルチビット化の検討を行った。

第4章においては、まず AQFP と RSFQ 間で信号の送受信を行うコンポーネント回路として、RSFQ/AQFP インターフェースと AQFP/RSFQ インターフェースを開発した。次に長さ約 4.3 mm の PTL 配線とインターフェース回路を用いた AQFP 間信号伝送回路の設計及び動作実証を行い、RSFQ 回路を用いることで容易に AQFP 間の信号伝送が行えることを確認した。RSFQ 回路を AQFP 間信号伝送回路として用いる場合、配線長が 3 mm を超えると信号伝搬遅延は AQFP のみの信号伝搬遅延に比べ 50%以上改善され、また配線長が長いほど本方式の信号伝送の優位性が高いことがわかった。

第5章では、SFQ 信号を約 2.8 mV の高電圧まで増幅するドライバ回路の 4JL ゲートの設計を行った。4JL ゲートはラッチ論理を利用した回路であるためバイアス方式は AC であるが、Josephson 接合わずか5接合で構成することができ、寄生インダクタンス寄生キャパシタンス成分が少ないことから単純な回路設計が可能でロバスト性が高いと考えられ、また省面積である。4JL ゲートを AQFP の電圧ドライバ回路として応用するため、AQFP/RSFQ インターフェースと 4JL ゲートを接続した電圧ドライバ回路の設計及び動作実証を行った。測定結果では RSFQ 回路部分の DC バイアスマージンがシミュレーション結果に比べ縮小していたが、2 GHz までの高周波で正常に信号出力していることが確認された。測定結果から、2 GHz で AQFP、AQFP/RSFQ インターフェース、4JL ゲー

ト全てが正常に動作していることが示せた。

第6章では AQFP 回路の歩留まりを評価するため、基本回路である Buffer のエラー検出回路の設計を行った。Buffer のエラー検出回路は入力信号の分岐及び信号伝搬を行う Buffer 回路部と、信号数を1本まで合流する AND/OR 回路部の AC 励起電流をそれぞれ独立化させることで、動的に信号合流部分の AND モード、OR モードを切り替えることが可能となり、Buffer の全てのエラーが検出可能となった。エラー検出回路を歩留まり評価のために大規模化し、1ブロック 9052 接合からなる AQFP 歩留まり評価回路を設計し、これを1チップ上に10ブロック配置した AQFP 9万接合回路の作製測定及び歩留まり評価を行った。合計5チップの測定を行い歩留まり評価を行った結果、最も歩留まりが良かったチップで80%の AQFP 回路が動作していた。これは Josephson 接合約 72000 接合の正常動作を示している。5チップ全体の平均歩留まりは46%であり、Josephson 接合約 42000 接合程度の AQFP 回路の実現可能性が示された。測定では AQFP の読み出し回路である dc-SQUID の誤動作が多数確認されたため、dc-SQUID を最適化することで AQFP の歩留まりは更に改善できるものと考えられる。

第7章では、第4章で述べたような単純に信号の送受信を行うだけの回路ではなく、実際に AQFP 計算機システム中で SFQ パルス信号伝送が積極的に活用できることを示すため、信号フィードバック配線部を RSFQ 回路と PTL 配線に置き換えた AQFP 1-bit CPU の設計を行った。これにより AQFP 計算機システム中に実際に RSFQ 回路を配置することが可能であることを示した。第6章の歩留まり評価結果から現状の AQFP セルライブラリを用いた CPU は 126-bit まで拡張可能であることが示唆された。更に SFQ パルス信号伝送を用いることで、126-bit CPU の書き戻し時間は AQFP のみで構成される CPU よりも 81%短縮されることが分かった。このようにマルチビット化の際、システムのレイテンシを大きく改善出来ることを示した。

8.2 今後の課題

本研究では、古典 RSFQ 回路を用いた AQFP と RSFQ 間インターフェースを用いている。AQFP 回路の低消費電力性を活かすためには、インターフェース回路の低消費電力化が必須であるといえる。第1章で述べた低電力 RSFQ ロジックをインターフェース回路に適用し、また RSFQ 回路部の Josephson 接合の臨界電流値を下げる設計を行うことで、インターフェース回路においても積極的な低消費電力化を狙う必要がある。

第6章の結果から、AQFP読み出し回路 (stackセル) の改善がAQFP大規模システム構築に必要不可欠であるということが判明した。AQFP読み出し回路はAQFPの微弱電流出力を検出するため、超伝導チップのグランド層に穴を開けることでAQFPとdc-SQUID間の磁気結合を強めている。しかしこれによってAQFP読み出し回路に磁束がトラップしやすい、または外部磁場の影響を受けやすいということが考えられるため、グランド層に穴を開けずに広い電流マージンが得られるAQFP読み出し回路を開発する必要がある。

謝辞

学部4年生から博士課程に至るまでの6年間、基礎知識、専門知識のご指導、また本研究を行うにあたり多くのご鞭撻を賜りました吉川信行教授に厚く御礼申し上げます。

学部4年生から修士課程までの3年間、研究の何たるかをご教授して頂き、また博士課程の間も多大なお力添えを頂いた山梨裕希准教授に深く感謝致します。

AQFPグループの先輩及び研究室の先輩として直接多くのアドバイスを下さった竹内尚輝准教授に深く感謝致します。

また、研究に対して様々なご助言ご指導をいただいた Christopher Ayala 助教、徐秋韵助教、鈴木秀雄氏、金田久善助手に深く感謝致します。

本研究で試作、測定した回路は産業技術総合研究所の超伝導回路作製プロセスによって作製されました。産業技術総合研究所ナノエレクトロニクス研究部門の日高睦夫博士をはじめとする関係者の方々に深く感謝いたします。

学部4年生から修士課程の3年間の山梨研究室時代にお世話になった山梨研究室の青木一希先輩、津賀優斗先輩、大坪樹生先輩、蜂谷駿介先輩、同期である佐藤紘史氏、西本昇平氏、服部創氏、後輩の朝倉剣太氏、木原涼輔氏、菅田裕道氏、堤隆太氏、また吉川研究室の佐野京佑先輩、同期である井上孔佑氏、坂下洋介氏、佐々木悠太氏、沼口涼氏、村松祐希氏に深く感謝いたします。

AQFPに関する研究においてお世話になった卒業生の奈良間達也氏、安藤拓生氏、辻直樹氏、方コン氏、村井勇貴氏、後輩の高山広氏、ケイ育閣氏、荒井孝太氏、大熊幸寛氏、野副舞氏、田中智之氏、山栄大樹氏、齋藤露生氏に深く感謝致します。

吉川研究室における博士課程間の研究生活においてお世話になった卒業生の下田知毅氏、古市真也氏、宮西駿氏、五十嵐丈氏、小野智裕氏、小箱紗希氏、今野元氏、松本紗弥氏、今井響氏、村松将気氏、若松十夢氏に深く感謝致します。また後輩の阿部裕氏、佐藤僚亮氏、安井雄紀氏、荒木美佳氏、冨塚裕真氏、秋月一真氏、田村智大氏、弘中祐樹氏、柯飛氏、松島孝氏、真田耀嘉氏、伊藤諒氏、黒津拓馬氏、柘植貴大氏、中石爽太郎氏に深

く感謝致します。

最後に、これまでの9年に渡る大学、大学院生活において共に励まし合った友人達、精神的、経済的に支えてくださった家族に深く感謝いたします。

参考文献

- [1] G. E. Moore, “Cramming more components onto integrated circuits,” *Electronics*, vol. 38, no. 8, pp. 114-117, 1965.
- [2] K. Shirriff, “The surprising story of the first microprocessors,” *Spectrum, IEEE*, vol. 53, no. 9, pp. 48-54, 2016.
- [3] P. L. Packan, “Pushing the Limits,” *Science*, 285, 2079-2081, 1999.
- [4] R. R. Schaller, “Moore ’ s law: past, present and future,” *Spectrum, IEEE*, vol. 34, no. 6, pp. 52-59, 1997.
- [5] G. E. Moore, “No exponential is forever: but ‘ Forever ’ can be delayed! [semiconductor industry],” 2003 IEEE Int. Solid-State Circuits Conf. 2003. Dig. Tech. Pap. ISSCC, vol. 1, pp. 20-23, 2003.
- [6] H. Iwai, “CMOS technology after reaching the scale limit,” *Ext. Abstr. -2008 8th Int. Work. Junction Technol.*, pp. 1-2, May 2008.
- [7] V. Misra, G. Lucovsky and G. Parsons, “Issues in High-k Gate Stack Interfaces,” *MRS Bull.*, vol. 27, no. 3, pp. 212-216, 2001.
- [8] G. Ribes, J. Mitard, M. Denais, S. Bruyere, F. Monsieur, C. Parthasarathy, E. Vincent and G. Ghibaudo, “Review on High-k Dielectrics Reliability Issues,” *IEEE Trans. on Device and Materials ReL*, vol. 5, no. 1, pp. 5-19, 2005.
- [9] K. Mistry, C. Allen, C. Auth, B. Beattie, D. Bergstrom, M. Bost, M. Brazier, M. Buehler, A. Cappellani, R. Chau, C. H. Choi, G. Ding, K. Fischer, T. Ghani, R. Grover, W. Han, D. Hanken, M. Hattendorf, J. He, J. Hicks, R. Huessner, D. Ingerly, P. Jain, R. James, L. Jong, S. Joshi, C. Kenyon, K. Kuhn, K. Lee, H. Liu, J. Maiz,

- B. McIntyre, P. Moon, J. Neiryneck, S. Pae, C. Parker, D. Parsons, C. Prasad, L. Pipes, M. Prince, P. Rarade, T. Reynolds, J. Sandford, L. Shifren, J. Sebastian, J. Seiple, D. Simon, S. Sivakumar, P. Smith, C. Thomas, T. Troeger, P. Vandervoorn, S. Williams and K. Zawadzki, "A 45nm logic technology with high-k+ metal gate transistors, strained silicon, 9 Cu interconnect layers, 193nm dry patterning, and 100% Pb-free packaging," Tech. Dig. Int. Electron Devices Meet. IEDM, pp. 247-250, 2007.
- [10] D. Hisamoto, W. C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T. J. King, J. Jeffrey and C. Hu, "FinFET-A self-aligned double-gate MOSFET scalable to 20 nm," IEEE Trans. Electron Devices, vol. 47, no. 12, pp. 2320-2325, 2000.
- [11] X. Huang, W. C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y. K. Choi, K. Asano, V. Subramanian, T. J. King, J. Bokor and C. Hu, "Sub-50 nm P-channel FinFET," IEEE Trans. Electron Devices, vol. 48, no. 5, pp. 880-886, 2001.
- [12] S. Gupta, V. Moroz, S. Lee, Q. Lu and K. C. Saraswat, "7-nm FinFET CMOS design enabled by stress engineering using Si, Ge, and Sn," IEEE Trans. Electron Devices, vol. 61, no. 5, pp. 1222-1230, 2014.
- [13] Q. Xie, X. Lin, Y. Wang, S. Chen, M. J. Dousti and M. Pedram, "Performance Comparisons between 7-nm FinFET and Conventional Bulk CMOS Standard Cell Libraries," IEEE Trans. Circuits Syst. II Express Briefs, vol. 62, no. 8, pp. 761-765, 2015.
- [14] K. Nakajima, Y. Onodera and Y. Ogawa, "Logic design of Josephson network," J. Appl. Phys., vol. 47, pp. 1620-1627, Apr. 1976.
- [15] K. K. Likharev and V. K. Semenov, "RSFQ Logic/Memory Family: A New Josephson-Junction Technology for Sub-Terahertz-Clock-Frequency Digital Systems," IEEE Trans. Appl. Supercond. vol. 1, pp. 3-28, 1991.
- [16] W. Chen, A. V. Rylyakov, V. Patel, J. E. Lukens and K. K. Likharev, "Superconductor digital frequency divider operating up to 750 GHz," Appl. Phys. Lett. vol. 73,

- no. 19, p. 2817, 1998.
- [17] W. Chen, A. V. Rylyakov, V. Patel, J. E. Lukens and K. K. Likharev, “Rapid single flux quantum T-flip flop operating up to 770 GHz,” *IEEE Trans. Appl. Supercond.*, vol. 9, no. 2, pp. 3212-3215, Jun. 1999.
- [18] 吉川信行, “単一磁束量子回路を用いた低消費電力機器” *電子情報通信学会誌*, vol. 90, no. 3, pp. 213-219, 2007.
- [19] S. V. Polonsky, V. K. Semenov and D. F. Schneider, “Transmission of single-flux-quantum pulses along superconducting microstrip lines,” *IEEE Trans. Appl. Supercond.*, vol. 3, no. 1, pp. 2598-2600, Mar. 1993.
- [20] T. Ortlepp, O. Wetzstein, S. Engert, J. Kunert and H. Toepfer, “Reduced power consumption in superconducting electronics,” *IEEE Trans. Appl. Supercond.*, vol. 21, no. 3, PART 1, pp. 770-775, 2011.
- [21] Y. Hashimoto, S. Yorozu, Y. Kameda, A. Fujimaki, H. Terai and N. Yoshikawa, “Design and investigation of gate-to-gate passive interconnections for SFQ logic circuits,” *IEEE Trans. Appl. Supercond.*, vol. 15, no. 3, pp. 3814-3819, Sep. 2005.
- [22] Y. Hashimoto, S. Yorozu, H. Terai and A. Fujimaki, “Measurement of crosstalk between crossing superconductor microstrip lines,” *Phys. C Supercond. its Appl.*, vol. 392-396, no. 1472-1477, Feb. 2003.
- [23] T. Satoh, K. Hinode, S. Nagasawa, Y. Kitagawa, M. Hidaka, N. Yoshikawa, H. Akaike, A. Fujimaki, K. Takagi and N. Takagi, “Planarization process for fabricating multi-layer nb integrated circuits incorporating top active layer,” *IEEE Trans. Appl. Supercond.*, vol. 19, no. 3, pp. 167-170, Jun. 2009.
- [24] M. Hidaka, H. Tsuge and Y. Wada, “A 4-kbit Josephson nondestructive read-out RAM operated at 580 psec and 6.7 mW,” *IEEE Trans. on Mag.* vol. 27, no. 2, Mar. 1991.
- [25] Q. P. Herr, M. S. Wire and A. D. Smith, “Ballistic SFQ signal propagation on-chip and chip-to-chip,” *IEEE Trans. Appl. Supercond.*, vol. 13, no. 2, pp. 463-466, Jun. 2003.

- [26] M. Tanaka, T. Kondo, N. Nakajima, T. Kawamoto, Y. Yamanashi, Y. Kamiya, A. Akimoto, A. Fujimaki, H. Hayakawa, N. Yoshikawa, H. Terai, Y. Hashimoto and S. Yorozu, “ Demonstration of a Single-Flux-Quantum Microprocessor Using Passive Transmission Lines, ” IEEE Trans. Appl. Supercond., vol. 15, no. 2, pp. 400-404, Jun. 2005.
- [27] Y. Hashimoto, S. Yorozu, Y. Kameda, A. Fujimaki, H. Terai and N. Yoshikawa, “ Implementation of a 4×4 Switch With Passive Interconnects, ” IEEE Trans. Applied Supercond., vol. 15, no. 2, pp. 356-359, Jun. 2005.
- [28] Y. Kameda, S. Yorozu and Y. Hashimoto, “ A New Design Methodology for Single-Flux-Quantum (SFQ) Logic Circuits Using Passive-Transmission-Line (PTL) Wiring, ” IEEE Trans. Applied Supercond., vol. 17, no. 2, pp. 508-511, Jun. 2007.
- [29] M. Yokokawa, F. Shoji, A. Uno, M. Kurokawa and T. Watanabe, “The K computer: Japanese next-generation supercomputer development project,” ISLPED, pp. 371-372, 2011.
- [30] D. S. Holmes, Andrew L. Ripple and Marc A. Manheimer, “Energy-Efficient Superconducting Computing-Power Budgets and Requirements,” IEEE Trans. Appl. Supercond., vol. 23, no. 3, Jun. 2013.
- [31] N. Yoshikawa and Y. Kato, “Reduction of power consumption of RSFQ circuits by inductance-load biasing,” Supercond. Sci. Technol., vol. 12, pp. 918-920, Nov. 1999.
- [32] Y. Yamanashi, T. Nishigai and N. Yoshikawa, “Study of LR-Loading Technique for Low-Power Single Flux Quantum Circuits,” IEEE Trans. Appl. Supercond., vol. 17, no. 2, pp. 150-153, Jun. 2007.
- [33] T. Ortlepp, O. Wetzstein, S. Engert, J. Kunert and H. Toepfer, “Reduced power consumption in superconducting electronics,” IEEE Trans. Appl. Supercond., vol. 21, no. 3 PART 1, pp. 770-775, Jun. 2011.
- [34] T. Takahashi, R. Numaguchi, Y. Yamanashi and N. Yoshikawa, “High-speed demonstration of low-power 1 k-bit shift-register memories using LR-biasing SFQ circuits”, IEICE Electron. Express, vol. 13, no. 6, Mar. 2016.

- [35] M. Tanaka, M. Ito, A. Kitayama, T. Kouketsu and A. Fujimaki, “18-GHz, 4.0-aJ/bit operation of ultra-low-energy rapid single-flux-quantum shift registers,” *Jpn. J. Appl. phys.*, vol. 51, p. 053102, May 2012
- [36] M. Tanaka, M. Kozaka, Y. Kita, A. Fujimaki, S. Nagasawa and M. Hidaka, “Rapid single-flux-quantum circuits fabricated using 20-kA/cm²Nb/AlO_x/Nb process,” *IEEE Trans. Appl. Supercond.*, vol. 25, no. 3, pp. 1-4, 2015.
- [37] D. E. Kirichenko, S. Sarwana and A. F. Kirichenko, “Zero static power dissipation biasing of RSFQ circuits,” *IEEE Trans. Appl. Supercond.*, vol. 21, no. 3 PART 1, pp. 776-779, Jun. 2011.
- [38] O. A. Mukhanov, “Energy-efficient single flux quantum technology,” *IEEE Trans. Appl. Supercond.*, vol. 21, no. 3, pp. 760-769, Jun. 2011.
- [39] Q. P. Herr, A. Y. Herr, O. T. Oberg and A. G. Loannidis, “Ultra-low-power superconductor logic,” *J. Appl. Phys.*, vol. 109, no. 103903, 2011.
- [40] A. Y. Herr, Q. P. Herr, O. T. Oberg, O. Naaman, J. X. Przybysz, P. Borodulin and S. B. Shauck, “An 8-bit carry look-ahead adder with 150 ps latency and sub-microwatt power dissipation at 10 GHz,” *J. Appl. Phys.*, vol. 113, no. 3, 2013.
- [41] Q. P. Herr, J. Osborne, M. J. A. Stoutimore, H. Hearne, R. Selig, J. Vogel, E. Min, V. V. Talanov and A. Y. Herr, “Reproducible operating margins on a 72 800-device digital superconducting chip,” *Supercond. Sci. Technol.*, vol. 28, no. 12, p. 124003, 2015.
- [42] N. Takeuchi, D. Ozawa, Y. Yamanashi and N. Yoshikawa, “An adiabatic quantum flux parametron as an ultra-low-power logic device,” *Supercond. Sci. Tech.*, vol. 26, no. 3, p. 035010, Mar. 2013.
- [43] M. Hosoya, W. Hioe, J. Casas, R. Kamikawai, Y. Harada, Y. Wada, H. Nakane, R. Suda and E. Goto, “Quantum Flux Parametron: A Single Quantum Flux Device for Josephson Supercomputer,” *IEEE Trans. Appl. Supercond.*, vol. 1, no. 2, pp. 77-89, Jun. 1991.

- [44] N. Takeuchi, Y. Yamanashi and N. Yoshikawa, “Measurement of 10 zJ energy dissipation of adiabatic quantum-flux-parametron logic using a superconducting resonator,” *Appl. Phys. Lett.*, vol. 102, no. 5, p. 52602, 2013.
- [45] N. Takeuchi, Y. Yamanashi and N. Yoshikawa, “Energy efficiency of adiabatic superconductor logic,” *Supercond. Sci. Technol.*, vol. 28, no. 1, p. 15003, Nov. 2015.
- [46] N. Takeuchi, Y. Yamanashi and N. Yoshikawa, “Adiabatic quantum-flux-parametron cell library adopting minimalist design” *J. Appl. Phys.*, vol. 117, no. 173912, 2015.
- [47] C. L. Ayala., N. Takeuchi, T. Ortlepp, Y. Yamanashi and N. Yoshikawa, “Majority-Logic-Optimized Parallel Prefix Carry Look-Ahead Adder Families Using Adiabatic Quantum-Flux-Parametron Logic,” *IEEE Trans. Appl. Supercond.*, vol. 27, no. 4, p. 1300407, Jun. 2017.
- [48] N. Tsuji, N. Takeuchi, Y. Yamanashi, T. Ortlepp and N. Yoshikawa, “Majority gate-based feedback latches for adiabatic quantum flux parametron logic,” *IEICE Trans. Electron.*, vol. E99-C, no. 6, pp. 710-716, Jun. 2016.
- [49] N. Tsuji, C. L. Ayala., N. Takeuchi, T. Ortlepp, Y. Yamanashi and N. Yoshikawa, “Design and Implementation of a 16-Word by 1-Bit Register File Using Adiabatic Quantum Flux Parametron Logic,” *IEEE Trans. Appl. Supercond.*, vol. 27, no. 4, p. 1300904, Jun. 2017.
- [50] K. Inoue, N. Takeuchi, T. Narama, Y. Yamanashi and N. Yoshikawa, “Design and demonstration of adiabatic Quantum-flux-parametron logic circuits with superconductor magnetic shields,” *Supercond. Sci. Technol.*, vol. 28, no. 4, p. 45020, 2015.
- [51] N. Takeuchi, H. Suzuki and N. Yoshikawa, “Measurement of low bit-error-rates of adiabatic quantum-flux-parametron logic using a superconductor voltage driver,” *Appl. Phys. Lett.*, vol. 110, no. 20, 2017.
- [52] N. Takeuchi, K. Ehara, K. Inoue, Y. Yamanashi and N. Yoshikawa, “Margin and energy dissipation of adiabatic quantum-flux-parametron logic at finite temperature,” *IEEE Trans. Appl. Supercond.*, vol. 23, no. 3, pp. 3-6, Jun. 2013.

- [53] H. Nakagawa, E. Sogawa, S. Kosaka, S. Takada and H. Hayakawa, “Operating Characteristics of Josephson Four-Junction Logic (4JL) Gate.” Jpn. J. Appl. Phys., vol. 21, no. 4, pp. L198-L200, Apl. 1982.
- [54] T. Van Duzer, “Principles of Superconductive Devices and Circuits,” Prentice Hall, 2nd Ed., 1998.
- [55] 早川尚夫 (編), 菅野卓雄 (監修), “超高速ジョセフソン・デバイス,” 培風館, 1986 年
- [56] K. Enpuku, H. Doi and G. Tokita, “Method for Improving Voltage Modulation Depth of High T_c dc SQUID with Large Inductance,” IEEE Trans. Appl. Supercond. vol. 5, No. 2, pp. 2765-2765, Jun. 1995.
- [57] T. Ando, N. Takeuchi, Y. Yamanashi and N. Yoshikawa, “Adiabatic Quantum-Flux-Parametron Constant Cells using Asymmetrical Structures,” IEEJ Trans. Fund. Mat. 136, 747 2016.
- [58] 越山潤一, 吉川信行, “RSFQ 論理回路のセルベース設計手法の検討,” 電子情報通信学会論文誌 C, vol. J83-C, pp. 636-642, Jul. 2000.
- [59] S. Yorozu, Y. Kameda, H. Terai, A. Fujimaki, T. Yamada and S. Tahara, “ A single flux quantum standard logic cell library, ” physica C, vol. 378-381, pp. 1471-1474, Oct. 2002.
- [60] H. Numata and S. Tahara, “ Fabrication technology for Nb integrated circuits, ” IEICE Trans. Electron., vol.E84-C, pp.2-8, Jan. 2001.
- [61] N. Takeuchi, S. Nagasawa, F. China, T. Ando, M. Hidaka, Y. Yamanashi and N. Yoshikawa, “ Adiabatic quantum-flux-parametron cell library designed using a 10 kA cm⁻² niobium fabrication process, ” Supercond. Sci. Technol., vol. 30, no. 3, p. 035002, Mar. 2017.
- [62] N. J. Halas, W. J. Gallagher, I. N. Duling, D. Grischkowsky, M. B. Ketchen and A. W. Kleinsasser, “ Subpicosecond optoelectronic study of superconducting transmission lines, ” IEEE Trans. Magn. vol. 23, no. 2, pp. 1666-1669, 1987.

- [63] S. V. Polonsky, V. K. Semenov and D. F. Schneider, “Transmission of single-flux-quantum pulses along superconducting microstrip lines,” *IEEE Trans. Appl. Supercond.*, vol. 3, no. 1, pp. 2598-2600, Mar. 1993.

研究業績

研究論文: 全 4 報 (筆頭 2 報, 連名 2 報)

- [1] F. China, T. Narama, N. Takeuchi, T. Ortlepp, Y. Yamanashi, and N. Yoshikawa, “Design and Demonstration of Interface Circuits between Rapid Single-Flux-Quantum and Adiabatic Quantum-Flux-Parametron Circuits,” *IEEE Trans. Appl. Supercond.*, vol. 26, no.5, p. 1301305, June. 2016, invited.
- [2] F. China, N. Tsuji, T. Narama, T. Ortlepp, Y. Yamanashi, and N. Yoshikawa, “Demonstration of Signal Transmission Between Adiabatic Quantum-Flux-Parametrons and Rapid Single-Flux-Quantum Circuits Using Superconductive Microstrip Lines,” *IEEE Trans. Appl. Supercond.*, vol. 27, no. 4, p. 1300205, June 2017.
- [3] N. Takeuchi, S. Nagasawa, F. China, T. Ando, M. Hidaka, Y. Yamanashi, and N. Yoshikawa, “Adiabatic quantum-flux-parametron cell library designed using a 10 kA cm⁻² niobium fabrication process,” *Supercond. Sci. Technol.*, vol. 30, no. 3, p. 035002, Mar. 2017.
- [4] T. Ando, S. Nagasawa, N. Takeuchi, N. Tsuji, F. China, M. Hidaka, Y. Yamanashi and N. Yoshikawa, “Three-dimensional adiabatic quantum-flux-parametron fabricated using a double-active-layered niobium process,” *Supercond. Sci. Technol.*, vol. 9, Jun. 2017.

国際会議: 全 12 報 (筆頭 10 報, 連名 2 報)

- [1] F. China, Y. Yamanashi, N. Yoshikawa, “New superconductive digital magnetometer with sub-flux quantum resolution,” *International Superconductive*

- Electronics Conference (ISEC) 2013, Cambridge, USA, Jul. 2013.
- [2] F. China, Y. Yamanashi, and N. Yoshikawa, "Improvement of Slew Rate of High-Sensitive Superconductive Digital Magnetometer" Superconducting SFQ VLSI Workshop (SSV) 2013, Tsukuba, Japan, Nov. 2013.
- [3] F. China, Y. Yamanashi, and N. Yoshikawa, "Improvement of Dynamic Range of High-Sensitive Superconductive Digital Magnetometer," Superconducting SFQ VLSI Workshop (SSV) 2014 for Young Scientists, Nagoya, Japan, Mar. 2014.
- [4] F. China, "High sensitivity superconducting digital magnetometer," Stellenbosch Workshop on Superconductive Circuit Modelling and Layout Extraction, Stellenbosch, South Africa, Sep. 2014.
- [5] F. China, Y. Yamanashi, and N. Yoshikawa, "Performance Estimation and Design of High-Sensitive Superconductive Digital Magnetometer," 27th International Symposium on Superconductivity (ISS2014), Tokyo, Japan, Nov. 2014.
- [6] F. China, T. Ortlepp, Y. Yamanashi, and N. Yoshikawa, "Study of Signal Interface between Single Flux Quantum Circuit and Adiabatic Quantum Flux Parametron," 15th International Superconductive Electronics Conference (ISEC 2015), Nagoya, Japan, Jul. 2015.
- [7] T. Ando, N. Tsuji, F. China, N. Takeuchi, S. Nagasawa, M. Hidaka, Y. Yamanashi and N. Yoshikawa, "First Demonstration of Double-Active-Layered AQFP Circuits Using Double Gate Process," Superconducting SFQ VLSI Workshop (SSV 2016), Yokohama, Japan, Aug. 2016.
- [8] F. China, N. Tsuji, N. Takeuchi, T. Ortlepp, Y. Yamanashi and N. Yoshikawa, "Demonstration of Data Transmission on Long Interconnections between Adiabatic Quantum-Flux-Parametron Gates Using Passive Transmission Lines," Superconducting SFQ VLSI Workshop (SSV 2016), Yokohama, Japan, Aug. 2016.
- [9] T. Narama, F. China, N. Takeuchi, T. Ortlepp, Y. Yamanashi and N. Yoshikawa, "Yield evaluation of 83k-junction adiabatic-quantum-flux-parametron circuits," Applied Superconductivity Conference (ASC 2016), Denver, USA, Sep. 2016.

- [10] F. China, N. Tsuji, T. Narama, N. Takeuchi, T. Ortlepp, Y. Yamanashi and N. Yoshikawa, “Demonstration of Signal Transmission between Adiabatic Quantum-Flux-Parametrons and Rapid Single-Flux-Quantum Circuits Using Superconductive Microstrip Lines,” Applied Superconductivity Conference (ASC 2016), Denver, USA, Sep. 2016.
- [11] T. Ando, N. Tsuji, F. China, N. Takeuchi, S. Nagasawa, M. Hidaka, Y. Yamanashi, and N. Yoshikawa, “Implementation of a Double-Active-Layered AQFP Cell Library Using Double Gate Process,” International Symposium on Superconductivity (ISS) 2016, Tokyo, Japan, Dec. 2016.
- [12] F. China, N. Tsuji, T. Ando, H. Takayama, N. Takeuchi, N. Shuichi, H. Mutsuo, Y. Yamanashi and N. Yoshikawa, “High-density Integration of Adiabatic Quantum-Flux-Parametron Circuits by Using Double-Active-Layered Niobium Process,” 16th International Superconductive Electronics Conference (ISEC 2017), Sorrento, Italy, Jun. 2017.

国内会議: 全 15 報 (筆頭 12 報, 連名 3 報)

- [1] 知名史博, 山梨裕希, 吉川信行, ”磁束固定をオンチップで行う SQUID 磁気センシングシステムの設計” 応用物理学会関係連合講演会, 神奈川工科大学, 2012 年 3 月.
- [2] 知名史博, Thomas Ortlepp, 山梨裕希, 吉川信行, ”単一磁束量子回路と断熱型磁束量子パラメトロン回路間インターフェース回路の設計と評価” 応用物理学会春季学術講演会, 東海大学, 2015 年 3 月.
- [3] 知名史博, 奈良間達也, 辻直樹, 竹内尚輝, 山梨裕希, 吉川信行, Ortlepp Thomas, “単一磁束量子回路と断熱型磁束量子パラメトロン間インターフェースの設計と評価” 電子情報通信学会超伝導エレクトロニクス研究会, 神奈川, 2015 年 8 月.
- [4] 知名史博, 奈良間達也, 辻直樹, 竹内尚輝, Ortlepp Thomas, 山梨裕希, 吉川信行, “超伝導マイクロストリップラインを用いた断熱型磁束量子パラメトロン間の信号伝達回路の評価” 応用物理学会秋季学術講演会, 名古屋, 2015 年 9 月.
- [5] 辻直樹, 竹内尚輝, 知名史博, 奈良間達也, 山梨裕希, 吉川信行, “AQFP 回路における Majority ゲートを用いた帰還型ラッチの提案” 電子情報通信学会ソサイエティ大会, 東北大学, 2015 年 9 月.
- [6] 知名史博, 竹内尚輝, 山梨裕希, 吉川信行, Ortlepp Thomas, “単一磁束量子回路と断熱型磁束量子パラメトロン間インターフェースの動作実証” 電子情報通信学会超伝導エレクトロニクス研究会, 東京, 2016 年 1 月.
- [7] 辻直樹, 竹内尚輝, 知名史博, 奈良間達也, Thomas Ortlepp, 山梨裕希, 吉川信行, “AQFP 回路のための Majority ゲートに基づいた帰還型ラッチの提案” 電子情報通信学会超伝導エレクトロニクス研究会, 東京, 2016 年 1 月.
- [8] 知名史博, 辻直樹, 竹内尚輝, Ortlepp Thomas, 山梨裕希, 吉川信行, “単一磁束量子回路と断熱型磁束量子パラメトロン間インターフェースのための動作周波数変換回路の検討” 応用物理学会秋季学術講演会, 新潟, 2016 年 9 月.
- [9] 安藤拓生, 辻直樹, 知名史博, 竹内尚輝, 永沢秀一, 日高睦夫, 山梨裕希, 吉川信行, “ダブルゲートプロセスを用いたダブルアクティブレイヤ AQFP 回路の動作実証” 応用物理学会秋季学術講演会, 新潟, 2016 年 9 月.

- [10] 知名史博, 竹内尚輝, Ortlepp Thomas, 山梨裕希, 吉川信行, “超伝導マイクロストリップラインを用いた断熱型磁束量子パラメトロン間の長距離信号伝送回路の動作実証” 電子情報通信学会超伝導エレクトロニクス研究会, 東京, 2017年1月.
- [11] 知名史博, 辻直樹, 安藤拓生, 高山広, 竹内尚輝, 山梨裕希, 吉川信行, “10 kA/cm²ダブルゲートプロセスのインダクタンス評価” 電子情報通信学会総合大会, 名城大学, 2017年3月.
- [12] 知名史博, 竹内尚輝, 山梨裕希, 吉川信行, “断熱型量子磁束パラメトロンを用いた9万接合回路の歩留まり評価”, 電子情報通信学会超伝導エレクトロニクス研究会, 名古屋, 2017年8月
- [13] 知名史博, 竹内尚輝, 山梨裕希, 吉川信行, “断熱型量子磁束パラメトロン9万接合回路の歩留まり評価”, 第78回応用物理学会秋季学術講演会, 福岡国際会議場, 2017年9月.
- [14] 知名史博, 竹内尚輝, Thomas Ortlepp, 山梨裕希, 吉川信行, “4JLゲートを用いた断熱型磁束量子パラメトロン回路の電圧ドライバ回路の動作実証”, 2017年電子情報通信学会ソサイエティ大会, 東京都市大学, 2017年9月.
- [15] 知名史博, 竹内尚輝, 山梨裕希, 吉川信行, “断熱型量子磁束パラメトロンを用いた2次元超伝導検出器アレイ読み出し用パラレル-シリアル変換回路の提案”, 電子情報通信学会超伝導エレクトロニクス研究会, 東北大学, 2017年10月.
- [16] 知名史博, 竹内尚輝, Thomas Ortlepp, 山梨裕希, 吉川信行, “4JLゲートを用いた断熱型量子磁束パラメトロン回路の高速信号電圧ドライバ回路の動作実証”, 電子情報通信学会超伝導エレクトロニクス研究会, 東京, 2018年1月, 招待講演.

その他

1. 研究論文 [1] は、IEEE Trans. Appl. Supercond 誌で Invited paper に選出された。
2. 研究論文 [2] は、Superconductivity News Forum (SNF) Contest for Best Contributed Papers Submitted to ASC 2016 にて入賞 (Winner-up) した。

27 電子情報通信学会超伝導エレクトロニクス研究会奨励賞, 電子情報通信学会超伝導エレクトロニクス研究会, 2018年1月, 受賞