

低電力超伝導集積回路研究の進展

正員 山梨 裕希* 非会員 竹内 尚輝** 正員 吉川 信行*

Research Progress of Low-power Superconducting Integrated Circuits

Yuki Yamanashi*, Member, Naoki Takeuchi**, Non-member, Nobuyuki Yoshikawa*, Member

(2016年5月9日受付, 2016年9月10日再受付)

Recently, several new ultra-low-power superconducting circuits, which can contribute to drastic improvement of power efficiency of information processing, have been proposed and implemented. These power-efficient superconducting circuits can be divided into dc-biased and ac-biased circuits. This paper overviews the current status of the development of power-efficient superconducting digital circuit technologies mentioning our researches mainly. Moreover, hybridization of dc-biased and ac-biased superconducting circuits is discussed for building low-power and high-performance digital information processing systems.

キーワード: 単一磁束量子回路, ジョセフソン接合, 超伝導, 集積回路

Keywords: single flux quantum circuit, Josephson junction, superconductivity, integrated circuit

1. はじめに

近年身の回りの電気機器の多くがインターネットに接続されるようになり, それに基づいた新しいサービスが次々に生み出されている。このような状況において情報の蓄積や処理に要するエネルギー消費は今後も増加の一途を辿ることは確実であり, 情報処理の効率化はますます重要になる。現在では, 計算機はその計算速度だけでなく, 電力効率が極めて重要な性能の指標として見なされている。スーパーコンピュータ単位電力あたりの計算能力を順位付けした Green500 ランキングが 2007 年より発表されている⁽¹⁾。

超伝導素子を用いた集積回路は, その高速性と低電力性から次世代の回路技術として研究が行われてきた。中でも超伝導体中の磁束量子をデジタル信号として用いる単一磁束量子 (Single Flux Quantum: SFQ) 回路⁽²⁾⁽³⁾は, 直流電流駆動によって 100 GHz を超える速度での動作が可能であり, 広く研究が行われてきた。最近では超伝導回路の大規模なスーパーコンピュータやデータセンター応用を目指した研究開発が進められている⁽⁴⁾⁽⁵⁾。

近年, 従来の SFQ 回路に比べて消費電力を減らし, 更に

電力効率を高めた新しい超伝導回路が多数提案されている。超伝導回路の低電力化は, 演算の電力効率を高めるだけでなく, 冷却に必要なコストの低減にもつながる。

本論文では, 低電力超伝導回路技術の最近の進展を述べる。我々の行っている研究を中心に直流駆動回路と交流駆動回路についてそれぞれの特徴を明らかにしながら研究動向を概説する。

2. 超伝導集積回路とその消費電力

Fig.1 に従来の SFQ 回路における伝送線路の等価回路図とそのレイアウトを示す。図中の×印はジョセフソン接合を表す。ここでは SFQ 伝送線路を動作原理の説明として挙げるが, SFQ 回路においては配線には電力消費なしで信号の伝送が可能な超伝導受動線路が積極的に用いられる⁽⁶⁾。SFQ 回路はジョセフソン接合を含む超伝導ループが接続された構造をしており, 超伝導ループ中の磁束量子 ($\Phi_0 = 2.07 \times 10^{-15}$ Wb) の有無を論理値の '1' と '0' に対応させる⁽²⁾⁽³⁾。回路に入力された磁束量子はジョセフソン接合を通して隣接する超伝導ループに移動する。超伝導ループのインダクタンスやジョセフソン接合の臨界電流値を調整することにより, 磁束量子の伝搬や保持を行うことができ, 論理演算と情報保持が可能である。磁束量子がジョセフソン接合を横切る際には, 磁束量子 1 つ分の磁束通過に伴うパルス状の電圧が発生する。これを SFQ パルスと呼ぶ。1 秒間に平均 f 回磁束量子がジョセフソン接合を通過するとき, ジョセフソン接合の両端には $f\Phi_0$ [V] の平均電圧が発生する。

a) Correspondence to: Yuki Yamanashi. E-mail: yamanashi@ynu.ac.jp

* 横浜国立大学大学院工学研究院
〒240-8501 横浜市保土ヶ谷区常盤台 79-5
Faculty of Engineering, Yokohama National University
79-5, Tokiwadai, Hodogaya-ku, Yokohama 240-8501, Japan

** 横浜国立大学先端科学高等研究院
〒240-8501 横浜市保土ヶ谷区常盤台 79-5
Institute of Advanced Sciences, Yokohama National University
79-5, Tokiwadai, Hodogaya-ku, Yokohama 240-8501, Japan

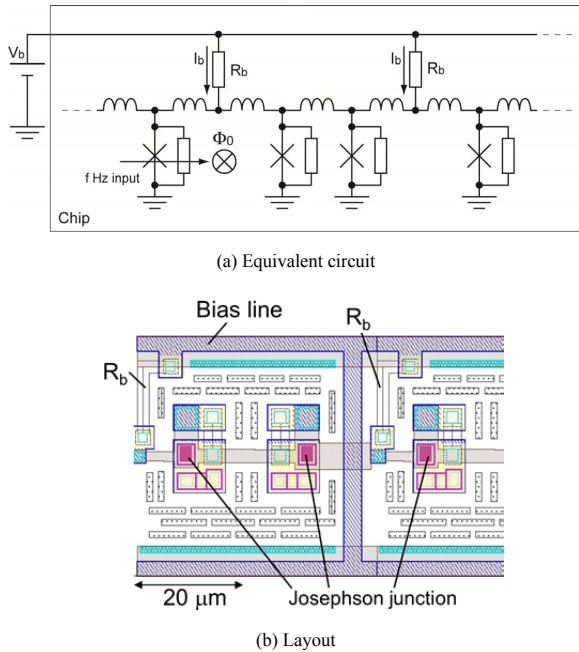


Fig. 1. Equivalent circuit and layout of the conventional SFQ signal transmission circuit.

SFQ 回路では磁束量子を移動させるために、ジョセフソン接合に臨界電流値を超えない程度の直流バイアス電流 I_b を印加しておく必要があり、 I_b は外部電源 V_b から回路内に配置されるバイアス分流用の抵抗 R_b を介して供給される。この時チップ上のバイアス抵抗において電力消費が発生する。回路動作すなわち磁束量子の伝搬の際にジョセフソン接合の両端に生じる電圧の時間平均値が電源電圧 V_b に比べて十分小さい場合、チップ全体でバイアス抵抗において消費される静的な消費電力 P_s は以下ようになる。

$$P_s = nV_b\bar{I}_b \quad (1)$$

ここで n は回路中のジョセフソン接合の数、 V_b は電源電圧の値、 \bar{I}_b はジョセフソン接合に印加されるバイアス電流の平均値である。この静的な電力は回路の動作に関係なく常に消費される。

回路が動作し磁束量子が伝搬される際、ジョセフソン接合が有電圧状態にスイッチして SFQ パルスが発生し、電力が消費される。この動的な消費電力 P_D はチップ全体で以下ようになる。

$$P_D = n\Phi_0\bar{I}_c f \alpha \quad (2)$$

ここで \bar{I}_c は回路中のジョセフソン接合の臨界電流の平均値、 f は回路のクロック周波数、 α は 1 クロックあたりに回路中のジョセフソン接合がスイッチする割合である。

典型的な値として、 $\bar{I}_b = 0.15 \text{ mA}$ 、 $V_b = 2.5 \text{ mV}$ 、 $\bar{I}_c = 0.2 \text{ mA}$ 、 $f = 50 \text{ GHz}$ 、 $\alpha = 0.2$ を用い、1 万接合から成る SFQ 回路 ($n = 10,000$) の消費電力を計算すると、 P_s は 3.5 mW 、 P_D は $4.1 \text{ } \mu\text{W}$ となる。このように従来の SFQ 回路においては静的な消費電力が支配的である。

3. 直流駆動低電力超伝導集積回路

SFQ 回路の静的な電力消費を減らすには、バイアス電流を供給するために印加する電圧 V_b を減らし、それに比例してバイアス抵抗 R_b を減らせば良い。しかしバイアス電圧とバイアス抵抗を単純に小さくしただけでは、同様な動作は保証されなくなる。電源電圧 V_b とバイアス抵抗 R_b を下げると、回路部から見込んだ電源側のインピーダンスは小さくなることから定電流源駆動と見なせなくなり、信号が伝搬する (SFQ パルスが発生する) 際に急激なバイアス電流の減少が起こる。バイアス電流の急激な減少は回路の駆動力の低下を意味し、最高動作周波数の低下や動作バイアス電流領域の縮小を引き起こす可能性がある。

信号伝搬時の急激なバイアス電流減少の問題を解決するために提案されたのが、Fig.2 に示す LR 駆動 SFQ 回路⁽⁷⁾である。LR 駆動 SFQ 回路では V_b と R_b を低減させると同時に、 R_b と直列に大きなインダクタンス L_b を挿入する。インダクタンス L_b により、回路動作時の急激なバイアス電流 I_b の減少は抑制される。しかし減少したバイアス電流はバイアス供給部の時定数 $\tau = L_b/R_b$ に従って徐々に回復するため、SFQ 信号が高速に伝搬し続けるとバイアス電流の値が初期値に戻る前に次の入力となされるようになり、回路動作が不安定になる。このため、LR 駆動 SFQ 回路では目的とする動作速度に対して、電源電圧の値やバイアス供給回路の時定数を慎重に選ぶ必要がある⁽⁸⁾⁽⁹⁾。これまでに LR 駆動 SFQ 回路は従来 SFQ 回路の 1/10 以下の消費電力において、高速安定動作が実証されている⁽⁸⁾。

LR 駆動 SFQ 回路では低電力性と動作速度の間にはトレードオフの関係がある⁽⁸⁾⁽⁹⁾。このトレードオフによる速度制限を打破しようと考えられたのが Fig.3 に示す動的なバイアス電流初期化機構を持つ LR 駆動 SFQ 回路である⁽¹⁰⁾。動的なバイアス電流初期化機構を持つ LR 駆動 SFQ 回路は、通常の LR 回路のバイアス電流供給部に、微小抵抗 R_{loop} とジョセフソン接合 J_{loop} から構成される並列回路要素が追加されている。

Fig.3 の回路において左より SFQ 信号入力となされると、 J_1 で表されるジョセフソン接合が有電圧状態にスイッチし、磁束量子が伝搬される。この時磁束量子は次段の J_2 をスイッチすると同時に J_{loop} を含む並列回路要素にも入力される。 J_{loop} を含む並列回路要素に磁束量子が入力されると、 J_{loop} はスイッチし、磁束量子は回路外に放出される。このジョセフソン接合のスイッチによる磁束量子の放出により、バイアス電流 I_b は初期値に戻る。

Fig.4 に Fig.2 の LR 駆動 SFQ 回路と、Fig.3 の動的なバイアス電流初期化機構を持つ LR 駆動 SFQ 回路の駆動電流 I_b の初期化の様子を示す。いずれの場合も、従来 SFQ 回路に比べ、94.6% 静的電力消費を低減した場合のシミュレーション結果である。回路動作後、駆動電流 I_b は一旦減少した後、Fig.4(a) の LR 駆動 SFQ 回路の場合はバイアス供給部の抵抗により、Fig.4(b) の動的なバイアス電流初期化機構を持つ LR

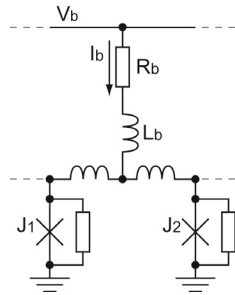


Fig. 2. Equivalent circuit of the LR-biased SFQ signal transmission circuit.

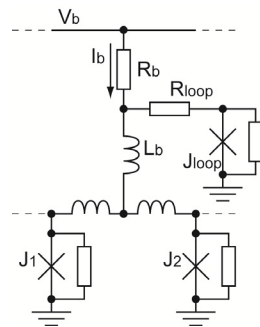
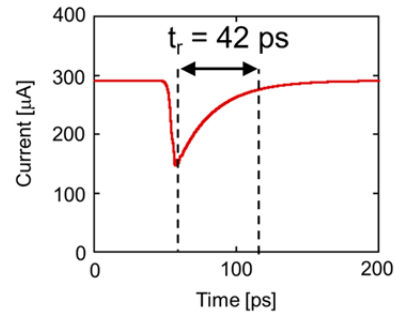


Fig. 3. Equivalent circuit of the improved LR-biased SFQ signal transmission circuit with dynamic resetting mechanism.

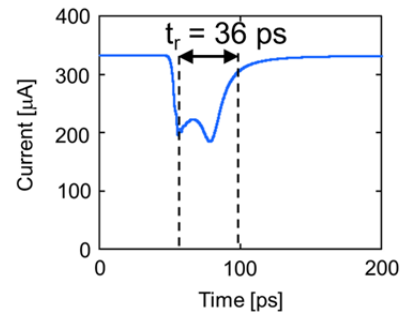
駆動 SFQ 回路はジョセフソン接合 J_{loop} のスイッチにより初期値に戻る。動的なバイアス電流初期化機構の導入により、バイアス電流の初期化の高速化ができることがわかる。バイアス電流が減少してから初期値の 90% まで戻る時間をリカバリ時間と定義し、両回路のリカバリ時間の静的消費電力依存性を調査した結果を Fig.5 に示す。いずれの電源電圧領域でも、動的な初期化機構を備えた LR 駆動 SFQ 回路は、通常の LR バイアス回路に比べ 1 割以上の高速化が可能であることがわかる。しかしこの回路では通常の SFQ 回路に比べ余分な回路素子が必要となり、回路面積の増大、動作余裕度の低下という欠点も存在する。

LR 駆動 SFQ 回路と似たアプローチで SFQ 回路の低電力化を実現する回路として、低電圧駆動 SFQ 回路がある⁽¹¹⁾。低電圧駆動 SFQ 回路では、電源電圧の低減による静的な消費電力の削減だけでなく、回路動作後のバイアス電流の急激な低下による波高値の小さい SFQ パルスを用いることによって動的な消費電力も低減させることができる。低電圧駆動 SFQ 回路では大きなインダクタンスを必要としないことから、従来 SFQ 回路とほぼ同じ面積で回路を実現できる。これまでに低電圧駆動 SFQ 回路を用いたシフトレジスタの高速動作実証により、1 ビット動作あたり 4 aJ の消費電力が報告されている⁽¹¹⁾。

バイアス抵抗を完全に廃し、SFQ 回路の静的な消費電力をなくした回路として eSFQ 回路や ERSFQ 回路が挙げられる⁽¹²⁾。eSFQ 回路や ERSFQ 回路では、バイアス抵抗の代わりにジョセフソン接合がバイアス電流の分配に用いられている。SFQ 回路では回路の部分によって動作周波数に差が



(a) LR-biased SFQ circuit



(b) LR-biased SFQ circuit with dynamic resetting mechanism

Fig. 4. Bias current initialization of (a) the LR-biased SFQ circuit and (b) the LR-biased SFQ circuit with dynamic resetting mechanism.

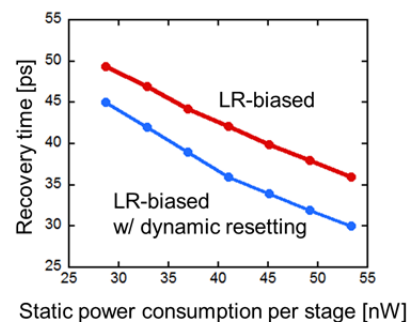


Fig. 5. Comparison of recovery time of the bias current I_b between cases of the LR-biased SFQ circuit and the LR-biased SFQ circuit with dynamic resetting mechanism.

あると、ジョセフソン接合に発生する平均電圧が回路部分によって異なってくるために、バイアス電流の偏りが生じることになり、回路が動作し続けると正常動作が得られなくなる。eSFQ 回路や ERSFQ 回路では回路部分によらずに同じ周波数で動作するような工夫を施すことで、バイアス電流の偏りの問題を解決している。ERSFQ 回路を用いたメモリ用のデコーダでは、70 aJ の電力消費で 1 アドレスの選択ができることが示されている⁽¹³⁾。しかし回路全体で動作周波数を揃える必要があることから、従来の SFQ 回路と比べて回路設計、特に大規模な回路の設計が難しくなる。

直流超伝導回路は交流超伝導回路に比べて回路内での電流分配が容易であり、磁気結合が不要であることから回路作製プロセスの進展による回路微細化の際に障害が少ない

という特徴を持つ。一方、直流駆動超伝導回路では、回路規模が大きくなるほど必要とするバイアス電流が大きくなる。供給されたバイアス電流は回路のグランド面を流れた後、室温機器のグランドに戻る。大電流がグランド面を流れることにより発生する磁場によって回路動作が影響を受けることが報告されており、バイアス電流再利用技術⁽¹⁴⁾や効率的な回路内磁気シールド構造などの採用が回路の大規模化に求められる。

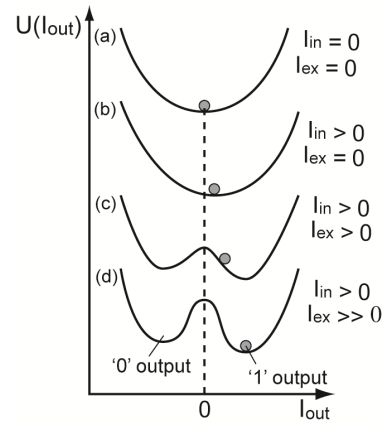
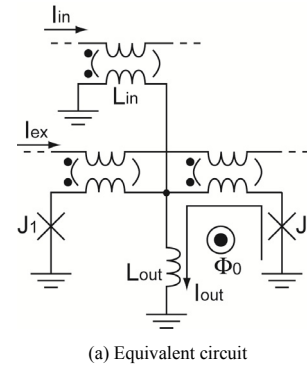
4. 交流駆動低電力超伝導集積回路

一般に超伝導回路が動作するような周波数で低温環境に交流のクロックを供給することは難しく、これは直流駆動が可能な SFQ 回路が広く研究されてきた大きな原因でもあった。しかし磁気結合を用いると、交流電流の供給によりエネルギーを伝達することができ、直流駆動回路で必要である電流分配用のバイアス抵抗が不要になる。回路の電力効率が重要になってきている現在、極めて高い電力効率を得られる交流駆動方式を採用することは超伝導回路の研究にとっても自然な流れとも言える。

最初に提案された交流駆動単一磁束量子回路は Reciprocal Quantum Logic (RQL) 回路である⁽¹⁵⁾。RQL 回路では、従来の SFQ 回路で必要だったジョセフソン接合に対する初期バイアス電流を、磁気結合を介して交流電流を回路に入力することにより供給する。磁気結合によるバイアス電流供給により、チップ上のバイアス抵抗をなくし、静的な消費電力をゼロにすることができる。一本の交流バイアス電流線と複数のバイアス供給部を磁気結合させることにより、少数の交流バイアス電流線で回路全体を駆動することができるようになり、回路駆動に必要なバイアス電流量が小さくなる。

RQL 回路では交流バイアス電流をクロックとしても使うことで、SFQ 回路のように独立したクロック線を用いる必要がなくなること、磁気結合の結合方向を変えることで論理反転が実現できることなどにより論理回路が効率的に、少ない素子数で実現できる。従来 SFQ 回路では 4 ビットの桁上げ先見回路に 2316 個のジョセフソン接合が必要であったが⁽¹⁶⁾、RQL 回路では 815 個のジョセフソン接合で 8 ビット桁上げ先見回路が設計できる⁽¹⁷⁾。この桁上げ先見加算器は 6.2 GHz の速度において、消費電力 510 nW での動作が実証されている⁽¹⁷⁾。

交流クロックをゆっくりと印加し、回路を断熱的に動作することによって極めて小さい消費電力で論理演算を行える回路が、断熱型磁束量子パラメトロン (Adiabatic Quantum Flux Parametron: AQFP) である⁽¹⁸⁾。Fig.6 に AQFP の等価回路図と、その動作時のポテンシャルの変化を示す。AQFP はジョセフソン接合を含む 2 つの超伝導ループで構成され、左右のどちらかの超伝導ループに磁束量子ひとつが保持されている状態を 2 つの論理状態に割り当てる。このとき出力インダクタンス L_{out} には向きの異なる出力電流 I_{out} が論理状態に応じて得られる。AQFP では、入力がなされた状態で



(b) Transition of potential shape during operation

Fig. 6. Adiabatic quantum flux parametron.

励起電流 (I_{ex}) を印加することによって、入力電流 (I_{in}) の向きに応じて論理状態が決定される。すなわち、入力がされた状態では回路全体のポテンシャルは 1 つの安定点しか持たない。その状態で励起電流を加えていくと、回路全体のポテンシャルに 2 つの論理状態に相当する 2 つの安定点が徐々に形成されていく。励起電流印加後に回路が 2 つの安定点が表す 2 状態のどちらに収束するかは、入力電流の向きによって決定される。

この論理状態の決定の過程では CMOS 論理回路や通常の SFQ 論理回路のように、状態の遷移のために 2 論理状態間を隔てるエネルギー障壁を超えるエネルギーを与える必要がない。このために AQFP を構成する系の反応速度、すなわちジョセフソン接合の応答速度に比べてゆっくり断熱的に励起電流を印加し、回路のポテンシャルを徐々に変化させていくことにより、極めて小さなエネルギーで論理演算を行うことができる。これまでに 10^{-20} J の消費電力で 1 ビットの論理動作が実証されている⁽¹⁹⁾。

AQFP は出力信号と次段の入力への結合強度を変えることのみでさまざまな論理ゲートを構成することができる。また、すべて同じ臨界電流値のジョセフソン接合を用いて回路が設計できるため、臨界電流値のチップ内のばらつきによる動作マージンの低下が起こりにくいことも特徴として挙げられる。この特徴を用いて、4 つの基本セルのみを用いて大規模回路を設計することができる⁽²⁰⁾。一方論理ゲートの入出力分離は十分ではなく、ゲートの動作が後段の回

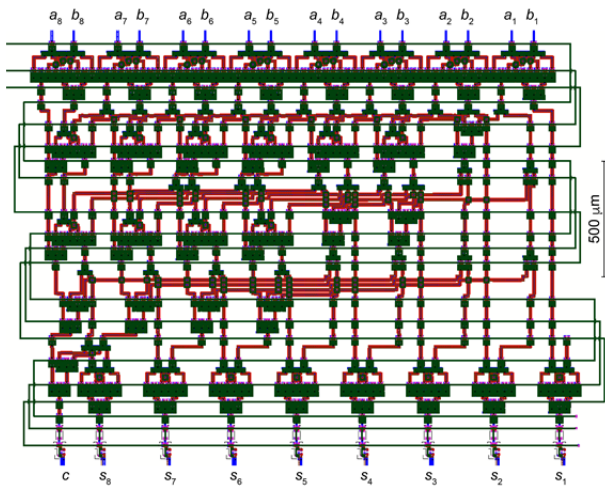


Fig. 7. Mask layout of the 8-bit carry look ahead adder using the AQFP.

路動作の影響を受ける。これを防ぐために、回路動作には多相の励起電流を用いる必要がある。

AQFPを用いて設計された8ビットの桁上げ先見加算器のレイアウトを Fig.7 に示す。この桁上げ先見加算器は 1152 個のジョセフソン接合を用いて構成されている。励起電流には 3 相の正弦波が用いられる。5 GHz での動作時の、加算器全体の消費電力は 60 nW と見積もられている⁽²⁰⁾。

AQFP は複数入力の論理ゲートを構成する際、入力信号の加算が論理ゲート本体に入力されるため、論理動作は量子セルオートマトン⁽²¹⁾のように多数決論理に基づくものになる。多数決論理ゲートを積極的に用いる論理合成を回路設計に用いることにより、効率的に大規模な論理回路を構成できる。これは通常の半導体 CMOS 集積回路の設計とは異なるため回路設計支援ツールを新たに作る必要がある。

交流駆動超伝導回路では多相の交流クロックが必要になるため、各ゲートの間でどのように信号入力とクロック入力との同期を取るかが重要になる。多相交流クロックを考慮した回路設計が重要であり、これを可能にする回路設計支援ツールの開発も重要である。集積回路内で磁気結合を実現するには大きな回路面積が必要であり、回路作製技術の進展による微細化が進んでも磁気結合に必要な回路面積はあまり変わらない。微細化による小回路面積化のためにはインダクタンスをチップ深さ方向に作りこんで磁気結合を実現するなど工夫が必要であると考えられる。

5. 直流駆動/交流駆動ハイブリッドシステム

これまで述べてきた通り、直流駆動回路は動作に高周波クロック供給が必要なく高速動作に適するが、消費電力や電力効率の点では交流駆動回路に劣る。交流駆動回路は低電力動作を実現できるが、高周波動作させるための設計や高周波クロックの低温環境への供給は難しい。このように両回路はそれぞれ長所と短所を持っている。優れた情報処理システムの構築には両者の長所を組み合わせたハイブリッド化が有効であると考えられる。

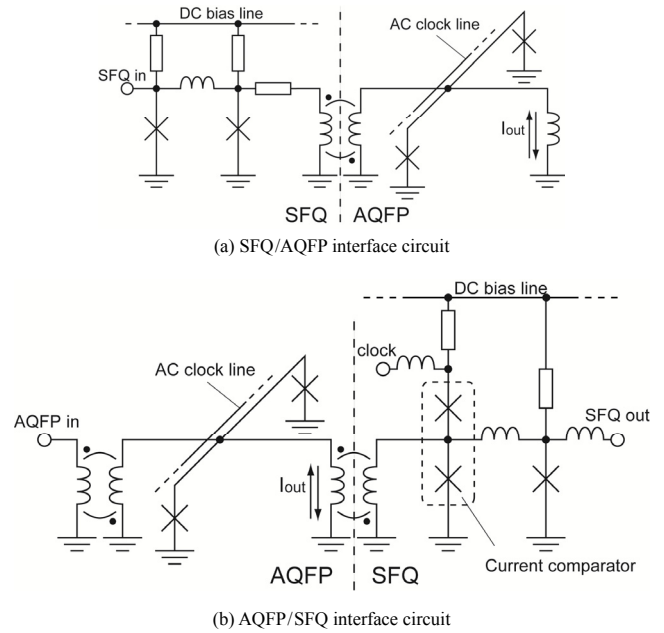


Fig. 8. Example of the signal interface circuits for dc-biased/ac-biased superconducting hybrid system.

マイクロプロセッサのような実用的な集積回路では、高速動作する回路要素と、それほど高速な動作が必要でない回路要素で構成される。例えば算術論理演算ユニット (ALU) やレジスタのようなデータパス中の要素回路は高速な動作が要求される一方、プログラムカウンタや制御回路などはデータパスほどの高速な動作は必要ない。このため制御部を超低消費電力の交流駆動回路で、データパスを高速動作が可能な直流駆動回路で構成し、さらに大規模なメモリを半導体回路で構成した階層構造を取ることが、高速かつ低電力な情報処理システムの構築に適する。直流駆動回路と交流駆動回路では論理信号の表現法が異なるため、両回路間の信号伝達には専用のインターフェース回路が必要である。このインターフェースに関する研究は米国でも進められており、両回路間の信号伝達は既に実証されている⁽²²⁾。

直流駆動回路として低電力 SFQ 回路、交流駆動回路として AQFP を想定した時のインターフェース回路の構成例を Fig.8 に示す。SFQ 回路から AQFP への信号伝達は、SFQ 回路からの出力を AQFP に磁気的に結合させるだけで実現できる。逆の AQFP から SFQ 回路への信号伝達は、電流の大きさを判別する SFQ 電流比較回路を用いると、AQFP の出力電流の向きを読み出すことができる。このように両回路間での信号伝達自体は容易に実現できるが、動作速度が異なる回路間でいかに同期を取るか、システム全体の性能向上の観点からの適切な両回路間の動作速度比やチャンネル数の設定が重要である。

6. まとめ

本稿では近年研究が進められている低消費電力超伝導回路について、直流駆動回路と交流駆動回路に分けて研究動向を述べた。超伝導回路研究においても計算速度だけでなく

く電力効率が極めて重要な指標となっており、超伝導回路研究は新しい時代に突入したと言える。

直流駆動回路は従来からの SFQ 回路研究で培われた設計法や設計資産を活用することができ、高速動作回路や、非同期的な動作をする回路の実現に適する。一方、交流駆動回路は磁気結合によるエネルギー伝達により、チップ上の静的消費電力を完全になくすることができることと、断熱動作が可能になることから極めて小さい電力での動作が可能であるが、動作周波数は直流駆動回路より低くなる。適材適所にこれらの回路を用いることが、優れた情報処理システムの構築には適すると考えられる。それぞれの回路構成、特徴を踏まえた回路設計支援ツールの開発も重要である。

本稿では触れなかったが、新しい低電力超伝導回路が多数提案されている現在、回路作製技術もそれらの回路に適応して発展していく必要があると考えられる。例えば直流駆動低電力回路で用いられる抵抗率の小さな抵抗層の導入、交流駆動回路のための効率的な磁気結合を可能にする配線層の導入などである。直流駆動回路、交流駆動回路、回路設計支援ツール、回路作製の研究が連携しながら行われることが、より優れた超伝導回路システムの実現に重要であろう。

文 献

- (1) “The green 500 list” <http://www.green500.org/greenlists>
- (2) K. K. Likharev and V. K. Semenov : “RSFQ logic/memory family: a new Josephson-junction technology for sub-terahertz-clock-frequency digital systems”, *IEEE Trans. Appl. Supercond.*, Vol.1, No.1, pp.3-28 (1991)
- (3) K. Nakajima, H. Mizusawa, H. Sugahara, and Y. Sawada : “Phase Mode Josephson Computer System”, *IEEE Trans. Appl. Supercond.*, Vol.1, No.1, pp.29-36 (1991)
- (4) N. Takagi, K. Murakami, A. Fujimaki, N. Yoshikawa, K. Inoue, and H. Honda : “Proposal of a desk-side supercomputer with reconfigurable data-paths using rapid single-flux-quantum circuits”, *IEICE Trans. Electron.*, Vol.91-E, No.3, pp.350-355 (2008)
- (5) D. S. Holmes, A. L. Ripple, and M. A. Manheimer : “Energy-Efficient Superconducting Computing—Power Budgets and Requirements”, *IEEE Trans. Appl. Supercond.*, Vol.23, No.3, p.1701610 (2013)
- (6) Y. Kameda, Y. Hashimoto, and S. Yorozu : “Design and Demonstration of a 4×4 SFQ Network Switch Prototype System and 10-Gbps Bit-Error-Rate Measurement”, *IEICE Trans. Electron.*, Vol.E91-C, No.3, pp.333-341 (2008)
- (7) N. Yoshikawa and Y. Kato : “Reduction of power consumption of RSFQ circuits by inductance-load biasing”, *Supercond. Sci. Technol.*, Vol.12, pp.918-920 (1999)
- (8) Y. Yamanashi, T. Nishigai, and N. Yoshikawa : “Study of LR-loading technique for low-power single flux quantum circuits”, *IEEE Trans. Appl. Supercond.*, Vol.17, No.2, pp.150-153 (2007)
- (9) T. Ortlepp, O. Wetzstein, S. Engert, J. Kunert, and H. Toepfer : “Reduced Power Consumption in Superconducting Electronics”, *IEEE Trans. Appl. Supercond.*, Vol.21, No.3, pp.770-775 (2013)
- (10) R. Tsutsumi, K. Sato, Y. Yamanashi, and N. Yoshikawa : “Improvement of Operation Speed of LR-Biased Low-Power Single Flux Quantum Circuits by Introduction of Dynamic Resetting of Bias Currents”, *IEEE Trans. Appl. Supercond.* (to be published)
- (11) M. Tanaka, M. Ito, A. Kitayama, T. Kouketsu, and A. Fujimaki : “18-GHz, 4.0-aJ/bit Operation of Ultra-Low-Energy rapid Single-Flux-Quantum Shift Registers”, *Jpn. J. Appl. Phys.*, Vol.51, p.053102 (2012)
- (12) O. A. Mukhanov : “Energy-Efficient Single Flux Quantum Technology”, *IEEE Trans. Appl. Supercond.*, Vol.21, No.3, pp.760-769 (2011)
- (13) A. F. Kirichenko, I. V. Vernik, O. A. Mukhanov, and T. A. Ohki : “ERSFQ 4-to-16 Decoder for Energy-Efficient RAM”, *IEEE Trans. Appl. Supercond.*, Vol.25, No.3, p.1301304 (2015)
- (14) T. V. Filippov, A. Sahu, S. Sarwana, D. Gupta, and V. K. Semenov : “Serially Biased Components for Digital-RF Receiver”, *IEEE Trans. Appl. Supercond.*, Vol.19, No.3, pp.580-584 (2009)
- (15) Q. P. Herr, A. Y. Herr, O. T. Oberg, and A. G. Ioannidis : “Ultra-low-power superconductor logic”, *J. Appl. Phys.*, Vol.109, p.103903 (2011-5)
- (16) H. Park, Y. Yamanashi, N. Yoshikawa, M. Tanaka, and A. Fujimaki : “Design of fast digital-serial adders using SFQ logic circuits”, *IEICE Electron. Express*, Vol.6, No.19, pp.1408-1413 (2009)
- (17) A. Y. Herr, Q. P. Herr, O. T. Oberg, O. Naaman, J. X. Przybysz, P. Borodulin, and S. B. Shauck : “An 8-bit carry look-ahead adder with 150 ps latency and sub-microwatt power dissipation at 10 GHz”, *J. Appl. Phys.*, Vol.113, p.033911 (2013)
- (18) N. Takeuchi, D. Ozawa, Y. Yamanashi, and N. Yoshikawa : “An adiabatic quantum flux parametron as an ultra-low-power logic device”, *Supercond. Sci. Technol.*, Vol.26, p.035010 (2013)
- (19) N. Takeuchi, Y. Yamanashi, and N. Yoshikawa : “Measurement of 10 zJ energy dissipation of adiabatic quantum-flux-parametron logic using a superconducting resonator”, *Appl. Phys. Lett.*, Vol.102, p.052602 (2013)
- (20) N. Takeuchi, Y. Yamanashi, and N. Yoshikawa : “Adiabatic quantum-flux-parametron cell library adopting minimalist design”, *J. Appl. Phys.*, Vol.117, p.173912 (2015)
- (21) A. Imre, G. Csaba, L. Ji, A. Orlov, G. H. Bernstein and W. Porod : “Majority Logic Gate for Magnetic Quantum-Dot Cellular Automata”, *Science*, Vol.311, pp.205-208 (2006)
- (22) V. K. Semenov, Y. A. Ployakov, and S. K. Tolpygo : “New AC-Powered SFQ Digital Circuits”, *IEEE Trans. Appl. Supercond.*, Vol.25, No.3, p.1301507 (2015)

山 梨 裕 希



(正員) 2007年9月横浜国立大学大学院工学府物理情報工学科博士後期課程修了。2007年11月より横浜国立大学学際プロジェクト研究センター特任助教、現在、同大学大学院工学研究院准教授。超伝導エレクトロニクスの研究に従事。博士(工学)。応用物理学会、電子情報通信学会、低温工学・超電導学会、IEEE 会員。

竹 内 尚 輝



(非会員) 2014年横浜国立大学工学府物理情報工学専攻博士課程後期修了。2010年ソニー(株)入社、2014年(独)情報通信研究機構特別研究員、(独)日本学術振興会特別研究員(PD)を経て、2015年より横浜国立大学先端科学高等研究院特任准教授(現職)、国立研究開発法人科学技術振興機構さきがけ研究員(兼任)(現職)。博士(工学)。

吉 川 信 行



(正員) 1989年3月横浜国立大学大学院工学府研究科博士後期課程電子情報工学専攻修了。同年4月同大学工学部電子情報工学科助手、1993年同工学部電子情報工学科助教授。1995年より1年間カリフォルニア大学バークレー校客員研究員。現在、横国大大学院工学研究院教授。主として、超伝導エレクトロニクス、単電子デバイス、量子効果デバイス、低温デバイス、単一磁束量子回路、集積回路設計に関する研究に従事。博士(工学)。2005年末科学技術協会超伝導科学技術賞受賞。応用物理学会、電子情報通信学会、IEEE 会員。