

## 学位論文及び審査結果の要旨

氏 名 徐 秋韻

学位の種類 博士(工学)

学位記番号 工府博甲第527号

学位授与年月日 平成29年3月24日

学位授与の根拠 学位規則(昭和28年4月1日文部省令第9号)第4条第1項及び横浜国立大学学位規則第5条第1項

学府・専攻名 工学府 物理情報工学専攻

学位論文題目 Synthesis flow for very-large-scale-integration design using extremely energy-efficient adiabatic superconductor logic family  
(和訳) 単一磁束量子回路を用いた高性能超伝導演算システムに関する研究

論文審査委員 主査 横浜国立大学 教授 吉川 信行  
横浜国立大学 教授 羽路 伸夫  
横浜国立大学 教授 竹村 泰司  
横浜国立大学 准教授 大矢 剛嗣  
横浜国立大学 准教授 山梨 裕希

## 論文及び審査結果の要旨

断熱型量子磁束パラメトロン(AQFP)ロジックファミリは、その断熱的な動作のために極めてエネルギー効率がが高く、次世代のスーパーコンピュータの構成要素として期待されている。これまでの研究により AQFP 論理回路は、エネルギー遅延積において熱力学的極限で動作することが知られている。本研究では、AQFP 論理回路を用いた VLSI 設計のための設計フローについて研究を行った。

提案する設計フローは、論理合成、ロジックシミュレーション、自動配置配線で構成される。ロジックシミュレーションにおいてはハードウェア記述言語(HDL)を用いて AQFP 回路のデジタル回路としてのモデリングを行い、回路のタイミング設計を可能とした。セルベース設計法の採用により、特定の集積回路プロセスに対して、物理的なレイアウトの生成が可能となった。

本研究では論理合成にオープンソースソフトウェアである Yosys を、論理シミュレーションには Verilog を、自動配置配線には AQFP 専用のツールを開発し、トップダウン設計のための Electric Design Automation (EDA)環境を構築した。実際に開発した EDA 環境を

用いてAQFPデコーダを開発し、手動による設計に対して41.4%の面積の削減効果を得た。さらに構築した設計フローを用いたAQFP回路の評価のためにベンチマーク回路を用いた性能評価を行い、それらの性能を最新のCMOS回路と比較した。以上によりAQFP回路は、最新のCMOS技術と比較してもビットエネルギーの面で3桁以上優れることを示した。

これらの研究成果は、超伝導デジタルエレクトロニクス技術、特に超低消費エネルギー大規模集積回路の実現に対して極めて意義のあるものと高く評価される。よって、本論文は物理情報工学専攻の博士論文として十分な内容を有すると認める。