

THE IEICE TRANSACTIONS ON ELECTRONICS (JAPANESE EDITION)

IEICE **電子情報通信学会**
C **論文誌** VOL.J91-C NO.3 MARCH
エレクトロニクス 2008

エレクトロニクスソサイエティ

社団法人 **電子情報通信学会**

THE ELECTRONICS SOCIETY

THE INSTITUTE OF ELECTRONICS, INFORMATION AND COMMUNICATION ENGINEERS

単一磁束量子回路を用いた超高速マイクロプロセッサの開発とその展望

吉川 信行^{†a)}

Recent Development and Perspective of Ultra-High-Speed Microprocessors Using Single-Flux-Quantum Circuits

Nobuyuki YOSHIKAWA^{†a)}

あらまし 超伝導ループ中の量子化磁束を情報担体とする単一磁束量子 (SFQ) 回路は、動作スピードと消費電力において半導体を凌駕する性能をもつ。近年、SFQ 集積回路の設計技術とプロセス技術の進歩により、1 万接合を超える SFQ 回路の動作が可能となってきた。本論文では、SFQ 回路の動作原理、性能、要素技術について解説するとともに、SFQ マイクロプロセッサの最近の研究開発動向を紹介する。更に、ハイエンドコンピュータ応用を中心に本技術の今後の展望を述べる。

キーワード 超伝導集積回路、単一磁束量子、SFQ 回路、マイクロプロセッサ、ジョセフソン素子

1. ま え が き

IT 技術の急速な発達に伴う今後の爆発的な情報処理量の増大に対処するためには、情報処理システムの更なる高速化、高機能化、低消費電力化が必要である。いうまでもなく、情報機器の能力の性能向上は、主に CMOS 集積回路の微細化、高集積化を牽引力としてなされてきた。しかしながら、CMOS デバイスの寸法が数十 nm に微細化された現在、更なる集積回路の性能向上に対して数々の障害が指摘されている。その一つが発熱の問題であり、一つが配線遅延の問題である。現在、CMOS 集積回路の消費電力密度は冷却能力の限界に達しており、消費エネルギー当りの処理能力を向上させる新技術が必要とされている。また、ゲート間の信号の伝搬遅延時間はゲート遅延時間と同程度となっており、システム全体の性能を向上させるためには、ゲート遅延時間だけでなく、配線の伝搬遅延時間の低減も必要不可欠である。

近年、高速性と低消費電力性を併せ持つ新技術として、単一磁束量子 (single flux quantum; SFQ) 回路

の研究が急速に進んできた [1]~[3]。SFQ 回路は、ピコ秒幅のインパルス状の微小電圧パルス (SFQ パルス) を情報担体として用いるため、演算に要するエネルギーが半導体回路の千分の 1 から 1 万分の 1 と極めて小さい。また、高速性においても数十~数百 GHz に及ぶクロック周波数での動作が可能である [4]。更に超伝導配線において SFQ パルスは無損失、無分散で伝搬するため、柔軟で高スループットな配線が可能となる。

本論文では、近年、技術的進展が目覚ましい SFQ 回路技術の動作原理、動作性能並びにその基盤技術について解説し、特に SFQ マイクロプロセッサの最近の研究開発動向を紹介する。最後にハイエンドサーバを目指した今後の研究の展望について述べる。

2. SFQ 回路の原理と性能

2.1 SFQ 回路の動作原理

SFQ 回路の主要な構成要素は、ジョセフソン接合である。これは、図 1 (a) に示すように厚さ 2~3 nm 程度の薄い絶縁膜が超伝導体で挟まれた構造をもつ。超伝導間にはトンネル効果により超伝導電流 (ジョセフソン電流) が流れる。一般に、超伝導体の性質は、超伝導電子の巨視的波動関数の位相 Θ をパラメータとして表される。接合において二つの超伝導体の位相差

[†] 横浜国立大学大学院工学研究院, 横浜市
Graduate School of Engineering, Yokohama National University, 79-5 Hodogaya-ku, Yokohama-shi, 240-8502 Japan
a) E-mail: yoshi@yoshilab.dnj.ynu.ac.jp

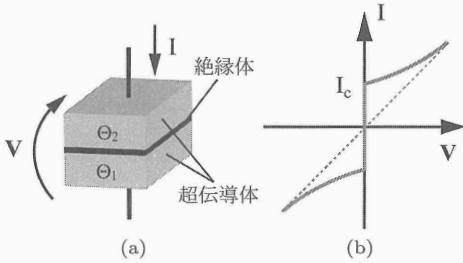


図1 ジョセフソン接合の構造と電圧電流特性
Fig.1 Structure and current voltage characteristics of Josephson junctions.

を $\theta = \Theta_2 - \Theta_1$ とすれば、接合電流 I 並びに接合電圧 V は、次のジョセフソンの関係式で表される。

$$I = I_c \sin \theta \quad (1)$$

$$\frac{d\theta}{dt} = \frac{2e}{\hbar} V \quad (2)$$

ここで、 I_c は臨界電流、 e は電子電荷、 $\hbar = h/2\pi$ (h はプランク定数) である。図1(b)の電圧電流特性において、ゼロ電圧状態では式(1)に従い接合位相差 θ に依存する超伝導電流が流れる。一方、電圧状態では式(2)に従い接合位相差 θ は時間とともに増大する。

実際のジョセフソン接合では、構造に伴うキャパシタンス C と常伝導電子の伝導に伴うコンダクタンス G が接合に並列に接続され、その等価回路は図2(a)となる。図においてジョセフソン接合は、 \times 印で表されている。接合が電流 I で駆動された場合の回路方程式は、

$$I = C \frac{dV}{dt} + GV + I_c \sin \theta \quad (3)$$

と書ける。式(2)を用いて、 V を消去すれば次式を得る。

$$I = \frac{\hbar C}{2e} \frac{d^2\theta}{dt^2} + \frac{\hbar G}{2e} \frac{d\theta}{dt} + I_c \sin \theta \quad (4)$$

式(4)のダイナミクスは、図2(b)に示す力学系とのアナロジーにより理解できる[5]。図2(b)では、長さ l 、質量 m の振り子が円盤に貼り付けられており、全体として慣性モーメント M をもっている。また、円盤には速度に比例した摩擦 D と、外部トルク T が作用している。以上の力学系と式(4)とは、以下の対応関係により結ばれている。

- 接合の位相差 $\theta \Leftrightarrow$ 振り子の回転角 θ
- 接合電圧 $V \propto d\theta/dt \Leftrightarrow$ 振り子の角速度 $d\theta/dt$
- 接合容量 $C \Leftrightarrow$ 慣性モーメント M

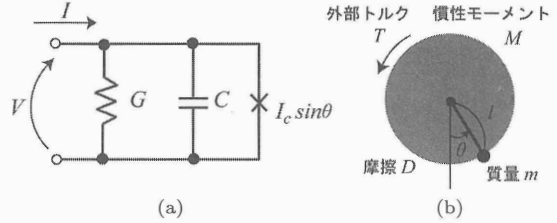


図2 (a) ジョセフソン接合の等価回路と (b) その力学的アナロジー
Fig.2 (a) Equivalent circuit of the Josephson junction and (b) its mechanical analog.

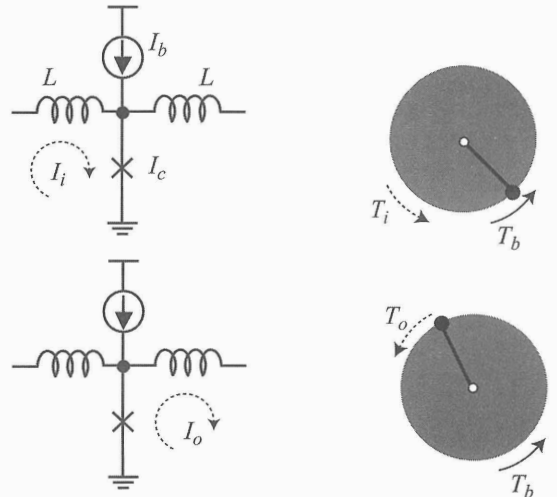


図3 パルス電流が印加されたジョセフソン接合の動作
Fig.3 Dynamics of the Josephson junction driven by a current pulse.

- 接合コンダクタンス $G \Leftrightarrow$ 摩擦 D
- 接合電流 $I \Leftrightarrow$ 外部トルク T

図3は、電流パルスがジョセフソン接合を伝搬する様子を力学系とのアナロジーで説明したものである。一定電流 I_b でバイアスされたジョセフソン接合は、一定トルク T_b が印加された振り子と同じである。ここでジョセフソン接合の左端より電流パルス I_i が入力されると、 I_b と I_i の合計値が接合の臨界電流値 I_c を超え、接合は電圧状態に移る。これは、力学系において、振り子に対して入力トルク T_i が加えられ、振り子が回転し始めることに対応する。回転した振り子は、図3右下に示すように、最上位置から落下する過程で T_i よりも大きな出力トルク T_o を発生する。これはジョセフソン接合から入力電流 I_i よりも大きな電流パルス I_o が発生することに対応する。この際、摩擦 D を大きく (コンダクタンス G を大きく) してお

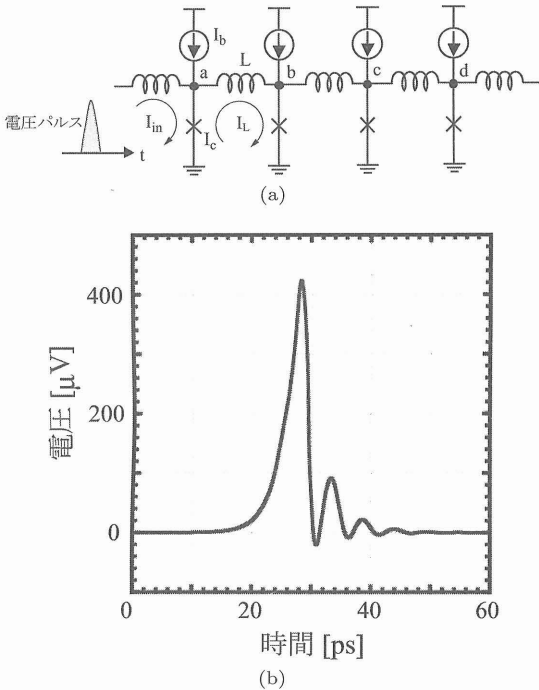


図4 (a) ジョセフソン線路と (b) ジョセフソン線路を伝搬する電圧パルスのシミュレーション波形
 Fig. 4 (a) Josephson transmission line (JTL) and (b) simulated transient voltage waveform of the SFQ pulse propagating along the JTL.

けば、振子子の回転は位相 2π の変化の後、静止する。位相の増大に伴い、接合には式 (2) に従い電圧が発生するが、電圧の時間積分は、

$$\int V dt = \int \frac{\hbar}{2e} \frac{d\theta}{dt} dt = \frac{\hbar}{2e} \equiv \Phi_0 = 2.0679 \times 10^{-15} \text{ Wb} \quad (5)$$

となり、接合の電圧遷移に伴い、接合を Φ_0 なる大きさの SFQ が横断することが分かる。

次に図 4 (a) に示すように、電流バイアスされたジョセフソン接合の次元アレーを考える。ジョセフソン接合は、それぞれインダクタンス L で接続されている。もし、アレーの左端から電流パルス I_{in} が印加され、 I_{in} と I_b の和が I_c を超えると、接合は電圧状態に移り、接合の右側のループに SFQ が供給される。このとき、右側のループには、 $I_L = \Phi_0/L$ なる大きさの電流が誘起される。ここで、もし I_L が十分大きければ、ループ電流の右側の電流は同様に I_c を超え、電圧状態に移る。その結果、SFQ は次々と右側に伝搬する。図 4 (b) には、このとき、接合に発生する

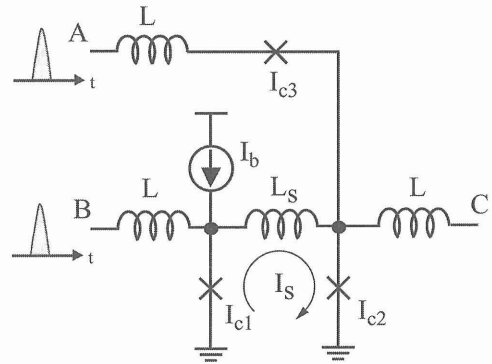


図5 単一磁束量子回路の基本ゲート (D フリップフロップ)
 Fig. 5 A basic gate of SFQ circuits (D flip-flop).

電圧パルスの数値シミュレーション結果を示す。大きさが数百 μV 、幅が数 ps 幅の電圧パルスが接合を伝搬する様子が分かる。本回路は、SFQ パルスを伝搬させるための最も基本的な回路であり、ジョセフソン伝送線路 (Josephson Transmission Line: JTL) と呼ばれる。

この SFQ パルスの伝搬は、分岐させたり合流させたりすることができる。また、回路インダクタンスの大きさを調整することにより SFQ パルスを一時的に停止させたり、それを他のパルスによって再び伝搬させることもできる。図 5 にそのような機能をもつ回路の例を示す。図においてインダクタンス L_s は、JTL よりも大きな値に設定されている。B から電圧パルスが入力され SFQ が L_s を含むループに伝搬すると、 L_s には $I_s = \Phi_0/L_s$ なる大きさのループ電流が流れる。ここで、 I_s が I_{c2} を電圧状態にスイッチできないように L_s を十分大きくとれば、SFQ はこのループにトラップされる。この状態で、A から電圧パルスが入力されると、 I_{c2} が電圧状態にスイッチし、SFQ パルスは出力 C に伝搬する。もし、 L_s に単一磁束量子がないときに A から電圧パルスが入力されると、 I_{c3} が先に電圧状態にスイッチし、出力に単一磁束量子パルスは現れない。本回路は B をデータ入力、A をクロック入力に対応させると、D フリップフロップとしての機能をもつことが分かる。これらの SFQ を用いた回路方式は、中島らにより提案され [1]、Likharev らによって体系化された [2]。

2.2 SFQ 回路の性能

本節では SFQ 回路のスイッチングスピードと消費エネルギーについて考察する。まず、図 3 の回路にお

いて、接合を横切る磁束 Φ と接合電圧 V の間には、 $V = d\Phi/dt$ なる関係があるので、接合を SFQ Φ_0 が通過するために必要な時間は、

$$\tau = \frac{\Phi_0}{V} = \frac{\Phi_0}{I_c R_n} \quad (6)$$

となる。ここで接合に発生する電圧を $I_c R_n$ とした。 $R_n = G^{-1}$ は接合の常伝導抵抗である。標準的な Nb プロセス [6] の $I_c R_n$ 積は、0.37 mV であり、これよりスイッチング時間は、約 5 ps と求まる。スイッチングスピードは接合の $I_c R_n$ 積の増大により向上する。前節で述べたように、接合を SFQ が通過し、位相が 2π 変化した後に回転が静止して接合が安定状態に戻るためには、コンダクタンス G が十分に大きい必要がある。しかしながら G をあまり大きくしすぎると位相の変化は遅くなり、回路のスイッチング速度が低下する。スイッチング速度を維持しながら回路を安定に動作させるための最適条件は、接合のサセプタンス $\omega_c C$ とコンダクタンス G が等しくなるときであり、次式で与えられる [5]。

$$\beta_c \equiv \frac{\omega_c C}{G} = \left(\frac{2e}{\hbar}\right) I_c R_n^2 C = 1 \quad (7)$$

ここで ω_c は、式 (2) で $V = I_c R_n$ としたときのジョセフソン角周波数である。一方、接合の臨界電流密度 j_c と臨界電流 I_c の間に、 $I_c/j_c \propto C$ の関係があることを用いれば、式 (6) と式 (7) より $\tau = \Phi_0/I_c R_n \propto R_n C \propto (j_c)^{-1/2}$ となり、スイッチング速度は j_c の平方根に反比例する。回路の限界スピードは、超伝導エネルギーギャップ電圧によって決まり、Nb 材料 (超伝導転移温度 $T_c = 9.25$ K) の場合、0.7 ps 程度である。一方、ジョセフソン接合を SFQ が通過し、電圧パルスが発生する際に消費されるエネルギーは、 $E = \int I_b v(t) dt = I_b \Phi_0$ で与えられる。

一般に論理ゲートの性能は、スイッチングに要するビットエネルギーとゲート遅延時間によって評価され、両者の積はエネルギー遅延積 (EDP) と呼ばれる。図 6 には、各プロセス世代に対する CMOS 論理ゲートと SFQ 論理ゲートの EDP を比較した。図より、SFQ 回路はビットエネルギーで半導体より 3 けた以上、ゲート遅延時間において 1 けた以上優位性があることが分かる。図には、熱雑音によって決まる動作限界 $E = 1000 k_B T$ 並びに量子雑音によって決まる動作限界 $E = 1000 \hbar / \tau$ を併せて示した。これより、SFQ 回路は、熱雑音と量子雑音の物理的限界に近い条

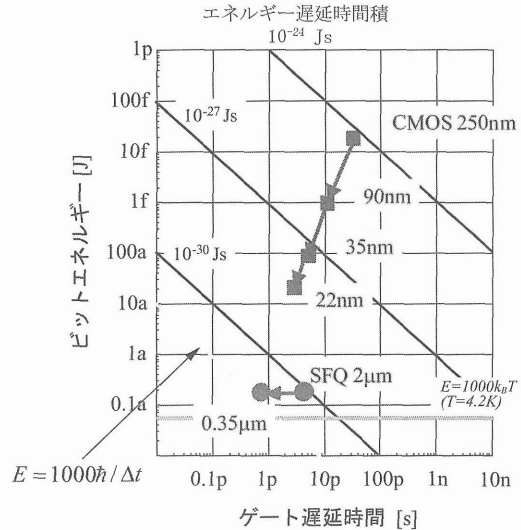


図 6 論理ゲートのビットエネルギーとゲート遅延時間の関係
Fig. 6 The bit energy and the gate delay of SFQ and CMOS circuits.

件で動作する究極の論理ゲートであることが分かる。

以上は、SFQ 論理ゲートの長所であるが、実は SFQ 回路の本当の特徴は超伝導配線にある。超伝導配線は無損失、無分散のため、SFQ パルスは超伝導配線を光と同程度の速度で弾道的に伝搬する。これは、半導体配線において、信号が配線を拡散的に伝搬するのと対照的である。このため、超伝導配線を用いれば、SFQ パルスによる信号伝送を 100 GHz 以上の高スループットで行うことができる。

3. SFQ 回路の基本技術

3.1 プロセス技術

日本国内では、Nb を超伝導電極とする安定で信頼性の高い、超伝導集積回路プロセスが、NEC で開発されている [6]。ジョセフソン素子は、Nb/AIOx/Nb トンネル接合により形成され、臨界電流密度は 2.5 kA/cm^2 、最小寸法は $2 \mu\text{m}$ である。超伝導層数は全部で 4 層であり、5 mm 角チップ上に 1 万接合規模の接合を集積化可能である。これらの標準プロセスを用いて、SFQ マイクロプロセッサ [7], [8] やネットワークスイッチ [9]、メモリ [6] などがこれまでに試作されている。

一方、超伝導工学研究所 (SRL) により、NEC の 2.5 kA/cm^2 プロセスをベースとした集積回路プロセスの研究が進められ、臨界電流密度の向上、接合寸法の微細化、平坦化技術による多層配線の導入が行わ

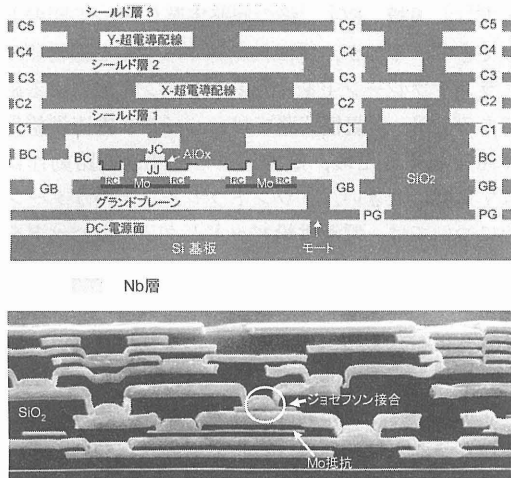


図7 最新の Nb 超伝導集積回路の断面図と断面写真。平たん化技術により Nb 超伝導体による 9 層配線が可能となった。接合材料には Nb/AIOx/Nb が用いられ、臨界電流密度は 10 kA/cm²、接合寸法は 1μm である。

Fig.7 Cross-sectional schematic view and SEM picture of the advanced Nb superconductive IC process. Nb/AIOx/Nb Josephson junctions with critical density 10 kA/cm² and with junction size of 1μm are used.

れた [10]。図 7 に SRL で開発された Nb 9 層超伝導集積回路の断面図と断面電子顕微鏡写真を示す。接合の臨界電流密度は 10 kA/cm²、最小接合寸法は 1μm であり、1 cm² 当り 100 万接合の高集積化が可能となっている。本プロセスを用いたシフトレジスタにおいて、100 GHz を超えるクロック周波数動作が実証されている [11]。

3.2 設計技術

近年の日本における SFQ マイクロプロセッサ開発の急速な進展は、これまでに開発された安定な Nb 集積回路プロセス技術を基盤とし、それにセルベース設計法 [12], [13] や CAD ツールなどの SFQ 回路設計技術の進歩が加わったことに起因する。本節では、SFQ 回路設計に用いられるセルベース設計法、セルライブラリ並びに CAD 環境を紹介する。更に、回路設計の上で重要な受動伝送線路技術や磁場シールド技術について述べる。

SFQ 回路は、回路全体として一つの量子干渉計を構成するため、一般に個々の回路について回路パラメータの最適化が必要になる。例えば、二つの回路を接続する場合、相互作用によりそれらの回路特性が変化するため、回路全体として再び回路パラメータの最適化

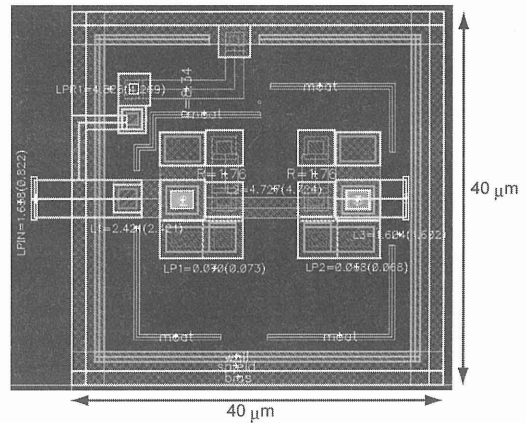


図 8 セルベース設計におけるセルレイアウトの例 (JTL セル)。セルは、辺の長さが 40μm の正方形を単位として構成されている。

Fig.8 Example of cell layouts in the cell-based design approach (a JTL cell). The cell is formed into a square shape with a unit length of 40 μm.

が必要となる。セルベース設計法では、論理ゲートや配線用 JTL などあらかじめセルとして定義し、セル同士の相互接続により各セルの特性が変化しないようにあらかじめ回路の最適化を行っておく。これにより、任意のセルの接続が可能となり、大規模回路の設計が容易となる。図 8 に超電導工学研究所, NICT, 名大, 横国大が共同で開発した CONNECT セルライブラリ [13] の基本セルのレイアウトを示す。セルは 1 辺が 40μm の正方形を単位として構成されている。レイアウトにおいて、入出力信号とバイアス供給のための配線の位置は規定されており、セルを並べることで信号線とバイアス線の接続が容易に行えるように配置されている。CONNECT セルライブラリには現在、200 種以上の論理ゲートセル並びに配線用 JTL セルが登録されている。

現在、SFQ 回路の設計は、半導体設計用の CAD を駆使し、トップダウン的に行えるようになってきている [14], [15]。すなわち、ゲートレベルでの論理設計、論理シミュレーション、回路シミュレーション、レイアウト生成、レイアウトチェックなどを統合 CAD 設計環境の上で行うことができる。図 9 には、CONNECT セルライブラリで用いられているセルビューの例を示す。symbol ビューはセルのシンボルを、symbol-p ビューはセルの形状も含めたシンボルを、behavior ビューはセルの論理動作の定義を、schematic ビュー

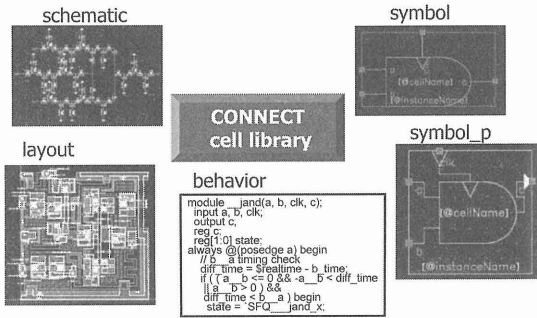


図 9 CONNECT セルライブラリにおけるセルビューの例

Fig.9 Examples of cell-views in the CONNECT cell library.

はセルの回路構造を、layout ビューはセルのレイアウト構造を示している。設計において、設計者はまず symbol ビューを用いて論理ゲートレベルで回路の設計を行う。その後、回路の論理検証が behavior ビューを用いて行われる。論理レベルでの回路設計が終了すると、symbol_p ビューを用いてセル形状や配置を考慮した回路設計が行われる。この段階において回路のタイミング検証が behavior ビューを用いて行われる。behavior ビューは、セルの論理機能の定義のほか、セルのタイミング情報やそれらのバイアス電流依存性が定義されている。この設計段階でバイアス電流の変化に対する回路の動作余裕度（バイアスマージン）が調べられ、タイミング設計の最適化が行われる。その後、必要に応じて schematic ビューを用いた回路シミュレーションによる動作検証が行われる。最後に、layout ビューを用いてチップレイアウトが生成される。以上のトップダウンの回路設計フローを更に高度化するために、論理合成方法の検討 [16] や自動配置配線ツールの開発 [17] が行われている。

現在の SFQ 回路設計では、論理ゲートを接続するために主に JTL セルが用いられている。これにより回路動作は安定化されるが、配線のために大きな面積と遅延時間を要し、回路設計における制約が大きい。一方、超伝導マイクロストリップからなる受動伝送線路 (passive transmission line, PTL) を用いれば、SFQ パルスが無損失、無分散で伝搬するため、回路設計の自由度が飛躍的に向上する。これまでに 35 Gbit/s 以上の帯域の信号伝送が可能な PTL が開発され [18]、更に配線線幅の低減や多層配線技術の開発 [19] が行われている。

一方、大規模 SFQ 回路の回路実装において問題となってきたのが、電源供給線から生じる磁場並びにグランドプレーン上を流れるリターン電流による磁場である [20]。大規模回路では、バイアス電流供給量が 1 A を超えるため、電流による磁場が回路動作に及ぼす影響は大きい。グランドプレーン上のリターン電流については、電源供給パッドとグランドパッドをチップ上に対に配置し、バイアス電流を差動供給することにより回避できるようになった。また、すべてのバイアス供給線を超伝導シールドにより覆うことにより、磁場の影響を排除する試みも行われている [21]。図 8 において、セルの周囲の 4 辺がバイアス供給線であるが、これらは超伝導シールドにより覆われ、遮へいされている。また、ボンディングパッド部が発生する磁場の影響等も調べられている [22]。

以上の設計技術を用いて現在 1 万接合を超える SFQ 回路の設計が可能となっており、4×4 ネットワークスイッチの 40 GHz 動作 [9] や 1000 MOPS を超える性能のマイクロプロセッサの動作実証 [8] が行われている。

4. SFQ マイクロプロセッサの開発動向

4.1 SFQ マイクロプロセッサ開発の背景

最初の SFQ マイクロプロセッサの本格的な開発は、米国の HTMT (Hybrid Technology Multi-Threaded architecture) プロジェクトにおいて行われた。本プロジェクトは、マルチスレッドというメモリアクセス時間隠ぺいのためのアーキテクチャを基礎とし、それにいくつかの次世代技術を融合させ、PFLOPS を超える性能のコンピュータシステムを実現しようとする計画である。プロジェクトにおいて、SFQ 回路が高速マイクロプロセッサの構成技術として採用された [23]。プロジェクト自体は 2000 年に頓挫したが、その後継プロジェクトとして TRW とニューヨーク州立大学により FLUX プロジェクトが開始され、ターゲット周波数を 20 GHz とした 16 ビット SFQ プロセッサが開発された [24]。FLUX プロセッサは、八つの ALU/レジスタ対からなるユニットのアレーで構成され、ビットレベルのパイプライン処理により演算の高スループット化が図られている。8 bit のバージョンが TRW の 1.75 μ m Nb3 層プロセスを用いて試作され、10 mm 各チップ上に約 6 万個のジョセフソン接合を用いて集積化されたが、動作実証には至らなかった [25]。また、横浜国立大学において、セルベース設計に基づく小規模マイクロプロセッサの設計が行われた [26]。その後、

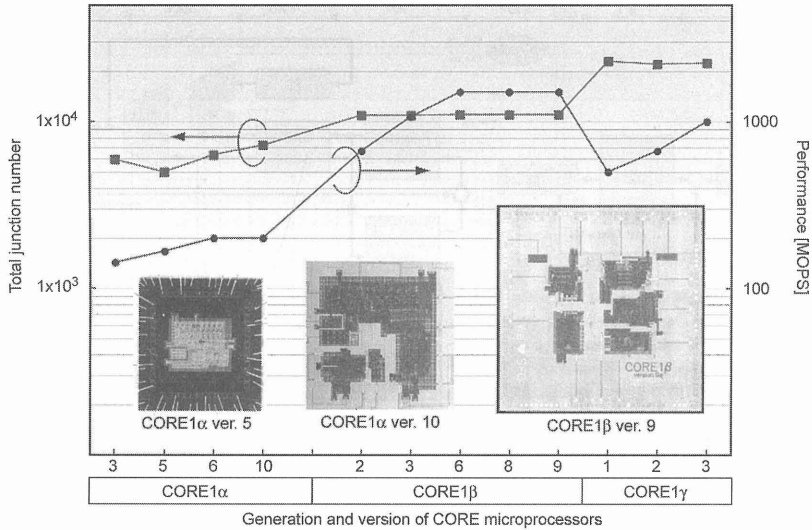


図 10 CORE1 マイクロプロセッサの性能と回路規模の推移, 並びにチップ写真
 Fig.10 Progress of the performance and the total junction number of CORE1 microprocessors, and their microphotograph.

日本において、2002年にNEDOの援助のもと、ハイエンドネットワーク機器の低消費電力化を目的としたSFQマイクロプロセッサの開発が本格的に開始され、COREマイクロプロセッサの研究がスタートした。

4.2 SFQ マイクロプロセッサ CORE

名古屋大学と横浜国立大学により、COREマイクロプロセッサの開発が行われた。本プロジェクトの目的は、デジタル回路として最も複雑であるマイクロプロセッサの開発を通して、大規模SFQ回路設計のための基盤技術を確立しようとするものである。

COREマイクロプロセッサの設計は、CORE (complexity reduction) という設計思想に基づいている [27]。SFQ回路の特長は、その高速性、高スループット性にあるが、メモリや外部とのインタフェースを考えると、いくらマイクロプロセッサのクロックスピードを高くしてもシステム全体としての性能を高めることはできない。そのためCOREコンセプトでは、SFQ回路の高速性を回路の複雑さの低減に利用し、回路面積の削減と低消費電力化を図る。例えば、通常の半導体集積回路では、一般に2倍の高速化のために4倍のハードウェア量が必要である。したがって、クロックスピードの増大により単純なアーキテクチャで同性能の回路が構成できれば、回路面積並びに消費電力の削減効果は大きい。COREマイクロプロセッサのデータパスにおいて、演算はビットシリアル若しくはビット

表 1 CORE1 マイクロプロセッサの仕様と性能
 Table 1 Specification and performance of the CORE1 microprocessors.

	CORE1α ver.5	CORE1β ver.9
命令数	7	7+ レジスタ演算8
ビット長	8 bit	命令 16 bit, データ 8 bit
レジスタ数	3	9
パイプライン段数	1	7
クロック周波数 (設計値/最大値)	16 GHz/15.2GHz	20 GHz/18.8 GHz
システムクロック周波数	1 GHz	1.5 GHz
システム性能	167 MIPS	1400 MOPS
Josephson 接合数	4,999	10,995
チップサイズ	1.8 mm x 2.8 mm	5.8 mm x 4.6 mm
全バイアス電流	0.64 A	1.37 A
Power dissipation	1.6 mW	3.4 mW

スライスデータを用いて行われる。例えばビットシリアル演算は、1ビット演算器で行えるため、回路構成は大幅に簡略化される。

図 10 にこれまでに開発されたCORE1マイクロプロセッサの各バージョンの性能、回路規模、並びにチップ写真を示した。また表 1 には、その仕様の詳細を示した。すべてのチップはSRLの2 μm Nb4層プロセスを用いて試作されている [6]。CORE1αの開発目標は、SFQマイクロプロセッサの高速動作実証を行うことであった。そのため、マイクロアーキテクチャはCOREコンセプトに基づいてできるだけ簡略化された。CORE1αは、七つの命令セットと32 Byteのメモリ空間をもつ8bitマイクロプロセッサである。世界初

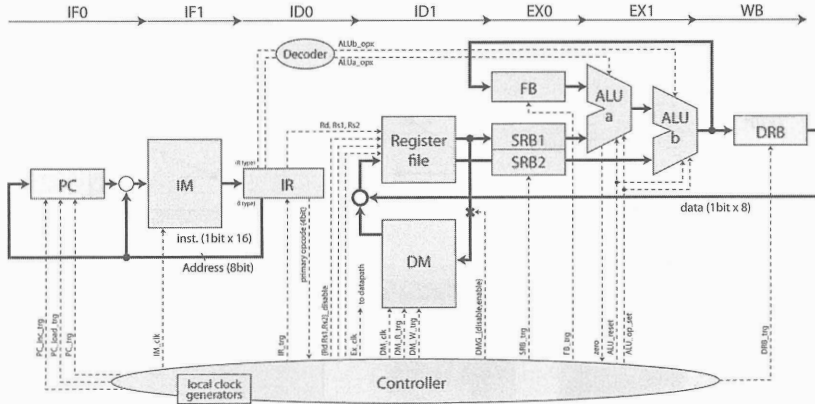


図 11 CORE1β マイクロプロセッサのマイクロアーキテクチャ
Fig.11 Microarchitecture of the CORE1β microprocessor.

の SFQ マイクロプロセッサの 15 GHz 高速動作実証が CORE1α ver. 5 において達成された [7]. 次のバージョンである CORE1α ver. 6 では、回路ブロック間の接続に PTL 配線が用いられた。これにより回路性能が向上し、回路設計の自由度が高くなった [28]. 更に、CORE1α ver. 10 では、4 Byte の SFQ メモリ [29] が集積化され、高速メモリアクセスの実証が行われた。

CORE1α プロジェクトにより、SFQ マイクロプロセッサの高速動作が実証されたが、その性能はビットシリアル処理のため半導体マイクロプロセッサに対して 10 倍以上劣っていた。SFQ マイクロプロセッサの性能を半導体に匹敵する程度に高めるため、次の世代のマイクロプロセッサ CORE1β では、マルチ ALU アーキテクチャとパイプラインアーキテクチャ [30] が採用された。図 11 に CORE1β のマイクロアーキテクチャを示すが、プロセッサは二つのカスケード接続された ALU を有し、1 回の命令実行で二つのレジスタ演算を行うことができる。また、命令処理は 7 段のパイプラインステージで実行され、パイプラインの制御には SFQ 回路に適した one-hot エンコーディングが用いられている [31]. その結果、CORE1β の性能は 1400 MOPS にまで向上した。また CORE1β の回路実装では、バイアス電流による磁場の効果を排除するために、電源供給線が完全に超伝導シールドにより遮へいされた。また、ボンディングパッドからの磁場の影響を低減するために 8 mm 寸法のチップに形成された。CORE1β ver. 9 はデータクロック周波数 20 GHz で完全動作し、消費電力は、3.4 mW であった [8].

更なる SFQ プロセッサの大規模化を目指し、

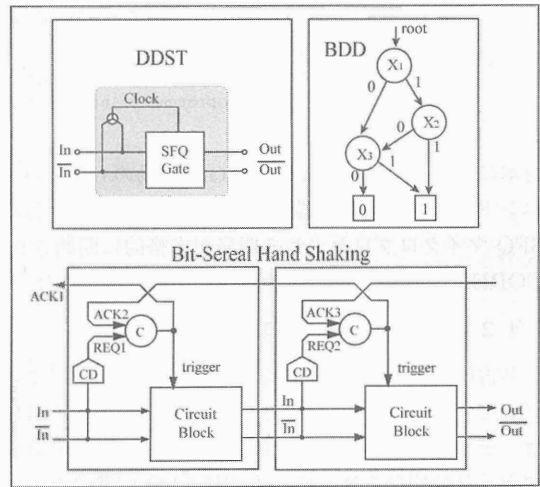


図 12 SCRAM2 マイクロプロセッサで用いられている非同期設計法
Fig.12 Asynchronous design approach used in the SCRAM2 microprocessor.

CORE1γ ではスケーラブルなキャッシュメモリ [32] が搭載された。また、より微細な PTL 配線を利用することにより、約 22000 個の接合からなる回路が 8 mm チップ上に集積化された。

4.3 完全非同期 SFQ マイクロプロセッサ SCRAM

デジタル回路設計では、通常、同期クロック方式が用いられる。同期クロック方式では、チップ全体にわたって同期クロックが分配され、すべての論理ゲートが同期して演算を行う。しかしながら SFQ 回路はクロック周波数が 100 GHz 以上にも達するため、完全に同期したクロックをチップ全体に分配し、すべ

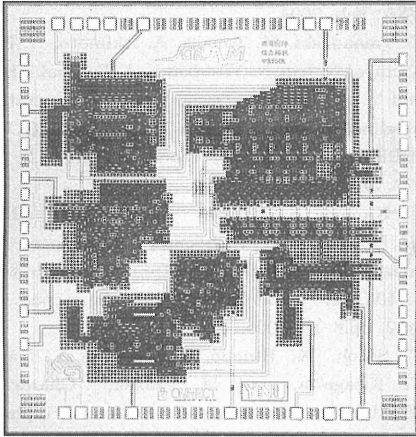


図 13 SCRAM2 マイクロプロセッサのチップ写真
Fig. 13 Microphotograph of the SCRAM2 microprocessor.

ての論理ゲートを同期させることは難しい。大規模 SFQ デジタルシステムへの非同期設計手法の導入を検討するために、完全非同期マイクロプロセッサ SCRAM の開発が行われた。図 12 に SCRAM で用いられている非同期設計法を示す。まず、回路ブロック内では、入力データからブロック内クロックを生成する Data-driven self-timing (DDST) 法 [33] や、二分決定グラフ (BDD) を用いた非同期回路設計法 [34] が用いられている。これらの設計法は、論理値 “0” と “1” に対応した二線式の信号線を入出力信号線に用いており、データ駆動型の演算処理が行われる。また、ブロック間ではビットシリアルデータを単位としたハンドシェイキングが用いられる [35]。SFQ 回路はパルス論理であり、ハンドシェイクに要する回路コストが少ないため、その導入に適している。以上の非同期設計手法を用いて完全非同期式のマイクロプロセッサ SCRAM2 が SRL の $2\mu\text{m}$ Nb4 層プロセスを用いて試作され、20 GHz での完全動作実証が行われた [36]。SCRAM2 のチップ写真を図 13 に示す。SCRAM1 は CORE1 α と同じマイクロアーキテクチャに基づいているが、パイプラインの導入により約 3 倍の性能向上が図られた。非同期動作に伴うシステムのサイクル時間の増大は全体の約 8% であり、少ないコストでの設計の容易化が可能となった。

5. 今後の展望

ハイエンドコンピュータの実現において、近年、消費電力の増大とともに最も重要な課題は、メモリウォー

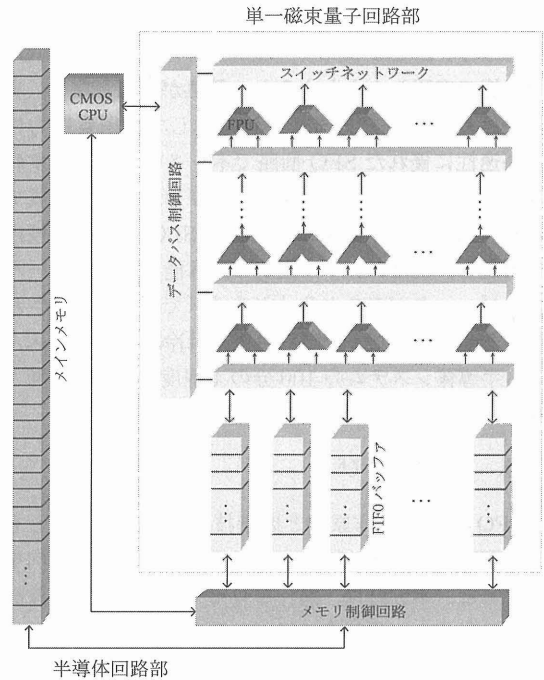


図 14 動的再構成可能な SFQ プロセッサ。数千個規模の SFQ 浮動小数点演算ユニットが、再構成可能なスイッチネットワークにより接続されている。
Fig. 14 Dynamically reconfigurable SFQ processor. It is composed of several thousands of SFQ floating-point units (FPUs) connected by SFQ network switches.

ル問題である。現在のコンピュータシステムでは、メモリアクセスタイムがコンピュータ全体の性能を制限するため、どんなにプロセッサの性能を上げてシステム全体としての性能向上は期待できない。ハイエンドコンピュータにおけるメモリウォール問題と消費電力の問題を同時に解決する SFQ 回路向きの新技術として、SFQ 回路を用いた動的再構成可能なプロセッサが提案され、その基盤技術の確立に向けた研究プロジェクトがスタートした [37]。

図 14 には、現在、研究が進められている動的再構成可能な SFQ プロセッサの構成図を示す。プロセッサのデータバスは、数千個規模の SFQ 浮動小数点演算ユニット (FPU) とそれを相互接続するスイッチネットワークで構成される。本データバスは、大規模数値計算で現れる大きな繰返ループ内の一連の計算を、FPU の相互接続により直接実行する。各 FPU は、メモリアクセスを行うことなくデータを直接他の FPU から受け取るので、メモリアクセス回数を大幅に低減

することが可能である。これらのスイッチング頻度の大きな FPU 並びにスイッチネットワークを CMOS 回路等で実現しようとする、発熱が問題となり、実装が極めて困難である。これに対して低消費電力性と高速性に優れた SFQ 回路で本システムを構成すれば、極めてコンパクトで高性能なプロセッサが構成できる。見積りによれば、次世代の SFQ プロセス技術を仮定し、10 TFLOPS 程度の計算能力をもつスーパーコンピュータがデスクサイドサイズで実現可能とされている [37]。また、その消費電力は冷却電力を見込んでも半導体システムの 100 分の 1 程度であると試算されている。

6. む す び

SFQ 回路の動作原理と要素技術を解説するとともに、SFQ マイクロプロセッサの最近の研究開発動向を紹介した。本分野は、製作プロセス技術の面でも設計技術の面でも、現時点で日本が最も進んだ技術水準にある。アーキテクチャまで含めた新たな研究の推進により、未来の高性能情報機器のための基盤技術としての発展を期待したい。

文 献

- [1] K. Nakajima, H. Sugahara, A. Fujimaki, and Y. Sawada, "Experimental analysis of phase-mode Josephson digital circuits," *J. Appl. Phys.*, vol.66, pp.949-955, July 1989.
- [2] K.K. Likharev and V.K. Semenov, "RSFQ logic/memory family: A new Josephson junction technology for sub-terahertz-clock-frequency digital systems," *IEEE Trans. Appl. Supercond.*, vol.1, no.1, pp.3-28, March 1991.
- [3] H. Hayakawa, N. Yoshikawa, S. Yorozu, and A. Fujimaki, "Superconducting digital electronics," *Proc. IEEE*, vol.92, pp.1549-1563, Oct. 2004.
- [4] W. Chen, A.V. Rylyakov, V. Patel, J.E. Lukens, and K.K. Likharev, "Superconductor digital frequency divider operating up to 750 GHz," *Appl. Phys. Lett.*, vol.73, pp.2817-2819, 1998.
- [5] T. Van Duzer and C.W. Turner, *Principle of Superconductive Devices and Circuits*, Prentice Hall, 1999.
- [6] H. Numata and S. Tahara, "Fabrication technology for Nb integrated circuits," *IEICE Trans. Electron.*, vol.E84-C, no.1, pp.2-8, Jan. 2001.
- [7] M. Tanaka, F. Matsuzaki, T. Kondo, N. Nakajima, Y. Yamanashi, A. Fujimaki, H. Hayakawa, N. Yoshikawa, H. Terai, and S. Yorozu, "A single-flux-quantum logic prototype microprocessor," *Technical Digest of IEEE International Solid-State Circuits Conference (ISSCC2004)*, pp.298-299, San Francisco, USA, Feb. 2004.

- [8] Y. Yamanashi, M. Tanaka, A. Akimoto, H. Park, Y. Kamiya, N. Irie, N. Yoshikawa, A. Fujimaki, H. Terai, and Y. Hashimoto, "Design and implementation of a pipelined bit-serial SFQ microprocessor, CORE1 β ," *IEEE Trans. Appl. Supercond.*, vol.17, no.2, pp.474-477, June 2007.
- [9] Y. Kameda, S. Yorozu, Y. Hashimoto, H. Terai, A. Fujimaki, N. Yoshikawa, "High-speed demonstration of single-flux-quantum cross-bar switch up to 50 GHz," *IEEE Trans. Appl. Supercond.*, vol.15, no.2, pp.6-10, 2005.
- [10] T. Satoh, K. Hinode, H. Akaike, S. Nagasawa, Y. Kitagawa, and M. Hidaka, "Characteristics of Nb/AlOx/Nb junctions fabricated inplanarized multi-layer Nb SFQ circuits," *Physica C*, vol.445-448, pp.937-940, 2006.
- [11] H. Akaike, T. Yamada, A. Fujimaki, S. Nagasawa, K. Hinode, T. Satoh, Y. Kitagawa, and M. Hidaka, "Demonstration of a 120 GHz single-flux-quantum shift register circuit based on a 10 kAcm² Nb process," *Supercond. Sci. Technol.*, vol.19, pp.S320-S324, 2006.
- [12] N. Yoshikawa and J. Koshiyama, "A cell-based design approach for RSFQ circuits using binary decision diagram," *Supercond. Sci. Technol.*, vol.12, pp.918-920, 1999.
- [13] S. Yorozu, Y. Kameda, H. Terai, A. Fujimaki, T. Yamada, and S. Tahara, "A single flux quantum standard logic cell library," *Physica C*, vol.378-381, pp.1471-1474, 2002.
- [14] N. Yoshikawa, J. Koshiyama, K. Motoori, F. Matsuzaki, and K. Yoda, "Cell-based top-down design methodology for RSFQ digital circuits," *Physica C*, vol.357-360, pp.1529-1539, 2001.
- [15] Y. Kameda and S. Yorozu, "Automatic Josephson-transmission-line routing for single-flux-quantum cell-based logic circuits," *IEEE Trans. Appl. Supercond.*, vol.13, no.2, pp.519-522, 2003.
- [16] A. Akimoto, Y. Yamanashi, N. Yoshikawa, A. Fujimaki, S. Yorozu, and H. Terai, "Consideration of logic synthesis and clock distribution networks for SFQ logic circuits," *Physica C*, vol.426-431, Part 2, pp.1687-1692, Oct. 2005.
- [17] Y. Kameda, S. Yorozu, and Y. Hashimoto, "New design methodology for single-flux-quantum (SFQ) logic circuits using passive-transmission-line (PTL) wiring," *IEEE Trans. Appl. Supercond.*, vol.17, no.2, pp.508-511, June 2007.
- [18] Y. Hashimoto, S. Yorozu, Y. Kameda, and V.K. Semenov, "A design approach to passive interconnects for single flux quantum logic cells," *IEEE Trans. Appl. Supercond.*, vol.13, no.2, pp.535-538, 2003.
- [19] T. Yamada, H. Ryoki, A. Fujimaki, and S. Yorozu,

- “Flexible superconducting passive interconnects with 50-Gb/s signal transmissions in single-flux-quantum circuits,” *Jpn. J. Appl. Phys.*, vol.45, no.2A, pp.752–757, 2006.
- [20] H. Terai, Y. Kameda, S. Yorozu, A. Fujimaki, and Z. Wang, “The effects of DC bias current in large-scale SFQ circuits,” *IEEE Trans. Appl. Supercond.*, vol.13, no.2, pp.502–506, 2003.
- [21] N. Yoshikawa, T. Nishigai, H. Kojima, K. Fujiwara, A. Fujimaki, T. Yamada, M. Tanaka, S. Yorozu, M. Hidaka, and H. Terai, “Magnetic shielding against DC bias current toward large-scale SFQ integrated circuits,” *Appl. Supercond. Conf.*, Jacksonville, FL, Oct. 2004.
- [22] H. Terai, S. Yorozu, A. Fujimaki, N. Yoshikawa, and Z. Wang, “Signal integrity in large-scale single-flux-quantum circuit,” *Physica C*, vol.445–448, pp.1003–1007, Oct. 2006.
- [23] M. Dorojevets, P. Bunyk, D. Zinoviev, and K. Likharev, “COOL-0: Design of an RSFQ subsystem for petaflops computing,” *IEEE Trans. Appl. Supercond.*, vol.9, no.2, pp.3606–3614, June 1999.
- [24] M. Dorojevets, P. Bunyk, and D. Zinoviev, “FLUX chip design of 20-GHz 16-bit ultrapipelined RSFQ processor prototype based on 1.75- μm LTS technology,” *IEEE Trans. Appl. Supercond.*, vol.11, pp.326–332, March 2001.
- [25] P. Bunyk, M. Leung, J. Spargo, and M. Dorojevets, “FLUX-1 RSFQ microprocessor: Physical design and test results, A FLUX-1 micro-processor and beyond,” *IEEE Trans. Appl. Supercond.*, vol.13, no.2, pp.433–436, June 2003.
- [26] N. Yoshikawa, F. Matsuzaki, N. Nakajima, K. Fujiwara, K. Yoda, and K. Kawasaki, “Design and component test of a tiny processor based on the SFQ technology,” *IEEE Trans. Appl. Supercond.*, vol.13, no.2, pp.441–445, 2003.
- [27] A. Fujimaki, Y. Takai, and N. Yoshikawa, “High-end server based on complexity-reduced architecture for superconductor technology,” *IEICE Trans. Electron.*, vol.E85-C, no.3, pp.612–616, March 2002.
- [28] M. Tanaka, T. Kondo, N. Nakajima, T. Kawamoto, Y. Yamanashi, Y. Kamiya, A. Akimoto, A. Fujimaki, H. Hayakawa, N. Yoshikawa, H. Terai, Y. Hashimoto, and S. Yorozu, “Demonstration of a single-flux-quantum microprocessor using passive transmission lines,” *IEEE Trans. Appl. Supercond.*, vol.15, no.2, pp.400–404, June 2005.
- [29] K. Fujiwara, Y. Yamashiro, N. Yoshikawa, A. Fujimaki, H. Terai, and S. Yorozu, “Design and high-speed test of (4 \times 8)-bit single-flux-quantum shift register files,” *Supercond. Sci. Technol.*, vol.16, pp.1456–1459, 2003.
- [30] M. Tanaka, T. Kawamoto, Y. Yamanashi, Y. Kamiya, A. Akimoto, K. Fujiwara, A. Fujimaki, N. Yoshikawa, H. Terai, and S. Yorozu, “Design of a pipelined 8-bit-serial single-flux-quantum microprocessor with multiple ALUs,” *Supercond. Sci. Technol.*, vol.19, pp.S344–S349, 2006.
- [31] Y. Yamanashi, A. Akimoto, N. Yoshikawa, M. Tanaka, T. Kawamoto, Y. Kamiya, A. Fujimaki, H. Terai, and S. Yorozu, “A new design approach for control circuits of pipelined single-flux-quantum microprocessors,” *Supercond. Sci. Technol.*, vol.19, pp.S340–S343, 2006.
- [32] N. Irie, M. Tanaka, Y. Yamanashi, H.-J. Park, N. Yoshikawa, H. Terai, S. Yorozu, and A. Fujimaki, “Scalable cache memory for a bit-serial single-flux-quantum microprocessor,” *Extended Abstract of 13th International Superconductivity Conference, O-S02*, Washington DC, USA, June 2007.
- [33] Z.J. Deng, N. Yoshikawa, S.R. Whiteley, and T. Van Duzer, “Data-driven self-timed RSFQ digital integrated circuit and system,” *IEEE Trans. Appl. Supercond.*, vol.7, no.2, pp.3634–3637, June 1997.
- [34] N. Yoshikawa, H. Tago, and K. Yoneyama, “A new design approach for RSFQ logic circuits based on the binary decision diagram,” *IEEE Trans. Appl. Supercond.*, vol.9, no.2, pp.3161–3164, June 1999.
- [35] M. Ito, K. Kawasaki, N. Yoshikawa, A. Fujimaki, H. Terai, and S. Yorozu, “20 GHz operation of bit-serial handshaking systems using asynchronous SFQ logic circuits,” *IEEE Trans. Appl. Supercond.*, vol.15, no.2, pp.255–258, June 2005.
- [36] Y. Nobumori, T. Nishigai, K. Nakamiya, N. Yoshikawa, A. Fujimaki, H. Terai, and S. Yorozu, “Design and implementation of a fully asynchronous SFQ microprocessor: SCRAM2,” *IEEE Trans. Appl. Supercond.*, vol.17, no.2, pp.478–481, June 2007.
- [37] 高木直史, 村上和彰, 藤巻 朗, 吉川信行, 井上弘士, 本田宏明, “単一磁束量子回路による再構成可能な大規模データバスを持つプロセッサ,” *信学技報*, SCE2006-36, 2006.

(平成 19 年 5 月 22 日受付, 8 月 26 日再受付)

吉川 信行 (正員)



昭 59 横浜国大・工・情報卒。平元同大大学院工学研究科電子情報工学専攻博士後期課程了。平元同大工学部電子情報工学科助手。平 5 同大工学部電子情報工学科助教授。平 7 より 1 年間カリフォルニア大学バークレー校客員研究院。平 15 横浜国大大学院工学研究院教授。現在まで超伝導エレクトロニクス, 単電子デバイス, 量子効果デバイス, 低温デバイス, 単一磁束量子回路, 集積回路設計の研究に従事。工博。応用物理学会, 電気学会, IEEE 各会員。