

博士論文

**Josephson-CMOS ハイブリッドメモリの
高速動作に向けた研究**

**Study on the high-speed operation of the Josephson-CMOS hybrid
memory**

横浜国立大学大学院 理工学府

Graduate School of Engineering Science,
Yokohama National University

弘中 祐樹

Yuki Hironaka

2023年3月

要約

単一磁束量子 (Single flux quantum: SFQ)回路を始めとする Josephson 接合を用いた超伝導論理回路は、今日の集積回路を構成している CMOS 回路を凌駕する高速・低消費電力性を有しており、次世代の集積回路技術として期待されている。これらの Josephson 接合に基づく超伝導論理回路ではデバイスの集積度や駆動力の低さを欠点としており、そのために大規模なメモリの構築が困難であるという課題がある。Josephson 論理回路に適合する低温メモリの合理的なソリューションとして、高集積な CMOS メモリを Josephson 回路と組み合わせる Josephson-CMOS ハイブリッドメモリが提案されている。

本研究では、Josephson-CMOS ハイブリッドメモリの目標動作周波数 1 GHz における高速動作実証に取り組んだ。これまでの研究で、64-kb Josephson-CMOS ハイブリッドメモリが設計・構築され、低周波数での実験における完全動作実証が成されている。目標動作周波数 1 GHz での動作実証に向け、読み出し動作におけるメモリ出力電流のスイッチング時間の評価、及び外部 I/O 数を削減させたテスト回路の構築について検討した。

メモリ出力電流のスイッチング時間の評価について、読み出し動作におけるクロック入力のタイミングマージンを測定することによりスイッチング時間の推定を行った。実験の結果、現状の実装方式においてメモリ出力電流のスイッチング時間はメモリ目標動作周波数 1 GHz での動作に十分追従可能な値であることが確認された。メモリ読み出し動作の高速動作実証のため、シーケンシャルアクセス型デコーダ及び SFQ アキュムレータを用いることにより室温機器との I/O 数を削減させたテスト回路を設計し、測定において最高動作周波数 1.2 GHz でのメモリ読み出し動作に成功した。また、ここで設計したシーケンシャルアクセス型 Josephson-CMOS ハイブリッドメモリは、大容量・高バンド幅なデータセットメモリとしての応用が期待できる。SFQ 回路を用いた超伝導量子ビット制御回路への応用を目標として、Josephson-CMOS ハイブリッドメモリの達成可能な消費電力・バンド幅について評価した。シミュレーションに基づく評価の結果、これらの性能が比較対象となる SFQ メモリと競合可能な値を実現可能であることを示した。

書き込み動作を含めた Josephson-CMOS ハイブリッドメモリの高周波試験用テスト回路を設計するため、Josephson-CMOS インターフェース回路である Josephson latching driver の高臨界電流密度・多層 Josephson プロセスでの設計を行った。従来の設計を基にプロセスによる素子パラメータを考慮した回路パラメータの最適化を行い、測定において目標動作周波数 1 GHz での正常動作を確認した。設計した Josephson latching driver を用い、SFQ マイクロプロセッサを用いることで室温機器との I/O 数を削減させたテスト回路を設計した。測定の結果、Josephson-CMOS インターフェース回路である CMOS 差動増幅器の遅延時間が極めて大きく、メモリの正常動作は 100 kHz 程度の周波数までに留まった。実験において CMOS 差動増幅器の静特性がシミュレーション値と一致していないことが確認され、低温 CMOS デバイスモデル及び CMOS 差動増幅器の設計の改善が必要であることが認められた。

目次

第 1 章 序論	4
1.1 研究背景.....	4
1.2 研究目的.....	7
1.3 本論文の構成.....	8
第 2 章 CMOS 回路並びに単一磁束量子回路 の動作原理と構成方式	9
2.1 本章概説.....	9
2.2 CMOS 回路の動作原理.....	9
2.2.1 MOSFET	9
2.2.2 Static CMOS 論理回路.....	10
2.2.3 Static CMOS 論理回路の動作速度及び消費エネルギー.....	13
2.3 単一磁束量子回路の動作原理	14
2.3.1 Josephson 接合.....	14
2.3.2 超伝導量子干渉素子 (SQUID).....	16
2.3.3 単一磁束量子 (SFQ)回路	18
2.3.4 SFQ 回路の動作速度及び消費エネルギー.....	21
2.4 SFQ 回路の設計、実装.....	23
2.4.1 SFQ 回路のクロッキング方式.....	23
2.4.2 CONNECT セルライブラリ	24
2.4.3 AIST Nb Josephson 回路作製プロセス	25
第 3 章 Josephson-CMOS ハイブリッドメモリ	27
3.1 本章概要.....	27
3.2 Josephson-CMOS ハイブリッドメモリの研究状況	27
3.3 64-kb Josephson-CMOS ハイブリッドメモリ	29
3.3.1 64-kb Josephson-CMOS ハイブリッドメモリの全体構成.....	29
3.3.2 Josephson-CMOS インターフェース回路.....	29
3.3.3 64-kb CMOS メモリの構成	31

第 4 章 Josephson-CMOS ハイブリッドメモリ	
の高速読み出し試験.....	36
4.1 本章概要.....	36
4.2 8T-SRAM セルの SFQ 電流センサによる読み出し ...	36
4.3 単一チャンネル読み出しのタイミングマージンの測 定	38
4.3.1 テスト回路の設計	38
4.3.2 測定方法	40
4.3.3 測定結果	42
4.3.4 議論	44
4.4 ハイブリッドメモリの 32 ビット高速読み出し試験..	46
4.4.1 テスト回路の設計	46
4.4.2 測定波形	47
4.4.3 測定結果	49
4.4.4 議論	54
第 5 章 シーケンシャルアクセス Josephson-	
CMOS ハイブリッドメモリの性能評価	55
5.1 本章概要.....	55
5.2 シーケンシャルアクセス Josephson-CMOS ハイブリ ッドメモリ (Josephson-CMOS SEQ)の応用	55
5.3 Josephson-CMOS SEQ の性能評価	57
5.3.1 Josephson-CMOS SEQ の性能指標と制約	57
5.3.2 パラレル-シリアル変換シフトレジスタのバンド幅.....	58
5.3.3 消費電力	64
第 6 章 10-kA/cm² プロセスにおける	
Josephson latching driver の最適化	71
6.1 本章概要.....	71
6.2 Josephson latching driver の設計及びシミュレーション.	71

6.2.1	Josephson latching driver	71
6.2.2	4JL ゲートのパラメータ最適化	73
6.2.3	熱雑音を考慮したビットエラーレートのシミュレーション	77
6.3	Josephson latching driver の動作試験	79
第 7 章 Josephson-CMOS ハイブリッドメモリ		
の高速動作試験		85
7.1	本章概要	85
7.2	SUBNEG マイクロプロセッサを用いた動作試験	85
7.2.1	テスト回路の設計	85
7.2.2	実験結果	88
7.3	CMOS 差動増幅器の特性評価	91
第 8 章 総括		94
謝辞		96
参考文献		97
発表文献		102

第1章 序論

1.1 研究背景

近年の情報化社会において、より高い情報処理能力を持つ集積回路を実現するために半導体技術は急速な発展を遂げてきた。その進展は主にトランジスタの微細化によって果たされており、半導体集積回路の集積度が経年に対して指数関数的に増大していることを指摘した Moore の法則 [1]は微細化技術の急激な成長を端的に表現している。Dennard らによって提唱されたスケーリング則 [2]は、トランジスタを微細化することで動作の高速化と消費エネルギーの低減を同時に達成可能であることを示しており、スケーリング則は微細化による半導体回路の性能向上の強い動機となった。Intel 社で開発された世界最初の半導体マイクロプロセッサである 4004 は 1971 年に 10 μm プロセスを用いて実装されたのに対し、2022 年現在における最新の半導体集積回路作製プロセスは 10 nm 程度のピッチのデバイス作製を可能としており、半導体回路プロセス微細化の進展の具合が伺える[3]。微細加工技術の向上に伴い、今日の半導体集積回路はシングルチップあたりに数十億から数百億のトランジスタを集積するほどまでの規模となった。

しかしながら、微細化の進んだトランジスタにおいてはしきい値電圧の低下、リーク電流の増大、配線負荷の増大といった問題が生じ、集積回路の性能向上は微細化を行っても Dennard のスケーリング則に従わなくなる。特に回路の集積度の向上に伴う集積回路全体の消費電力の増大及び発熱量の増大は、集積回路の性能そのものを妨げる重大な課題として顕在化した。回路全体の発熱量が増大した結果、回路が実現可能な消費電力は冷却能力の限界に制限されるようになり、そのためトランジスタを微細化しても回路の動作周波数を上げることができなくなる。図 1-1 に示すマイクロプロセッサの諸元のトレンドデータ[3]を見ると、2000 年頃までは微細化による回路のトランジスタ数の増大に伴い動作周波数が向上しているのに対し、2000 年代中頃から動作周波数が数 GHz で停滞していることが分かる。そのため、現在までのマイクロプロセッサにおいては集積度の向上に伴うトランジスタ性能の向上ではなく、集積度の向上そのものを活かし回路の並列化を行うことで計算能力を向上させる方式が主流となった。図 1-1 では 2000 年代中頃からマイクロプロセッサのコア数が増加していく傾向が示されており、回路の並列化のトレンドが伺える。しかしながら、Amdahl の法則に示されるように並列度を増すほど並列化による計算速度の向上率は低下するという問題があり、並列化は消費電力の増大による性能制限を上回るほどの効果を必ずしも発揮することはできない。図 1-1 を見ると、シングルスレッド性能は 2000 年代中頃からその成長率が低下している様子が伺える。また、大規模な計算機システムにおいてはその消費電力そのものがシステムの実現可能性に対する課題となりうる。2022 年現在で世界最速とされるスーパーコンピュータである Frontier は 21.1 MW と莫大な電力を消費し[5]、更なる大規模スーパーコンピュータの実現は消費電力の観点から現実的ではないといえる。

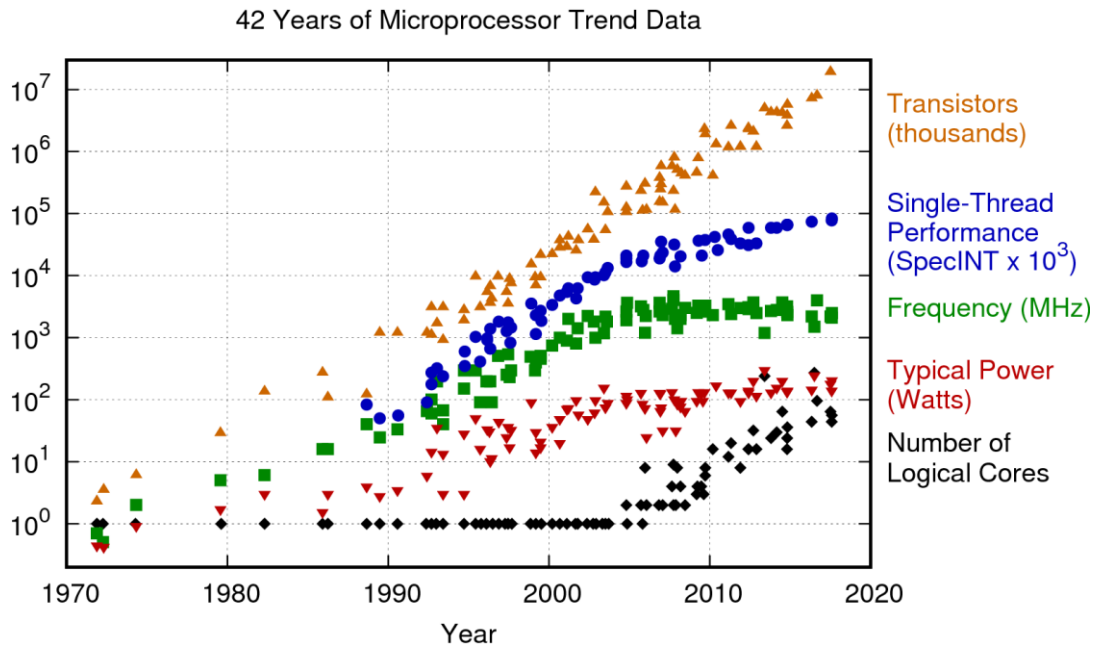


図 1-1 マイクロプロセッサの諸元のトレンドデータ [3]

半導体回路が直面している性能向上の限界の課題に対し、より高速・低消費電力で動作が可能であるデバイスの探求が進められている。その中で有力な候補と考えられているのが、超伝導素子である Josephson 接合を用いた回路方式である単一磁束量子 (Single flux quantum: SFQ)回路である [6]。SFQ 回路は磁束量子 (SFQ: $\Phi_0 = 2.067 \times 10^{-15}$ [Wb])と呼ばれる微小な物理量を情報担体とする動作原理に基づく、従来の CMOS 回路とは根本的にその原理や構成が異なる論理回路である。SFQ 回路における論理演算に伴う信号伝搬は、Josephson 接合を SFQ が横断する際に発生させる時間幅数 ps、振幅数 mV 程度の微弱な信号により行われる。この原理により、100 GHz 級のクロック動作周波数での動作を可能とする高速性と、半導体回路と比較して 3 桁程度の優位性を示す低消費電力性の両立を可能としている。また SFQ 回路には超伝導受動配線を用いて信号を弾道的に伝搬させることができるため長距離配線が回路のスループットを制限しないという半導体回路にはない利点があるほか、半導体回路と同様のスケールリング則的な発展が見込めることなどから、従来の半導体回路を凌ぐ次世代の集積回路技術として期待されている。

回路設計技術や回路作製技術の発展により、現在では数万接合程度の規模の SFQ 回路が動作実証されるに至っている。SFQ 回路の利点とその低いエネルギー遅延積にあることから、SFQ 回路の応用はハイパフォーマンスコンピューティングにおけるハードウェア実装の応用がよく期待されている。これまでにいくつかのマイクロプロセッサのプロトタイプ及びその要素回路の設計や動作実証例が報告されている [7]-[10]他、FPGA[11]やニューラルネットワーク[12]など様々なハードウェア実装への応用が検討されている。また超伝導デバイスを用いる超伝導単一光子検出器や超伝導量子ビットの周辺回路としての応用[13]-[16]

は、SFQ 回路の低温動作・低消費電力動作の面でこれらのデバイスからの要求によく応じることの可能な応用として適すると期待されている。

今日までにある程度大規模な SFQ 回路が実証に至っている一方で、現状における SFQ 回路は大規模メモリの欠落という重大な課題を有している。Josephson 接合が低インピーダンスな 2 端子素子であること・回路が磁束量子に伴う微小な電流により駆動されることによる低駆動力性、回路全体の集積度が磁束量子を保持・伝搬するために必要なインダクタンスにより制限されることによる低集積性が SFQ 回路の欠点である。根本的にこれらの欠点から SFQ 回路では大規模かつ並列駆動が要求される回路を構成することが困難であり、すなわち大規模メモリの構築を困難としている。そのため SFQ 回路に適合するメモリシステムの構築が、現在 SFQ 回路の直面している最も重要な課題の一つである。現在までに実証されている最大の Josephson メモリの容量は 4-kb に留まっており[17]、磁気 Josephson 接合を用いたメモリ[18]、Magnetic RAM[19]、超伝導ナノワイヤメモリ[20]など超伝導デバイスを用いたメモリシステムとして種々のアプローチが現在も研究されているが、高集積化を可能とする革新的なブレークスルーは未だ得られていない。

SFQ 回路と半導体 CMOS 回路を比較すると、CMOS 回路の高駆動力・高集積性はまさに SFQ 回路の欠点に対して優位な特性であり、すなわち大規模メモリ構築には CMOS 回路がより適していると言える。そのため、SFQ 回路を用いて構成する演算回路に対して大規模なメモリは CMOS 回路を用いて構成するという発想が合理的である。Josephson-CMOS ハイブリッドメモリは、SFQ 回路に適合する大規模メモリ実現のためのソリューションとして、U.C. Berkeley の研究グループによって提案された[21]。Josephson-CMOS ハイブリッドメモリは大容量 CMOS メモリを SFQ 回路と組み合わせて用いるメモリであり、SFQ 回路の高速・低消費電力動作の利点をロジックとして、CMOS 回路の高集積度・高駆動力の利点をメモリとして活用するシステムを構築する。U. C. Berkeley の研究グループは 2013 年に 64-kb の Josephson-CMOS ハイブリッドメモリの動作実証例を報告しており、これは 4-kb を超える容量の Josephson 回路コンパクトなメモリとしては最初の動作実証例である[22]。提案、実証された Josephson-CMOS ハイブリッドメモリは、極低温下における CMOS 回路の特性変化や CMOS センスアンプの代わりに SFQ 電流センサを用いた読み出し動作によるメモリの高速・低消費電力動作を利点としている[23][24]。これらの利点や CMOS メモリのスケラビリティの利点から、Josephson-CMOS ハイブリッドメモリは Josephson 回路を用いた演算システムの構築に向けた有効な短期ソリューションであると期待されている。

1.2 研究目的

筆者の研究グループではこれまで、SFQ 回路を用いた汎用計算システムにおけるキャッシュメモリとしての応用を目標とした Josephson-CMOS ハイブリッドメモリの構築に取り組んできた。現在に至るまでの成果として、SFQ パルス入出力によりアクセス可能な 64-kb Josephson-CMOS ハイブリッドメモリの動作実証の成功に至っており[25]、これは SFQ 回路との互換性を実験で実証した低温メモリの中で現在世界最大規模のメモリかつ唯一の Josephson-CMOS ハイブリッドメモリである。一方で、その動作実証は 100 kHz 以下の低周波での機能試験に留まっており、目標動作周波数 1 GHz での高周波での実験は未だ成功していない。

本研究の目的は、64-kb Josephson-CMOS ハイブリッドメモリの高周波での動作実証を実現させることである。現在までの Josephson-CMOS ハイブリッドメモリの設計・実装を考えると、Josephson-CMOS ハイブリッドメモリの動作周波数 1 GHz における高速動作実証に向けて検討すべき課題は大きく 2 点ある。一つは、Josephson-CMOS ハイブリッドメモリの読み出し動作において、CMOS メモリの出力電流のスイッチング時間が周波数 1 GHz に追従可能であるかを検証することである。メモリ読み出し時にはオンチップの配線やボンディングワイヤを介して流れる CMOS メモリからの出力電流が SFQ 電流センサにより検出される。このオンチップ配線等の寄生成分はこれまでにモデリングがなされておらず、シミュレーションにおいて出力電流のスイッチング速度を評価することができていないため、まず実験においてメモリ出力電流のスイッチング速度によって制限される読み出し動作のタイミングマージンを評価する必要がある。本研究では、実験においてメモリ読み出し動作のタイミングマージン測定を行い、その結果によりメモリ出力電流のスイッチング時間を見積もり、メモリ読み出し動作の達成可能な動作周波数を評価する。

もう 1 つの課題は、高周波テストに際して室温機器と低温下のテスト回路間の I/O 数を削減させたテスト回路を構築する必要があることである。以前までの Josephson-CMOS ハイブリッドメモリの実験においては、複数チャンネルのアドレス信号やデータ信号の入出力を室温機器によって制御しており、この I/O 数の多さが高周波での測定を困難にしていた。本研究では、シーケンシャルアクセス型デコーダや SFQ アキュームレータ、SFQ マイクロプロセッサを用いたテスト回路を設計し、これらを用いて室温機器と低温下のテスト回路間の I/O 数を極力削減させることで、高周波での測定を可能とするアプローチを採る。

また、本研究で Josephson-CMOS ハイブリッドメモリの高速読み出し動作のテスト用に設計するシーケンシャルアクセス・読み出し専用の Josephson-CMOS ハイブリッドメモリは、アドレス選択及びデータ書き込み用の Josephson-CMOS インターフェース回路が不要な構成から、通常のランダムアクセスな Josephson-CMOS ハイブリッドメモリと比較して消費電力を大幅に低減した運用が可能である。この特徴を活用し、低電力・大容量・高バンド幅の読み出しを可能とするデータセットメモリを必要とするアプリケーションにおける応用

が期待できる。その応用に関して、Josephson-CMOS メモリが達成可能なバンド幅・消費電力を評価し、これが現在用いられている SFQ のシフトレジスタメモリと競合できる性能を実現可能であることを示す。

1.3 本論文の構成

以下に本論文の構成を示す。

第 1 章では、本論文に示される研究の背景及び目的について述べた。

第 2 章では、本論文にて用いられる CMOS 論理回路及び単一磁束量子回路の動作原理と構成方式について、その理論や設計・実験方法に関して本論文の前提となる事項を述べる。

第 3 章では、Josephson-CMOS ハイブリッドメモリについて、これまでの研究を概観し、本研究室でこれまでに構築された Josephson-CMOS ハイブリッドメモリの構成について示す。

第 4 章では、Josephson-CMOS ハイブリッドメモリの読み出し動作におけるタイミングマージンの測定、及び高速読み出し動作のためのテスト回路の設計と測定結果について述べる。

第 5 章では、シーケンシャルアクセス・読み出し専用の Josephson-CMOS ハイブリッドの性能評価について述べる。

第 6 章では、Josephson-CMOS ハイブリッドメモリの書き込みインターフェースである Josephson latching driver の高臨界電流密度プロセスにおけるパラメータ最適化及び測定結果について述べる。

第 7 章では、SFQ マイクロプロセッサを用いた Josephson-CMOS ハイブリッドメモリの高速動作のためのテスト回路の設計及び測定結果について述べる。

第 8 章では、本研究を総括する。

第2章 CMOS 回路並びに単一磁束量子回路 の動作原理と構成方式

2.1 本章概説

本章では、本論文にて用いられる CMOS 論理回路及び単一磁束量子回路の動作原理と構成方式について、その理論や設計・実装方法に関して本論文の前提となる事項を述べる。

2.2 CMOS 回路の動作原理

2.2.1 MOSFET

MOS 電界効果型トランジスタ (Metal-Oxide-Semiconductor Field-Effect-Transistor: MOSFET) は、半導体の上に薄い酸化膜を形成し、その上に金属を形成する MOS 構造を用いたデバイスである。MOSFET は半導体にドーパされた不純物の型により NMOS、PMOS の2種類に分類される。NMOS、PMOS を相補的に組み合わせた CMOS (Complementary MOS) 回路は低消費電力性、高集積性に優れており、現在広く用いられている。

図 2-1 に NMOS の構造図を示す。NMOS においては、p 型のシリコン基板 (バルク、ボディ、サブストレータともいう) の上に薄いシリコン酸化膜 (SiO_2) を形成し、その上に高濃度ポリシリコンによるゲートを形成し、ゲートの両端に高濃度の n 型不純物を拡散させドレイン-ソース領域が作られる。PMOS の場合には基板を n 型とし、ドレイン-ソース領域に p 型不純物を拡散させる。

MOSFET のゲートに電圧を印加すると、電界が酸化膜を介してゲート下の半導体表面における電荷状態を変化させる。電荷状態には蓄積、空乏、反転の3状態がある。NMOS の場合、ゲートに負電圧を印加すると蓄積状態に、ゲート電圧を正の方向に上げると空乏状態、更にゲート電圧を上げると反転状態となる。PMOS の場合はゲート電圧の極性を NMOS の場合と逆にすることで3状態が形成される。反転状態ではゲート下に反転層が形成され、反転層には基板と異なる極性のキャリアが誘起されている。このとき反転層に存在するキャリアはドレイン-ソース間を流れることができ、従ってドレイン-ソース間は反転状態のときに導通する。キャリアの通り道となる反転層をチャネルと呼び、反転層のキャリアが電子のとき n チャネル、ホールのとき p チャネルという。

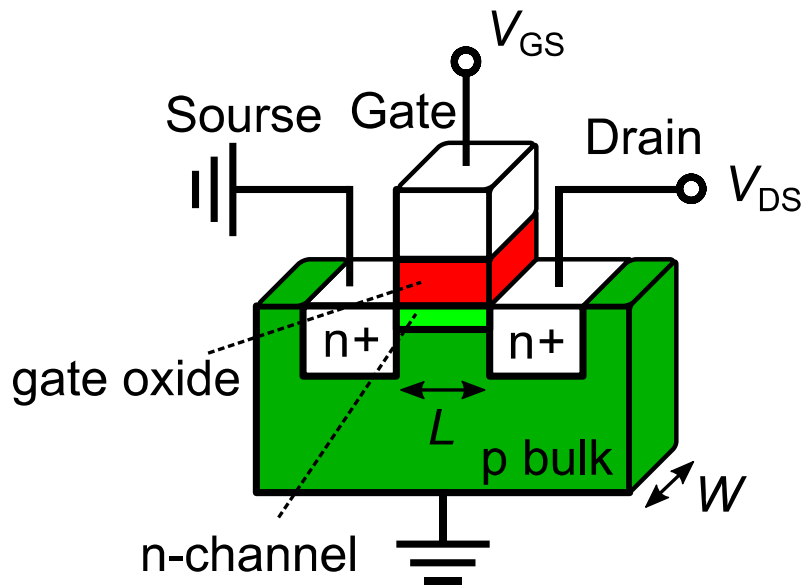


図 2-1 MOSFET の構造

以下、NMOS の動作について示す。ゲート-ソース間電圧 V_{GS} がチャネルを形成するためのしきい値電圧 V_{th} を超過している場合、NMOS のドレイン-ソース間は次式で表される電流電圧特性を示す。

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (V_{DS} < V_{GS} - V_{th}) \quad (2-1)$$

$$I_D = \mu_n C_{ox} \frac{W}{L} \frac{(V_{GS} - V_{th})^2}{2} (1 + \lambda V_{DS}) \quad (V_{DS} > V_{GS} - V_{th}) \quad (2-2)$$

ここで、 I_D はドレイン電流、 μ_n はチャネルにおけるキャリア移動度、 C_{ox} はゲート酸化膜の単位面積あたりのキャパシタンス、 W は NMOS のチャネル幅、 L は NMOS のチャネル長、 V_{DS} はドレイン-ソース間電圧である。式(2-1)の $V_{DS} < V_{GS} - V_{th}$ の領域ではドレイン電流 I_D はドレイン-ソース間電圧 V_{DS} の 2 次に比例して増加し、この領域は非飽和領域または線形領域と呼ばれる。式(2-2)より $V_{DS} > V_{GS} - V_{th}$ の領域ではドレイン-ソース間電圧 V_{DS} の 2 次に比例して増加し、この領域は飽和領域と呼ばれる。

2.2.2 Static CMOS 論理回路

CMOS インバータは CMOS 論理回路において最も基本となる 1 入力 1 出力の論理ゲートであり、入力信号を論理反転させて出力する NOT ゲートとして作用する回路である。図 2-2 に CMOS インバータの回路図を示す。CMOS インバータは NMOS と PMOS を直列に接続した構成となっており、2 つの MOSFET のゲート同士が共通の入力端子、ドレイン同士が

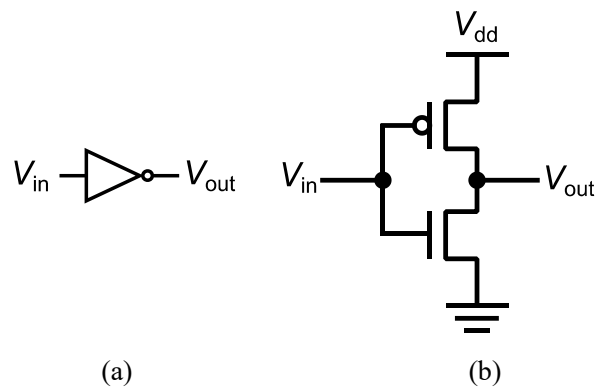


図 2-2 CMOS インバータ。(a)回路記号、(b)等価回路。

共通の出力端子となっている。NMOS のソース (及びバルク)は接地されており、PMOS のソース (及びバルク)は電源電圧 V_{DD} に接続される。論理状態は各ノードの電圧によって表現され、電源電圧 V_{DD} が論理“1”に、接地電圧 $0V$ が論理“0”に対応する。電源電圧 V_{DD} は MOSFET の閾値電圧の 4 倍程度の値とするのが一般である。

図 2-4 に CMOS インバータの電圧伝達特性を示す。入力電圧が $0V$ 付近の領域では CMOS インバータの PMOS がオン状態、NMOS がオフ状態となるため出力電圧は V_{DD} となる。入力電圧が V_{DD} 付近の領域では CMOS インバータの PMOS がオフ状態、NMOS がオン状態となるため出力電圧は $0V$ となる。入力電圧に対して NMOS または PMOS のいずれかがオフ状態となっている領域では出力電圧は $0V$ または V_{DD} のいずれかで安定する。入力電圧が $0V$ と V_{DD} の中間付近にある場合は NMOS と PMOS の双方がオン状態となるため、入力電圧の変化に対して NMOS 及び PMOS のオン抵抗の変化によって出力電圧が遷移する領域がある。入力電圧と出力電圧が等しくなる電圧は論理しきい値 V_M と呼ばれ、回路中の電圧は論理しきい値以下の電圧が論理“0”、論理しきい値以上の電圧が論理“1”として扱われる。

CMOS インバータは入力電圧に対して NMOS 及び PMOS が相補的にスイッチすることにより、入力電圧に対して $0V$ または V_{DD} いずれかの電圧を出力する回路である。ここで、入力電圧に対して適切に出力ノードを $0V$ に接地させる NMOS 及び出力ノードを V_{DD} に接地させる PMOS の組み合わせに変換することで、任意の組み合わせ論理を構成することが可能である。例として、図 2-3 に 2 入力 NAND ゲートを示す。2 入力 NAND ゲートは CMOS インバータの NMOS を 2 つの直列 NMOS に、PMOS を 2 つの並列 PMOS に置き換えた構成となっている。A、B の 2 入力の両方が V_{DD} であるとき、2 つの NMOS がオン状態となるため出力は $0V$ となり、また 2 つの PMOS はオフ状態となっているため電源ノード V_{DD} と出力は絶縁される。A、B の 2 入力のいずれかまたは両方が $0V$ であるとき、2 つの PMOS のいずれかまたは両方がオン状態となるため出力は V_{DD} となり、また 2 つの NMOS のいずれかまたは両方はオフ状態となっているため接地ノードと出力は絶縁される。図 2-3(c)に CMOS2 入力 NAND ゲートの波形例を示す。以上のような CMOS インバータに基づく論理回路は、NMOS と PMOS が相補的にスイッチし、また静的なスイッチング特性で論理回路を構成することから Static CMOS 論理回路と呼ばれる。

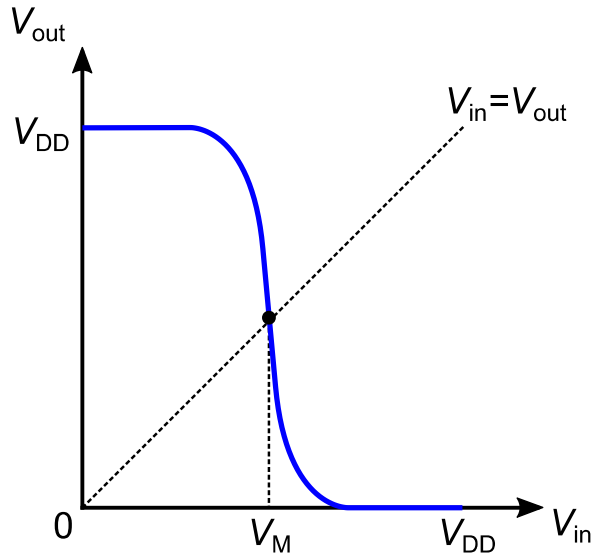


図 2-4 CMOS インバータの電圧伝達特性

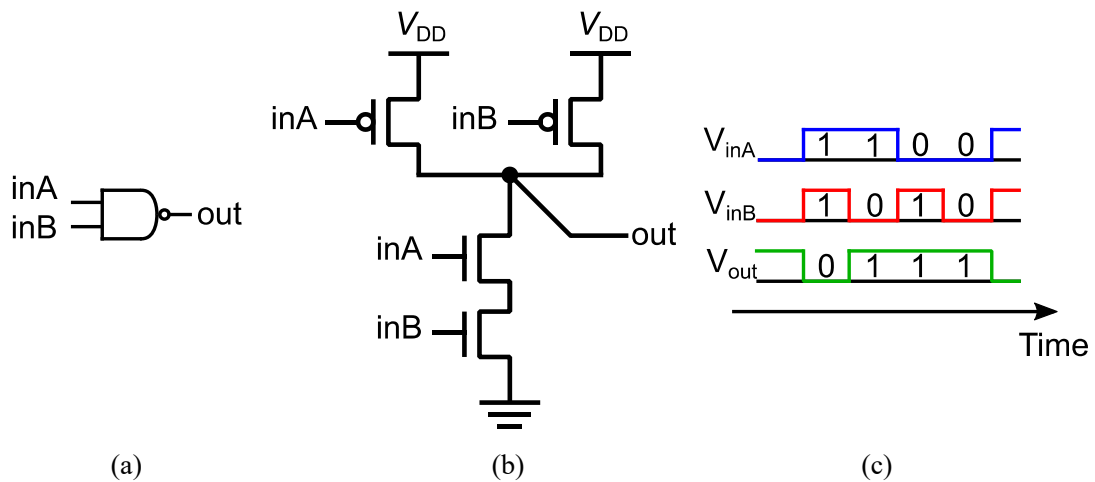


図 2-3 CMOS2 入力 NAND ゲート。(a)回路記号、(b)等価回路図、(c)波形例。

CMOS インバータや 2 入力 NAND ゲートを始めとする組み合わせ論理回路に対し、各ノードが論理“0”または“1”のいずれかで安定するようにフィードバックを用いることで、入力によらず論理値を保持できる順序回路を構成することが可能である。例として、図 2-5 に 2 入力 NAND を用いた DFF (Delay flip-flop)を示す。2 入力 NAND を用いた DFF は図 2-5(a)に示すようにフィードバックループを含む構成をしており、出力論理 Q 及び相補出力 $Q_{\bar{}}$ が論理値を保持できるようになっている。図 2-5 に 2 入力 NAND を用いた DFF の時間波形を示す。D、CK の 2 入力に対して、クロック入力 CK の立ち上がりエッジに同期してデータ入力 D が出力 Q に反映され、以降次のクロック入力 CK の立ち上がりまで出力 Q 及び相補出力 $Q_{\bar{}}$ の状態は入力に依らず保持される。

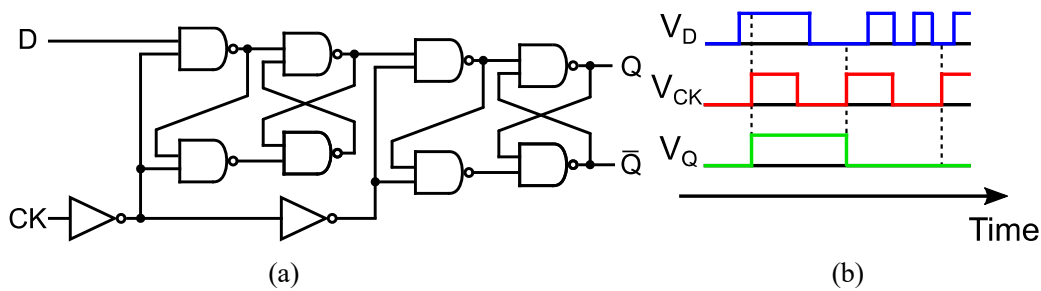


図 2-5 2 入力 NAND を用いた DFF。(a)回路図、(b)時間波形。

2.2.3 Static CMOS 論理回路の動作速度及び消費エネルギー

Static CMOS 論理回路の動作速度は、入力電圧が変化した際に出力ノードの負荷容量を NMOS または PMOS を介して充放電する際の過渡応答によって決まる。CMOS インバータの場合、NMOS 及び PMOS のオン抵抗及び負荷容量をそれぞれ R_n 、 R_p 、 C_L として線形近似すると、CMOS インバータの論理“1”出力時の出力立ち上がり伝搬遅延時間 t_{pLH} 及び論理“0”出力時の出力立ち下がり伝搬遅延時間 t_{pHL} は次式で表される。

$$t_{pLH} = 0.69R_p C_L \quad (2-3)$$

$$t_{pHL} = 0.69R_n C_L \quad (2-4)$$

チャンネルにおける電子とホールキャリア移動度が異なるために、同一回路作成プロセスにおける同寸法の NMOS と PMOS では、NMOS のオン抵抗より PMOS のオン抵抗が大きくなる。従って、同寸法の NMOS 及び PMOS を用いて CMOS インバータを構成すると、立ち下がり伝搬遅延時間に対して立ち上がり伝搬遅延時間が大きくなる。PMOS のオン抵抗を低減し立ち上がり伝搬遅延時間を低減させて回路の動作を高速化するため、一般に CMOS インバータを構成する NMOS 及び PMOS のチャンネル幅の比は 1:2 程度に設定される。

Static CMOS 論理回路の消費エネルギーは、大きく分けてスイッチング時の負荷容量充放電に伴う消費エネルギー、スイッチング時に NMOS と PMOS の双方がオン状態となることによる電源電圧-GND 間の貫通電流による消費エネルギー、入出力が定常状態にある間の NMOS 及び PMOS のリーク電流による消費エネルギーがある。このうち最も支配的であるのは負荷容量充放電による消費エネルギーである。CMOS インバータの場合、出力の立ち上がり時には電源電圧から PMOS を介して電荷が負荷容量に充電される際に PMOS によって熱散逸が生じ、出力の立ち下がり時には負荷容量の電荷が NMOS を介して GND に放電される際に NMOS によって熱散逸が生じる。この際の消費エネルギーは出力立ち上がり時・出力立ち下がり時ともに次式で与えられる。

$$E_{sw} = \frac{1}{2} C_L V_{DD}^2 \quad (2-5)$$

2.3 単一磁束量子回路の動作原理

2.3.1 Josephson 接合

Josephson 接合は薄い絶縁体を超伝導体で挟み込んだ SIS (Superconductor-Insulator-Superconductor)構造のデバイスである。図 2-6(a)に Josephson 接合の構造図を、図 2-6(b)に Josephson 接合の回路記号を示す。Josephson 接合に電流を流すと、超伝導体を流れる電流がトンネル現象によって薄い絶縁層を通過し、接合の両端に電位差を生じることなく絶縁層を超伝導電流が流れることができる。この現象を直流 Josephson 効果という。接合の両電極における超伝導電流の巨視的波動関数の位相をそれぞれ θ_1 及び θ_2 とすると、直流 Josephson 電流は次式で表される。

$$I = I_C \sin(\theta_1 - \theta_2) = I_C \sin \theta \quad (2-6)$$

ここで、 I_C は Josephson 接合の臨界電流値と呼ばれるパラメータである。接合を流れる電流が I_C を超えると接合は有電圧状態となる。接合に電圧が生じているとき、接合両端の巨視的波動関数の位相差 θ と接合の電圧 V に次式の関係が現れる。

$$V = \frac{\hbar}{2e} \frac{d\theta}{dt} = \frac{\Phi_0}{2\pi} \frac{d\theta}{dt} \quad (2-7)$$

ここで、 e は素電荷、 \hbar は換算プランク定数であり、 $\Phi_0 = \hbar/2e \approx 2.067 \times 10^{-15}$ [Wb]は磁束量子と呼ばれる物理量である。式(2-6)及び式(2-7)から、有電圧状態にある際の接合の電流 I 及び電圧 V に次式の関係が導かれる。

$$I = I_C \sin\left(\frac{2eV}{\hbar} t\right) \quad (2-8)$$

式(2-8)より、接合に直流電圧 V を印加した場合でも接合には交流電流が生じ、これを交流 Josephson 効果という。

超伝導体において、超伝導電流が流れるインダクタンスの両端の巨視的波動関数の位相差 θ と鎖交磁束 Φ には次式で表される 1 対 1 対応の関係がある。

$$\Phi = \frac{\Phi_0}{2\pi} \theta \quad (2-9)$$

電磁誘導の法則より、インダクタンスの両端電圧は鎖交磁束の時間微分に比例する。式(2-9)より超伝導インダクタンスにおいて鎖交磁束は位相差に線形に依存するため、超伝導インダクタンスの両端電圧は位相差の時間微分に比例すると言い換えることができる。この関係は、式(2-7)に示すように Josephson 接合においても成り立っている。このことから、Josephson 接合はインダクタンスと等価な素子ということが可能である。Josephson 接合の位相差に対して式(2-9)で表される Josephson 接合に鎖交する等価磁束を導入すると、式(2-6)及び式(2-7)から Josephson 接合の電流 I 、電圧 V 、等価磁束 Φ の関係は次式で表すことができる。

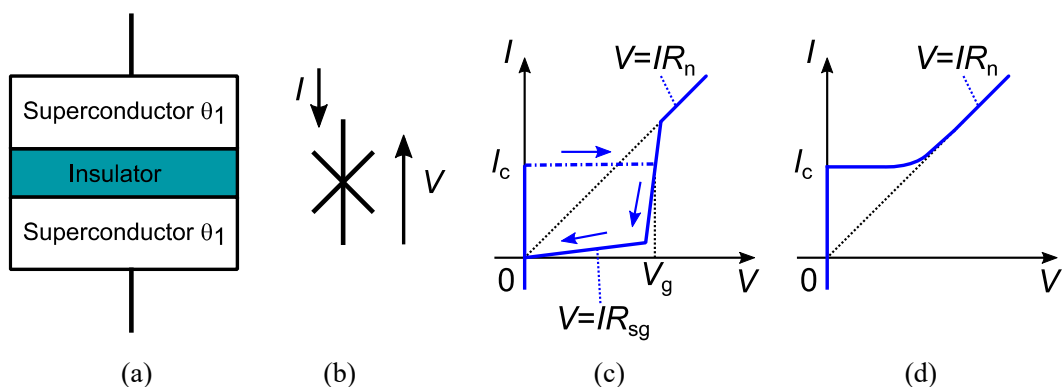


図 2-6 Josephson 接合。(a)構造図、(b)回路記号、(c) $\beta_c \gg 1$ の接合の電流電圧特性、(d) $\beta_c = 1$ の接合の電流電圧特性

$$V = \frac{d\Phi}{dt} \quad (2-10)$$

$$V = \frac{\Phi_0}{2\pi I_c \cos \theta} \frac{dI}{dt} = L_J \frac{dI}{dt} \quad (2-11)$$

ここで、 L_J はインダクタンスの定義に対応する Josephson 接合の等価インダクタンスである。以上より、Josephson 接合は非線形なインダクタンスとしてみなすことができる。

Josephson 接合が有電圧状態となっている際の直流的な電流電圧特性は、McCumber パラメータと呼ばれる値の大小によって大きく 2 つの異なる特性を示す。McCumber パラメータ β_c は次式で表されるパラメータである。

$$\beta_c = \frac{2eI_c R^2 C}{h} \quad (2-12)$$

ここで、 R は接合の有電圧状態における抵抗値、 C は接合のキャパシタンスであり、McCumber パラメータは Josephson 接合を接合抵抗 R 、接合キャパシタンス C 、Josephson インダクタンス L_J からなる並列共振回路とみなしたときの、共振回路の Q 値の 2 乗に相当するパラメータである。 β_c が 1 より大きい値となる時、接合の電流電圧特性にはヒステリシスが現れ、このような接合をアンダーダンパ型という。図 2-6(c)に $\beta_c \gg 1$ の接合の電流電圧特性を示す。アンダーダンパ型の接合では、電流が臨界電流値を超えた後に電流が臨界電流値を下回っても、電流を 0 近くまで下げない限り接合には電圧が生じたままとなる。一方、 β_c が 1 以下の値となる時、接合の電流電圧特性にはヒステリシスが現れず、このような接合をオーバーダンパ型という。図 2-6(d)に $\beta_c = 1$ の接合の電流電圧特性を示す。オーバーダンパ型の接合では、接合の電流が臨界電流値を超えた後に電流が臨界電流値を下回ると、接合は直ちに超伝導状態に戻る。

2.3.2 超伝導量子干渉素子 (SQUID)

SQUID (Superconductive quantum interference device)は、Josephson 接合を用いた超伝導体の閉ループによって構成されるデバイスである。本項では1つの Josephson 接合を含む超伝導ループからなる rf-SQUID を例に挙げる。図 2-7 に rf-SQUID の等価回路図を示す。rf-SQUID は臨界電流値 I_c の Josephson 接合 J_S 及びインダクタンス L_S の閉ループから成り、 I_b は rf-SQUID へのバイアス電流である。また rf-SQUID のループへ外部から磁束を印加するため、インダクタンス L_S には外部インダクタンス L_X が磁気結合されており、この間に相互インダクタンス M_X が存在する。

rf-SQUID のような超伝導体からなるリングにおいて、リング内の超伝導電子の巨視的波動関数はその一価性を保つため、リング一周分の巨視的波動関数の位相差は 2π の整数倍となる。これを位相の量子化と呼ぶ。図 2-7 に示す rf-SQUID においては、位相の量子化から次式が成り立つ。

$$\theta_J - \theta_L - \theta_X = 2\pi n \quad (2-13)$$

ただし、 θ_J は Josephson 接合の位相差であり、 $\theta_L + \theta_X$ はループインダクタンスの位相差である。ここで、 $\theta_J - \theta_L - \theta_X = 0$ と仮定すると、rf-SQUID のポテンシャルエネルギー U は、接合の Josephson エネルギー U_J 及びインダクタンスの磁気エネルギー U_L の和として次式で表される。

$$U = U_J + U_L = \frac{I_c \Phi_0}{2\pi} \left(\frac{1}{2\beta_L} (\theta_J - \theta_X - \theta_b)^2 + 1 - \cos \theta \right) \quad (2-14)$$

ここで、

$$\beta_L = 2\pi \frac{L_S I_c}{\Phi_0} \quad (2-15)$$

$$\theta_b = \beta_L \frac{I_b}{I_c} \quad (2-16)$$

である。また接合を流れる電流は次式で表される。

$$I_J = \sin \theta_J = -\frac{1}{\beta_L} (\theta_J - \theta_X - \theta_b) \quad (2-17)$$

図 2-8 に rf-SQUID のポテンシャルエネルギー及び接合電流の接合位相差に対する変化の模式図を示す。接合電流の特性において、式(2-17)の第 2 項で表される直流 Josephson 効果による特性と第 3 項で示される負荷特性の交点となる位相が、ポテンシャルエネルギーの最低点の位相に対応する。バイアス電流 I_b または外部磁束 Φ_X が 0 の場合、ポテンシャルエネルギーは接合位相差 0 の極小値の状態にあり、接合を流れる電流は 0 で安定する。ここからバイアス電流 I_b または外部磁束 Φ_X を増大させると、rf-SQUID のポテンシャルエネルギー

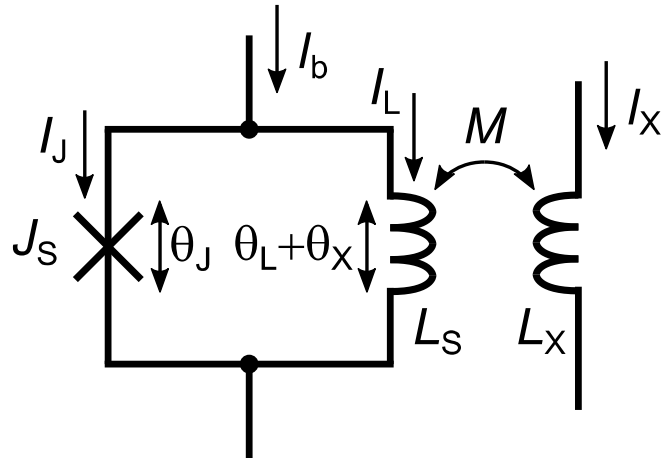


図 2-7 rf-SQUID の等価回路図

一は位相差が 2π となる点の極小値が下がるように変化していく。この間、接合電流は印加したバイアス電流 I_b または外部磁束 Φ_x に応じて増大するが、rf-SQUID は接合の位相差 0 の極小値付近の状態に留まる。さらにバイアス電流 I_b または外部磁束 Φ_x を増大させると、接合電流が臨界電流値を超過したところで交流 Josephson 効果により接合位相差及び接合電流が時間変化し、rf-SQUID のポテンシャルエネルギーは接合位相差 2π の極小値の状態へ不可逆的に遷移する。以上の動作は、rf-SQUID のポテンシャルエネルギーは位相の量子化により接合位相差に対して極小値が存在するため、バイアス電流や外部磁束により接合位相差が一定以上変化すると、Josephson 接合が瞬間的に有電圧状態に遷移し、位相変化を生じさせることでよりエネルギー的に安定な状態へ遷移する、と理解される。

rf-SQUID が接合位相差 0 から 2π へ状態遷移する際、式(2-9)及び式(2-10)より Josephson 接合を横断する磁束はちょうど磁束量子 Φ_0 に相当する。すなわち、Josephson 接合の 2π の位相変化は、Josephson 接合が磁束量子 Φ_0 1 つを横断させ、rf-SQUID 中に取り込むことに相当する。以上のように、SQUID における Josephson 接合は、 2π の位相変化を生じ磁束量子 1 つを横断させるスイッチ素子として働く。このスイッチ特性を活用することで、以降に示す単一磁束量子回路を始めとするデジタル回路応用が可能である。以降では単なる Josephson 接合の有電圧状態・超伝導状態の遷移であるスイッチ動作と区別し、Josephson 接合が 2π の位相変化を生じ磁束量子 1 つを横断させるスイッチ動作のみを「Josephson 接合がスイッチする」と表記する。

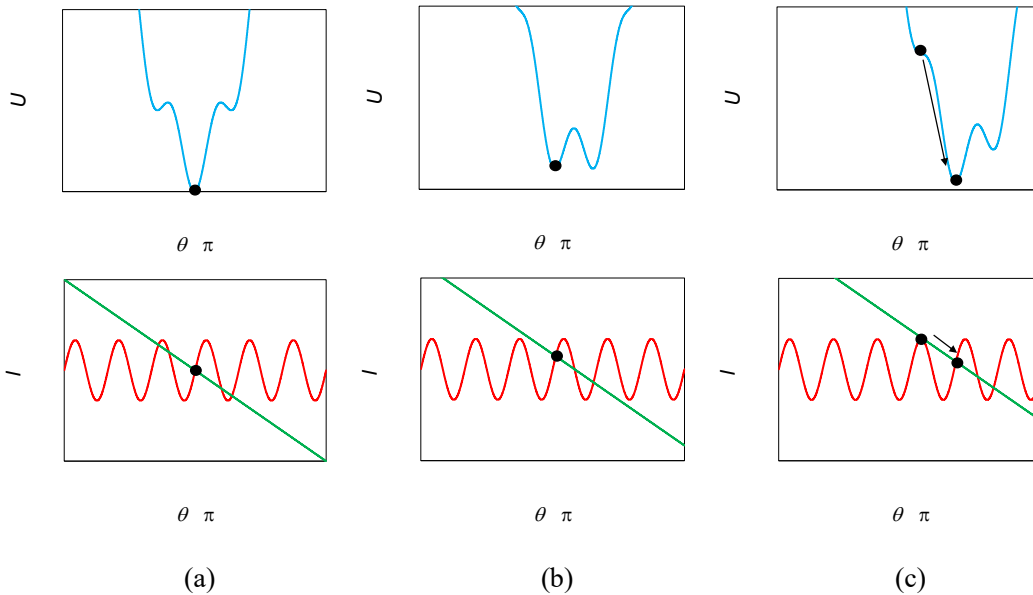


図 2-8 rf-SQUID のポテンシャルエネルギー U 及び接合電流 I_j の接合位相差に対する変化。(a) $\theta_x/2\pi = 0$ または $\theta_y/2\pi = 0$ の場合、(b) $\theta_x/2\pi = 0.5$ または $\theta_y/2\pi = 0.5$ の場合、(c) $\theta_x/2\pi = 1.3$ または $\theta_y/2\pi = 1.3$ の場合。

2.3.3 単一磁束量子 (SFQ)回路

単一磁束量子 (Single flux quantum: SFQ)回路は、SQUID の磁束量子の取り込みによる状態遷移を応用した論理回路方式である。SFQ 回路では SQUID 中に磁束量子があるかないかによって 1 bit の論理値を表現し、SQUID アレーにおける磁束量子の保持や伝搬によって論理の演算や伝達を行う。

SFQ 回路において最も基本となる構成要素は、磁束量子を順に伝搬させる Josephson transmission line (JTL)と呼ばれる構造である。図 2-9 に、JTL の等価回路図を示す。JTL は、オーバードンプ型の Josephson 接合とインダクタンスからなる SQUID が直列に接続された構造から成る。それぞれの SQUID は、Josephson 接合の臨界電流値を超えない程度の電流が各接合に流れるように直流電流でバイアスされている。ある SQUID の一方の Josephson 接合がスイッチし、SQUID に磁束量子が取り込まれると、その SQUID には磁束量子に相当する周回電流が発生する。この周回電流とバイアス電流の和が SQUID のもう一方の Josephson 接合をスイッチさせると、このスイッチングにより SQUID から磁束量子は抜け去り、磁束量子は一つ隣の SQUID に押し出される。この動作を繰り返すことで、磁束量子は SQUID アレーを順に伝搬していく。接合のスイッチングにおいて、 2π の位相変化・磁束量子 Φ_0 の横断に伴って、接合両端には次式の関係を満たすパルス状の電圧が発生する。

$$\int V dt = \Phi_0 \quad (2-18)$$

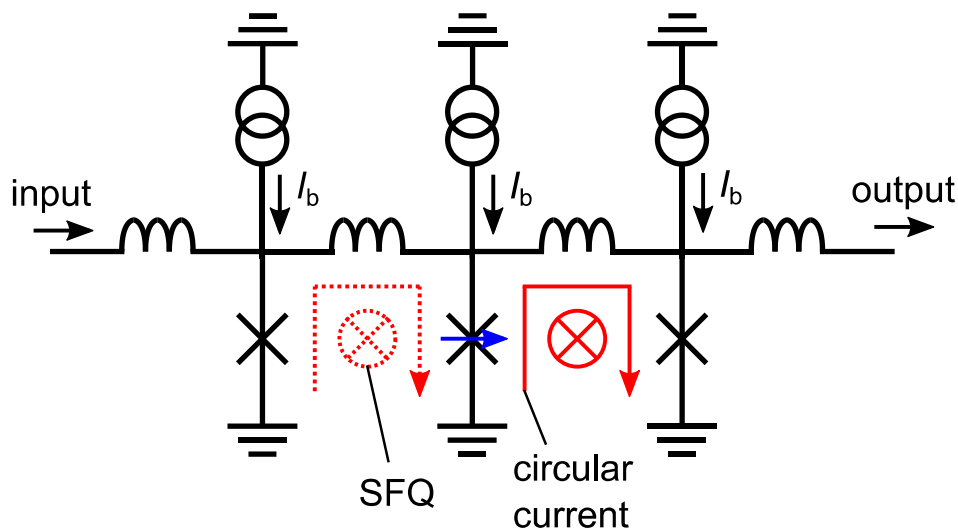


図 2-9 Josephson transmission line (JTL)の等価回路図

このパルス電圧を SFQ パルスと呼ぶ。JTL における磁束量子の伝搬は、これを構成する Josephson 接合に発生する SFQ パルスの伝搬として捉えることができ、SFQ 回路における論理値は SFQ パルスの有無によって論理“1”及び論理“0”と捉えることができる。SFQ パルスは時間幅数 ps、振幅数 $100 \mu\text{V} \sim 1 \text{mV}$ 程度の高速かつ低振幅な電圧パルスであり、これが SFQ 回路の高速性・低消費電力性の起源である。

JTL においては、SQUID に入力された磁束量子による周回電流によって Josephson 接合をスイッチさせるよう、Josephson 接合の臨界電流値 I_c とインダクタンス値 L は決定され、一般に $LI_c < 0.5\Phi_0$ 程度の値が設定される。一方で、JTL に対してより高臨界電流値・高インダクタンスのパラメータを設定することで、周回電流が発生しても Josephson 接合がスイッチせず、SQUID 中に磁束量子を保持する回路を構成することが出来る。さらに保持された磁束量子を別の磁束量子の入力によって読み出す機構を設けることで、DFF としての機能を有する回路を構成することが出来る。

図 2-10(a)に SFQ DFF の等価回路図を示す。DFF において、入力ポート D から磁束量子が入力された際、インダクタンス L_{sl} と Josephson 接合 J_{out} の臨界電流値 $I_{c_{out}}$ がそれぞれ十分大きく設定されており、入力された磁束量子は Josephson 接合 J_{out} をスイッチさせず、この SQUID 中に保持される。一般に $L_{sl}I_{c_{out}} > \Phi_0$ 程度の値が設定され、このような SQUID はストレージループと呼ばれる。ストレージループの状態を読み出すため、DFF の入力ポート clk から磁束量子を入力する。clk 入力からの JTL は接合 J_e を直列に挟んでストレージループの接合 J_{out} に接続されており、 J_e はその臨界電流値を J_{out} よりも小さく設定されている。ストレージループ中に磁束量子が保持されている間に clk から磁束量子が入力されると、この入力に伴う周回電流とストレージループ中の周回電流の和によって接合 J_{out} がスイッチし、出力ポート Q から磁束量子が出力される。一方、ストレージループ中に磁束量子が保持されていない間に clk から磁束量子が入力された場合は、接合 J_{out} でなく接合 J_e がスイッ

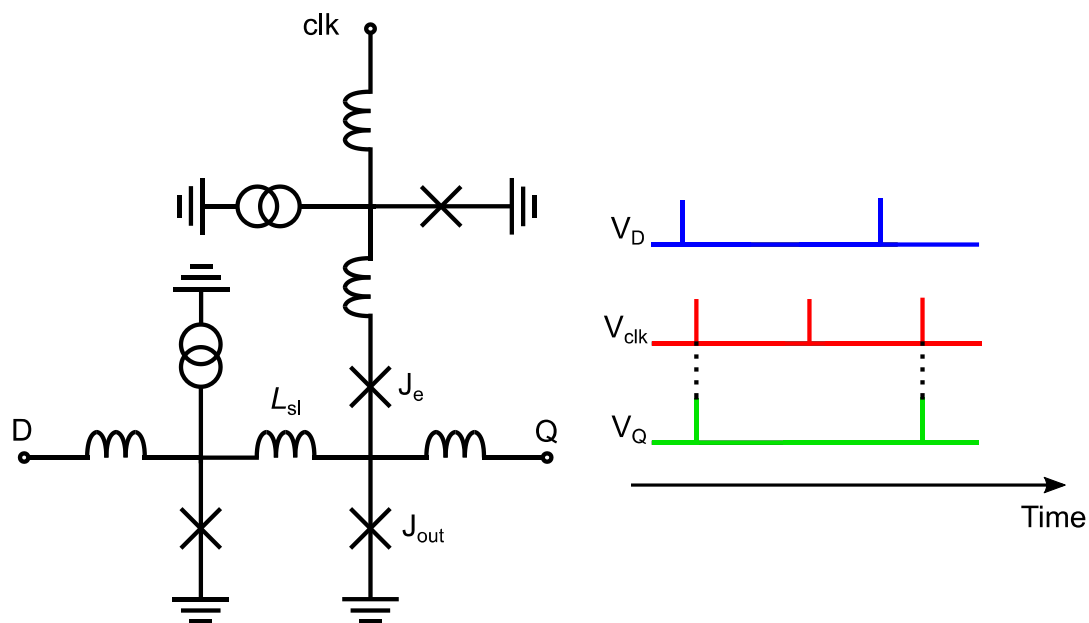


図 2-10 SFQ DFF。(a)等価回路図、(b)時間波形例。

チする。これによって clk から入力された磁束量子は回路の外にエスケープされ、出力ポート D から出力されることはない。このようにして、SFQ DFF はストレージループへの磁束量子の保持及びその読み出しを行う。なお、接合 J_e のような、磁束量子を回路から外に逃がすための接合はエスケープ接合と呼ばれる。図 2-10(b)に SFQ DFF の時間波形例を示す。SFQ DFF の磁束量子の保持・読み出しという動作は、入力ポート D の SFQ パルス入力があるとき、クロック入力ポート clk からの SFQ パルス入力によって同期され、出力ポート Q から SFQ パルス出力として出力される動作に相当する。これは論理回路において入力の論理をクロックに同期させて出力する DFF に相当することが分かる。

SFQ 回路における論理ゲートは、SFQ DFF の保持・読み出しの機構を変更することにより実現される。例として、図 2-11(a)に SFQ 2 入力 OR ゲートの等価回路図を示す。SFQ 2 入力 OR ゲートは、SFQ DFF のデータ入力側の JTL を、2 チャンネルの JTL を結合させた構成に組み替えた構成をしている。データ入力 A 、 B どちらから磁束量子が入力された場合でも、ストレージループに磁束量子が保持される。この際、データ入力 A または B からの磁束量子の入りに伴いエスケープ接合 J_{eB} または J_{eA} がスイッチすることで、もう一方のデータ入力への磁束量子の逆流が防がれるようになっている。またデータ入力 A 及び B 双方からの磁束量子が入力された際も、エスケープ接合 J_{eB} または J_{eA} がスイッチすることで一方の磁束量子のみがストレージループに保持されるようになっている。図 2-11(b)に SFQ 2 入力 OR ゲートの時間波形例を示す。SFQ 2 入力 OR ゲートは、入力 A 及び入力 B のいずれか一方または両方から SFQ パルスが入力された後に clk から SFQ パルスが入力されると、出力 Q から SFQ パルスを出力する。この動作は、2 入力のいずれか一方または両方の論理“1”の入力があった際に、クロック入力に同期して論理“1”を出力するクロック有り 2 入力 OR ゲートに相当することが分かる。

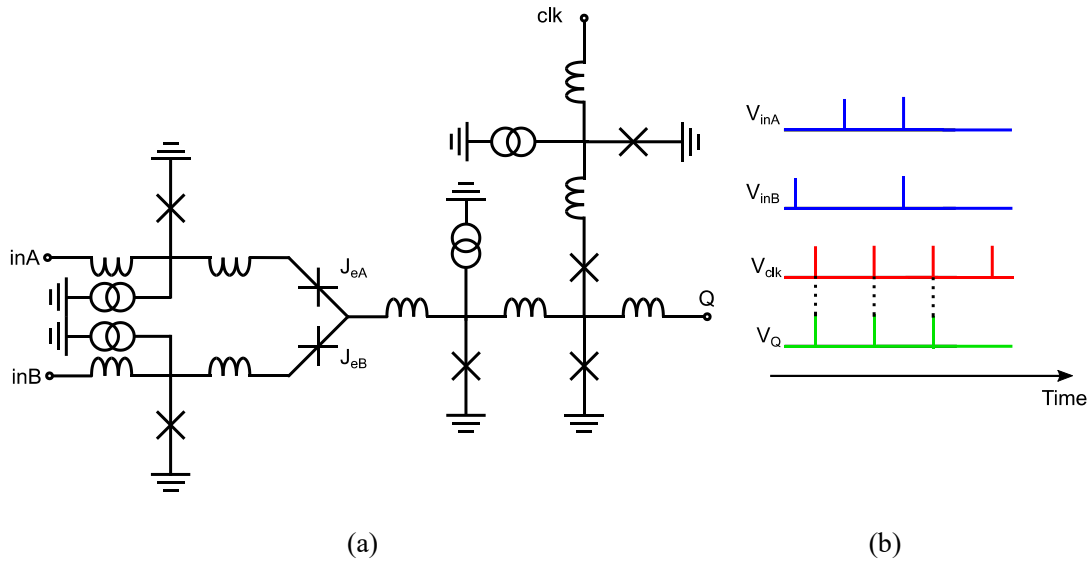


図 2-11 SFQ 2 入力 OR ゲート。(a)等価回路図、(b)時間波形例。

時間幅が数 ps 程度である SFQ パルスは高い周波数成分から成るため、SFQ パルスは高周波回路的に電磁波として伝送線路を伝搬させることが可能である。超伝導のストリップラインやマイクロストリップラインを用いて SFQ パルスを伝搬させる回路を **Passive transmission line (PTL)** という。図 2-12 に PTL の等価回路図を示す。PTL は超伝導のストリップラインやマイクロストリップラインから成る伝送線路に対し、インピーダンスマッチングのために挿入されるドライバ回路及びレシーバ回路から構成される。Josephson 接合の非線形性からドライバ・レシーバと伝送線路間にはミスマッチが生じるため、その反射波による誤動作を防ぐためにドライバ回路には抵抗が直列に挿入される。またこの抵抗はドライバ・伝送線路・レシーバ間の超伝導ループを切断する役割も担っている。ゼロ抵抗に起因する無損失・無分散な特性から、PTL は SFQ パルスを弾道的に高速で長距離伝搬させることが可能である。

2.3.4 SFQ 回路の動作速度及び消費エネルギー

SFQ 回路の動作速度は Josephson 接合のスイッチング速度に依存する。SFQ 回路における Josephson 接合のスイッチングは式(2-18)を満たす SFQ パルスの発生を伴うスイッチングであり、接合の有電圧状態における抵抗値を R とすると SFQ パルスの振幅が $I_c R$ 程度の値となることからその時定数 t_{sw} は次式で近似できる。

$$t_{sw} = \frac{\Phi_0}{I_c R} = \sqrt{\frac{2\pi\Phi_0 C_0}{\beta c j_c}} \quad (2-19)$$

ここで、 C_0 は Josephson 接合の単位面積あたりのキャパシタンス、 j_0 は Josephson 接合の単位面積あたりの臨界電流密度である。式(2-19)の第 3 項より、Josephson 接合のスイッチング

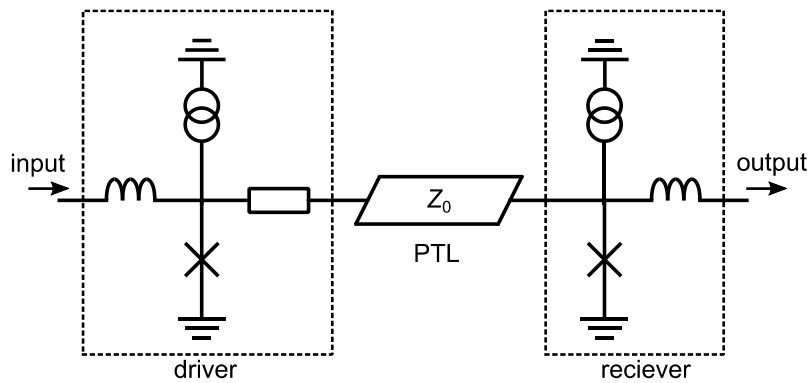


図 2-12 PTL の等価回路図

時間は Josephson 接合の臨界電流密度の逆数の平方根に反比例することが分かる。このように、SFQ 回路において Josephson 接合の臨界電流密度は動作速度に影響する重要なパラメータである。また臨界電流密度の向上は Josephson 接合の面積を低減させることから、臨界電流密度の向上に伴う回路の微細化によって SFQ 回路の動作速度は向上するというスケールアップが成り立つ。

SFQ 回路の消費エネルギーは、Josephson 接合のスイッチングによる動的消費エネルギーとバイアス電流による静的エネルギーがある。Josephson 接合がスイッチした際に消費されるエネルギーは $E_{sw} = \Phi_0 I_c$ となる。接合の臨界電流値は主にこのスイッチングエネルギーが熱エネルギー $k_B T$ に対して十分大きい値でなければならないという制約から決められ、液体ヘリウム温度 4.2 K での動作を想定した設計では $I_c = 100 \sim 200 \mu A$ 程度とされるのが一般的である。この際のスイッチングエネルギーは 0.2 ~ 0.4 aJ 程度の値となり、この値は CMOS 論理回路におけるスイッチングエネルギーと比較して 3 桁程度低い。

SFQ 回路の静的消費エネルギーは、バイアス電流を印加する電流源回路の構成によってことなる。最も基本的なバイアス方式の SFQ 回路は、電圧源から直列にバイアス抵抗を挿入し、バイアス抵抗を介してバイアス電流を供給する RSFQ (Rapid single-flux-quantum) 回路 [6] である。RSFQ 回路においては、このバイアス抵抗は Josephson 接合のスイッチングによる回路中の各ノードの電位変化に対してバイアス電流が変動しない程度に十分大きな値である必要がある。典型的にはバイアス抵抗に印加するバイアス電圧が 2-3 mV 程度となるような抵抗が設定され、この際のバイアス抵抗における消費エネルギーはスイッチングエネルギーに対して 1 桁以上大きい値となる。

より低消費エネルギーなバイアス方式の SFQ 回路として、バイアス線に大きなインダクタンスを挿入することバイアス抵抗を低減させる LR-SFQ 回路 [26]、回路の動作速度を落とす代わりにバイアス電圧とバイアス抵抗を低減させる LV-SFQ 回路 [27]、バイアス抵抗の代わりに Josephson 接合のスイッチングを用いてバイアス電流を供給する ERSFQ 回路 [28] などの方式が提案されている。また、SFQ 回路とは異なる動作原理として、交流バイアス電流による駆動を原理とする RQL 回路 [29] や QFP 回路 [30]、AQFP 回路 [31] がある。これらは磁

気結合を介して回路を構成する SQUID にバイアスが印加されるためバイアス抵抗が存在せず静的消費エネルギーがなく、またスイッチング速度を低減させることで動的消費エネルギーを低減させることが可能である。なお、今日において「SFQ 回路」という語は広義には RSFQ 回路及びそのバイアス方式を変更した回路方式群に加え RQL 回路や QFP 回路等も含む磁束量子を情報担体とする回路方式全般を、狭義には RSFQ 回路及びそのバイアス方式を変更した回路方式群のみを指すことが多い。以下、本論文では「SFQ 回路」は RSFQ 回路及びそのバイアス方式を変更した回路方式群を指す。

2.4 SFQ 回路の設計、実装

2.4.1 SFQ 回路のクロッキング方式

SFQ 回路は SFQ パルスの有無に論理値を対応させる回路である。このとき、電圧レベル信号で論理値を表現する CMOS 回路とは異なり、SFQ パルスの有無だけでは論理値を表現できない。あるノードに SFQ パルスが出力されていないとき、これが論理“0”の出力結果であるのか、それとも SFQ パルスがノードに到着していないのかがそれだけでは区別できないためである。SFQ 回路における論理ゲートは全てクロック入力を有するが、これは上述の DFF に基づき各種論理ゲートが構成による原理からの帰結であるのと同時に、論理“0”のデータを表現するためにデータは SFQ クロックパルスと対となって扱われる必要があるためである。SFQ クロック入力の配線は、SFQ データ入力と同様に JTL や PTL の能動性を持つ遅延要素を介して入力されるため、SFQ 回路のタイミング設計においてはクロックの配線遅延を考慮した設計が為される必要がある。以下に SFQ 回路におけるクロッキング方式の差異を示す。

図 2-13 にコンカレントフロークロッキングの模式図を示す。コンカレントフロークロッキングはデータの流れる方向に対して同方向に進むようにクロック配線を施し、論理ゲート間のデータ配線に遅延を挿入することで論理ゲートのタイミング制約を満足させるクロッキング方式である。この方式ではクロックがデータより先に回路を伝搬するため回路全体のレイテンシが小さく、また高いクロック周波数で動作させることが可能である利点がある。

図 2-14 にクロックフォロワーデータクロッキング方式の模式図を示す。クロックフォロワーデータクロッキングではコンカレントフロークロッキングと同様、データの流れる方向に対して同方向に進むようにクロック配線を施すが、論理ゲート間のクロック配線に遅延を挿入する点がコンカレントフロークロッキングと異なる。クロックフォロワーデータクロッキングではコンカレントフロークロッキングや後述のクロック方式と異なり、1度のデータ入力に対して 1 つのクロック入力回路全体の動作を完了させることが可能である利点を持つ。論理ゲートが有するデータ出力の遅延に対しこれを上回るようにデータ線に遅延を

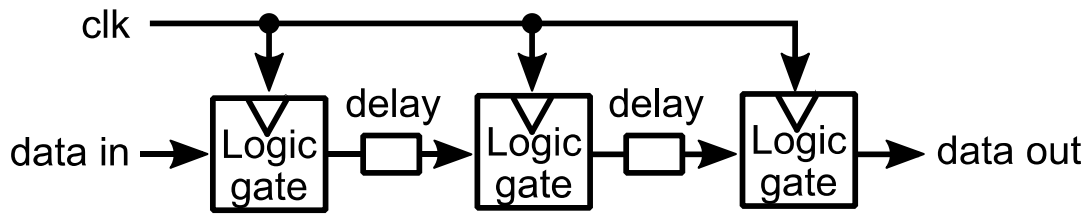


図 2-13 コンカレントフロークロッキングの模式図

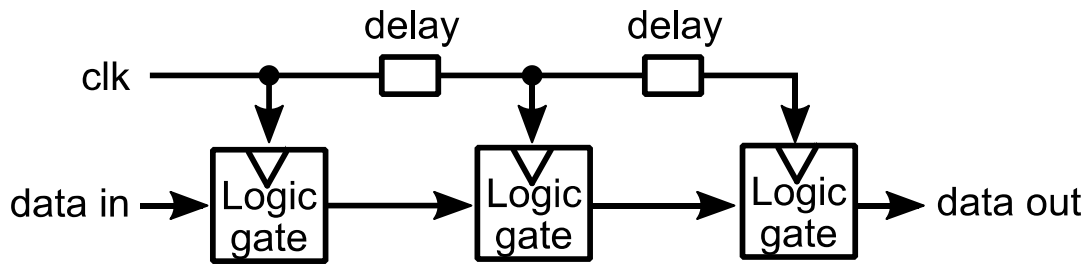


図 2-14 クロックフォロワーデータクロッキングの模式図

挿入してタイミング制約を満足させるため、コンカレントフロークロッキングと比較して最高動作周波数、レイテンシ、回路規模はやや悪化する。

図 2-15 にカウンタフロークロッキングの模式図を示す。カウンタフロークロッキングでは、データの流れる方向に対して逆方向に進むようにクロック配線を施すクロッキング方式である。この方式では、後段の論理ゲートの動作が完了してから前段の論理ゲートからのデータが入力されるためホールドタイム違反のタイミングエラーが原理的に生じないという利点を持つ。またカウンタフロークロッキング方式では回路全体のクロック入力に対するデータ出力の遅延が小さいことや配線コストが低い利点がある。一方、論理ゲートにおけるクロック入力に対するデータ入力の遅延が遅くなるため、コンカレントフローやクロックフォロワーデータに対して動作周波数が低いという欠点を有する。

2.4.2 CONNECT セルライブラリ

CMOS 回路におけるデジタル設計と同様、SFQ 回路のデジタル設計においても論理ゲートや配線等の一定の構造を有するセルと呼ばれるコンポーネントを設計時の要素単位とするセルベース設計が行われる。CMOS 回路と比較した際の SFQ 回路のデジタル設計における困難さは、動作周波数が高いためよりシビアなタイミング調整が求められること、全ての論理ゲートがクロック入力を必要とするためより複雑なクロック配線が求められること、クロック配線を含む配線部分における能動的な遅延を考慮したタイミング設計が求められることによる。加えて、遅延を望まない配線においても JTL や PTL のドライバ・レシーバが能動的な遅延素子として働いてしまう点や、回路を構成するインダクタンス値と

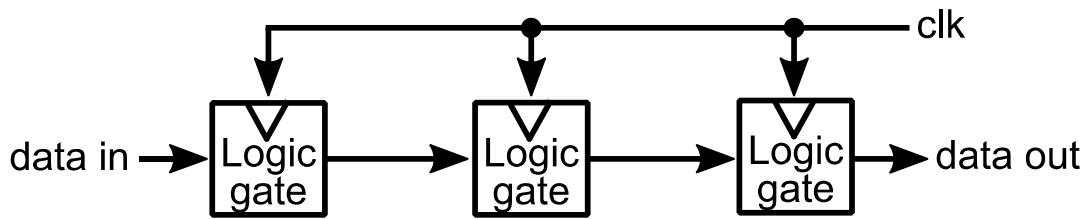


図 2-15 カウンタフロークロッキングの模式図

接合臨界電流値に求められる制約から生じる物理レイアウト上への制約は、緻密かつ複雑なタイミング設計と実現可能な物理的レイアウトの両立を困難にする。言い換えると、SFQ回路におけるタイミング設計は物理的レイアウトを強く意識して行う必要があり、またSFQ回路において配線の物理的レイアウトは回路の性能に大きく影響する。

上記の問題に対し、レイアウトと等価回路図を1対1に対応させたセルにより構成されるセルライブラリを用いることで、SFQ回路のタイミング設計と実レイアウトの両立を容易にする手法がある。CONNECT (Cooperation of Nagoya university, NEC, CRL and YNU Team) セルライブラリ[32]は、この手法に対応するSFQセルライブラリである。CONNECTセルライブラリは各種論理ゲートや配線セルを含む数百のセルから構成され、後述するAIST 10-kA/cm² Nb アドバンスドプロセス等のプロセス用のライブラリが構築されている[33]。CONNECTセルライブラリ中のセルには、デジタル設計において用いられる実レイアウトに対応した形状のシンボルが設定されている。これにより、デジタル設計時においてセルを配置・接続しタイミング調整を行う設計フローは、同時に1対1対応する回路の実レイアウトを設計していることに相当し、タイミング設計と実レイアウトの両立が可能となっている。以下、本論文ではSFQ回路のデジタル設計においてはRSFQ回路に基づくCONNECTセルライブラリを用いている。

s

2.4.3 AIST Nb Josephson 回路作製プロセス

SFQ回路は、CMOS回路と同様に基板上にスイッチ素子と配線を積層させる回路作製プロセスで作成される。筆者の研究グループでは、産業技術総合研究所 (AIST)が保持しているNb/AlOx/Nb接合を用いるJosephson回路作製プロセスを用いてSFQ回路の設計、試作及び評価を行っている。本論文におけるSFQ回路の設計及び試作では、AIST 10-kA/cm² Nb アドバンスドプロセス (AIST-ADP2) [49]を用いている。AIST-ADP2は、Si基板にNb配線層、SiO₂絶縁層、Mo抵抗層、Nb/AlOx/Nb Josephson接合層を積層するプロセスである。AIST-ADP2は9層のNb配線層が使用可能であり、最下層から順にDCP (DC power supply)層、GND1層、PTL1層、GND2層、PTL2層、GND3層、GP層、BAS層、COU層と呼称される。各層の最小線幅は1 μmである。GP層より下部の層はGND3層までで完全に平坦化されており、GP層は回路全体のグラウンドプレーンとして用いられる。AIST-ADP2用のCONNECT

表 2-1 AIST-ADP2 における Josephson 接合のパラメータ

項目	パラメータ
接合臨界電流密度 J_c	10 kA/cm ²
最小接合面積	1.0 × 1.0 μm ² ($I_c=100$ μA)
接合容量 C_0	0.064 pF ($I_c=100$ μA あたり)
常伝導抵抗 R_n	16 Ω ($I_c=100$ μA あたり)
サブギャップ抵抗 R_{sg}	100 Ω ($I_c=100$ μA あたり)
ギャップ電圧 V_g	2.8 mV

セルライブラリにおいて、GP 層より上の層は SFQ 回路における JTL 等のコンポーネントに用いられ、GND1-GND3 層までの層は SFQ 回路における PTL 配線に用いられる。また最下層の DCP 層は SFQ 回路の直流バイアス電流の供給に用いられる。表 2-1 に AIST-ADP2 における Josephson 接合のパラメータを示す。

第3章 Josephson-CMOS ハイブリッドメモリ

3.1 本章概要

本章では、これまでの Josephson-CMOS ハイブリッドメモリの研究状況について述べ、次いで筆者の研究グループでこれまでに構築された 64-kb Josephson-CMOS ハイブリッドメモリの構成について述べる。

3.2 Josephson-CMOS ハイブリッドメモリの研究状況

Josephson-CMOS ハイブリッドメモリそのものの構築と実証に関する研究としては、現在まで U. C. Barkley の研究グループによる 64-kb Josephson-CMOS ハイブリッドメモリ[22]と、筆者の研究グループによる 64-kb Josephson-CMOS[25]の2つが動作実証に至っている。両者とも、低温での CMOS メモリの駆動及び CMOS メモリの出力ビットラインと Josephson 電流センサの結合という Josephson-CMOS ハイブリッドメモリの元来のコンセプト[21]を、実回路における動作実証に至らしめた成果である。前者の U. C. Barkley による 64-kb Josephson-CMOS ハイブリッドメモリは、TSMC 65 nm CMOS プロセス及び、Hyres 4.5-kA/cm² Nb Josephson プロセスを用いて設計・実装され、このメモリの動作実証は 64-kb という規模の Josephson 回路コンパクトな 4.2 K メモリとしては世界初かつ現在に至るまで最大の実証例である。

Josephson-CMOS ハイブリッドメモリに関連する現在行われている研究は、インターフェース回路の改善とメモリ応用におけるアーキテクチャや周辺回路の検討といったものがある。Josephson-CMOS ハイブリッドメモリにおける最もチャレンジングな点は、SFQ 回路からの振幅数 mV の微弱な信号を CMOS 回路における振幅数 V の信号レベルにまで増幅する必要がある点である。実証された Josephson-CMOS ハイブリッドメモリにおける信号増幅インターフェースは、消費電力と動作速度のトレードオフの妥協点として、Suzuki stack と呼ばれる Josephson 電圧ドライバ[34]と CMOS 増幅器の組み合わせとして最適化されている。これらの増幅回路は、メモリ全体の消費電力とアクセスタイムの大半を占めており、メモリ全体の性能を制限している。近年、nanocryotron (n-Tron) と呼ばれる超伝導デバイスが開発され[35]、Josephson-CMOS ハイブリッドメモリにおける新たなインターフェース回路として期待されている。nTron は Suzuki stack と比較して CMOS 増幅器を必要としない高ゲインと低消費電力性が実現でき、nTron を導入した低消費電力な Josephson-CMOS ハイブリッドメモリの検討[36]が行われている他、SFQ パルスによる nTron の駆動の実証[37]や nTron による CMOS メモリの駆動の実証[38]といった取り組みが行われている。またアーキテクチャ

や周辺回路に関する検討としては、インターフェース回路におけるエラー訂正回路の設計[39]や汎用計算システムに Josephson-CMOS ハイブリッドメモリを統合するためのコントローラ的设计[40]などの実証例の他、汎用計算システム以外の場面における Josephson-CMOS ハイブリッドメモリの有効な応用先として SFQ ニューラルネットワークプロセッサにおけるスクラッチパッドメモリへの応用の検討[41]などが進んでおり、Josephson-CMOS ハイブリッドメモリの実用可能性を引き上げるための研究が現在も種々進められている。

筆者の研究グループにおける 64-kb Josephson-CMOS ハイブリッドメモリは、SFQ 汎用計算システムにおけるキャッシュメモリとしての応用を主目標として、目標動作周波数 1 GHz とし、Rohm 180 nm プロセス及び AIST 2.5-kA/cm² Nb 標準プロセスを用いて設計・実装されてきた。その構築に関する取り組みには、4.2 K における Rohm 180 nm プロセスのデバイスモデルの構築[24]、8T-SRAM を用いた 4.2 K 用 64-kb SRAM マクロの構築[42]、各種 Josephson-CMOS インターフェース回路の構築や安定化及び並列化[43]-[45]、アクセスタイムの測定[46]、CMOS メモリの低消費電力化等といった研究[25]が含まれ、最終的に全要素回路を統合した Josephson-CMOS ハイブリッドメモリの動作実証にまで至っている。実証実験においては全 11-b アドレス入力及び 32-b データ中の 6-b 入出力を SFQ パルス入出力により制御し、正常なメモリアクセス動作に成功している。U. C. Barkley の Josephson-CMOS ハイブリッドメモリでは SFQ パルス入出力によるアクセス実証はされておらず、またその入出力信号数は 3-b アドレス入力、2-b データ入出力と絞られていたことと比較すると、こちらの動作実証はメモリの SFQ 回路への統合に向けてより実応用に近い環境での実証結果が示されていると言える。一方で、動作実証においては主に測定環境の都合から 100 kHz 以下の低周波における機能試験のみが実施されており、Josephson-CMOS ハイブリッドメモリ全体の目標動作周波数 1 GHz に至るまでの高周波試験はこれまで行われていない。要素回路ごとの動作実証においては CMOS 増幅器単体が最高動作周波数 550 MHz での動作が確認されており[43]、また CMOS 差動増幅器を含む 64-kb CMOS SRAM マクロは動作周波数 100 MHz での動作が示されている[42]。一方、SFQ 回路側のインターフェース回路である Josephson latching driver 及び Level-driven DC-SFQ converter は、現在の方式の実装における高周波試験はそれぞれ単体でも未だ行われていないのが現状である。またアナログシミュレーションによりそれぞれの要素回路全てが周波数 1 GHz 以上で動作可能であることは示されているが、実回路において存在する SFQ チップと CMOS チップ間の相互接続部における寄生成分はそのモデリングがなされていないためこれらを考慮したシミュレーションは行われておらず、実回路においてはこれらの寄生成分によりメモリ全体の動作周波数が制限される可能性がある。そのため、64-kb Josephson-CMOS ハイブリッドメモリの高周波における動作実証に関しては、SFQ 回路側のインターフェース及び SFQ チップと CMOS チップの相互接続部の動作速度について評価を行う必要がある。

3.3 64-kb Josephson-CMOS ハイブリッドメモリ

3.3.1 64-kb Josephson-CMOS ハイブリッドメモリの全体構成

以下、本節では文献[25]に示す 64-kb Josephson-CMOS ハイブリッドメモリについて示す。図 3-1 に 64-kb Josephson-CMOS ハイブリッドメモリのブロック図を示す。64-kb Josephson-CMOS ハイブリッドメモリは、SRAM を用いた 64-kb の CMOS メモリに対し Josephson-CMOS インターフェース回路を組み合わせることで、64-kb CMOS SRAM に対する SFQ パルス入出力によるアクセスを可能とした構成である。メモリの入力側のインターフェース回路は、Josephson 回路により実装される Josephson latching driver (JLD) 及び CMOS 回路により構成される CMOS 差動増幅器の二段構成である。JLD は SFQ 回路から入力される SFQ パルスを振幅 40 mV 程度の電圧レベル信号に変換し、CMOS 差動増幅器は 40 mV 振幅の信号をさらに CMOS ロジック電源電圧 1.8 V まで増幅することで、CMOS メモリを駆動可能な信号に変換する。メモリの出力側のインターフェース回路は、Level-driven DC-SFQ converter (LDDS) が用いられる。LDDS は CMOS メモリのビットラインに流れる出力電流を検出し、SFQ パルスに変換し出力する。CMOS メモリ部分は、主に 8T-SRAM によるメモリセルの配列と、各メモリセルを選択する CMOS デコーダ回路から構成される。64-kb のメモリ配列は、1 語 32-bit 長のメモリセルアレーを 256-word 並べたブロックが 8 つ配列された構成となっている。CMOS デコーダはワードアドレスを指定する 8-to-256 ワードデコーダと、ブロックアドレスを指定する 3-to-8 ブロックデコーダの 2 つのデコーダを用いており、これらによって 1 語 32-bit のメモリセル領域が指定される。またデコーダは read/write の動作モードを指定するイネーブル信号の入力を要求し、これらの信号によってメモリに書き込み動作を行わせるか読み出し動作を行わせるかを選択する。

3.3.2 Josephson-CMOS インターフェース回路

(a) Josephson latching driver

図 3-2 に JLD の等価回路図を示す。JLD は Suzuki stack と呼ばれる Josephson 接合の並列スタックアレーによる電圧ドライバ[34]と、そのプリアンプとして用いる 4JL gate[47]から構成される。SS 及び 4JL はそれぞれアンダーダンプ型の Josephson 接合から構成され、交流バイアス電流でバイアスされる。交流バイアス電流がオン状態で流れている間に入力端から SFQ パルスが入力されると、4JL 及び SS を構成する Josephson 接合が有電圧状態に遷移し、出力には 40 mV 程度の電圧が発生する。交流バイアス電流がオン状態で流れている間はこの出力電圧は保持されるため、出力はレベル電圧信号として後段の CMOS 回路の駆動に適した信号と変換される。JLD についての詳細は 6 章で述べられる。

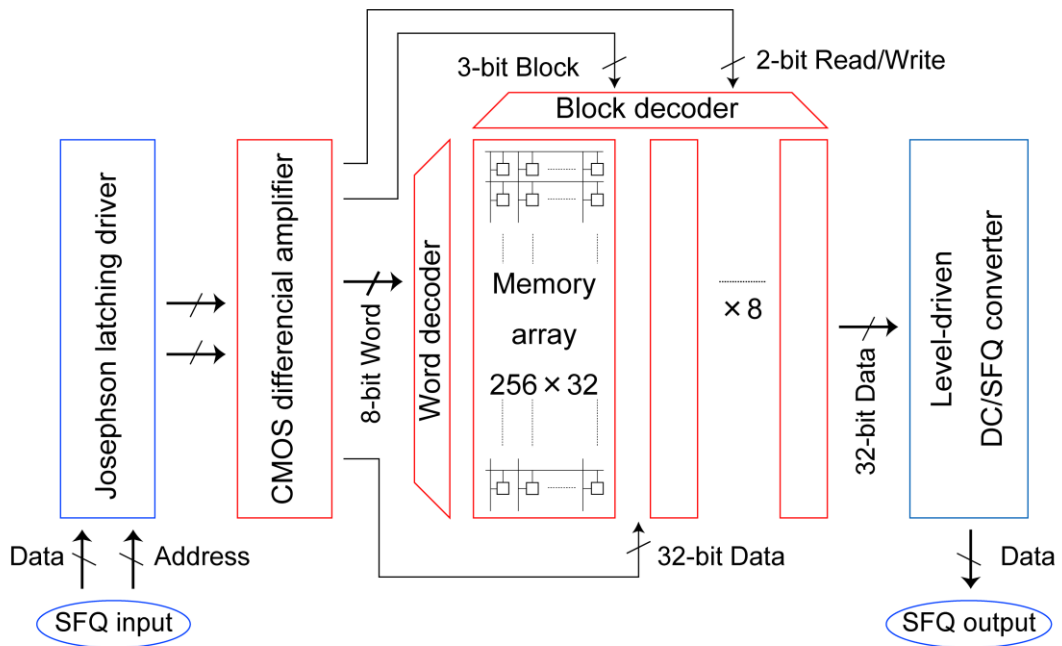


図 3-1 64-kb Josephson-CMOS ハイブリッドメモリのブロック図

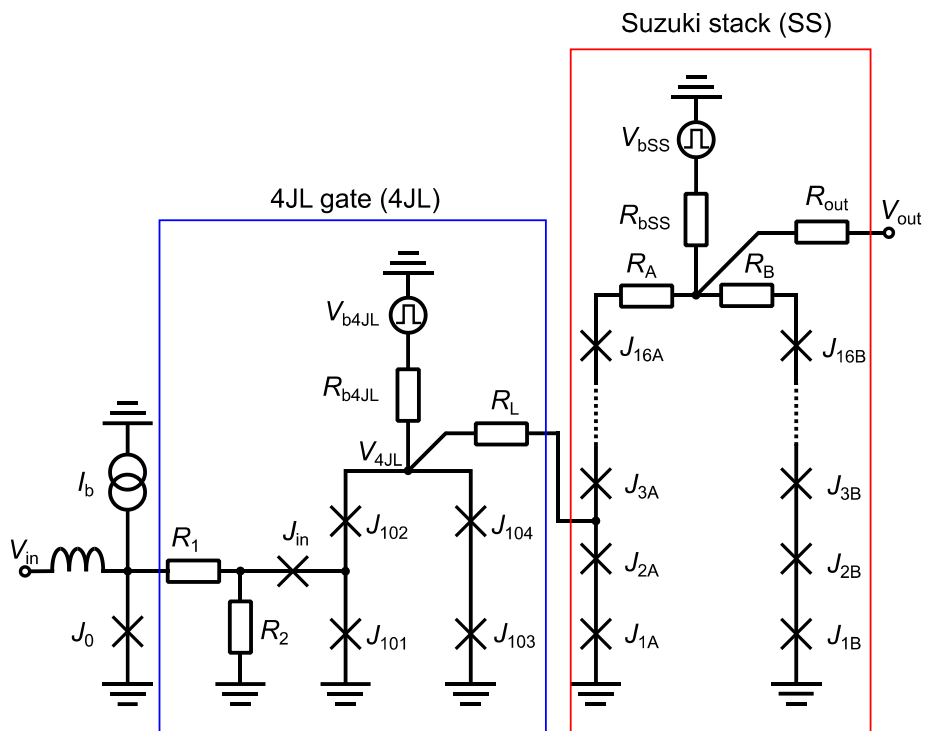


図 3-2 Josephson latching driver の等価回路図

(b) CMOS 差動増幅器

図 3-3 に CMOS 差動増幅器の等価回路図を示す。CMOS 差動増幅器は、図中 M5-M8 から成るセルフバイアス差動増幅器[48]に対し、前段に M1-M4 からなるレベルシフタ、後段に M9-M12 からなるバッファを組み合わせた構成となっている。レベルシフタは M21、M22 を負荷とする M31、M32 の PMOS による差動ソースフォロワ回路となっており、M1 及び M4 はセルフバイアスのために挿入されている。ソースフォロワ回路により、M31 のゲート電圧である入力電圧 40 mV と M32 のゲート電圧である 0 V の電位差を、ロジック電源電圧 1.8 V の中間 0.9 V 程度のレベルにまでシフトさせる。セルフバイアス差動増幅器は、M71 及び M72 による NMOS 差動増幅器と、M61 及び M62 による PMOS 差動増幅器がドレインを共有するように接続され、M5 及び M8 によりセルフバイアスされる構造となっている。セルフバイアス差動増幅器により増幅された電圧信号は、さらにバッファ回路によってその振幅がロジック電源電圧 1.8 V のフルスイングまで増幅される。

(c) Level-driven DC-SFQ converter

図 3-4 に LDDS の等価回路図を示す。入力端 clk からクロック SFQ パルスが入力され接合 J_3 がスイッチした後、入力電流の大小に応じて接合 J_1 及び J_2 のいずれか一方がスイッチすることで、ある一定のしきい値に対する入力電流の大小を判定する。入力電流がしきい値より大きい場合は接合 J_2 がスイッチし、続いて接合 J_4 がスイッチすることで出力端 out に SFQ パルスが出力される。入力電流がしきい値より小さい場合はエスケープ接合である接合 J_1 がスイッチし、出力端に SFQ パルスは出力されない。以上の動作により、LDDS は CMOS メモリからの出力電流を検出し SFQ パルスに変換して出力する。

3.3.3 64-kb CMOS メモリの構成

(a) 8T-SRAM セル

64-kb Josephson-CMOS メモリのメモリセルには 8T-SRAM が用いられる。図 3-5 に 8T-SRAM の等価回路図を示す。8T-SRAM は、図中で示す M1-M6 のトランジスタからなる通常の 6T-SRAM に対し、読み出し用トランジスタ M7、M8 を追加して 2 ポート化した SRAM セルである。書き込み動作においては、書き込み用ワード線 WWL (write word line) を高電位にすることで書き込み用トランジスタ M5 及び M6 をオン状態とし、この状態で書き込みビット線 BL (write bit line) 及びその相補線 WBL_{-} を介してフリップフロップ内に論理値 “1” または “0” を書き込む。読み出し動作においては、読み出しワード線 RWL (read word line) を高電位にすることで読み出し用トランジスタ M7 をオン状態とする。フリップフロップの内部状態が “1” であるときは、もう一方の読み出し用トランジスタ M7 がオン状態となるため、読み出しビット線 RBL (read bit line) が M7 及び M8 を介して電源電圧 V_{DD} に導通

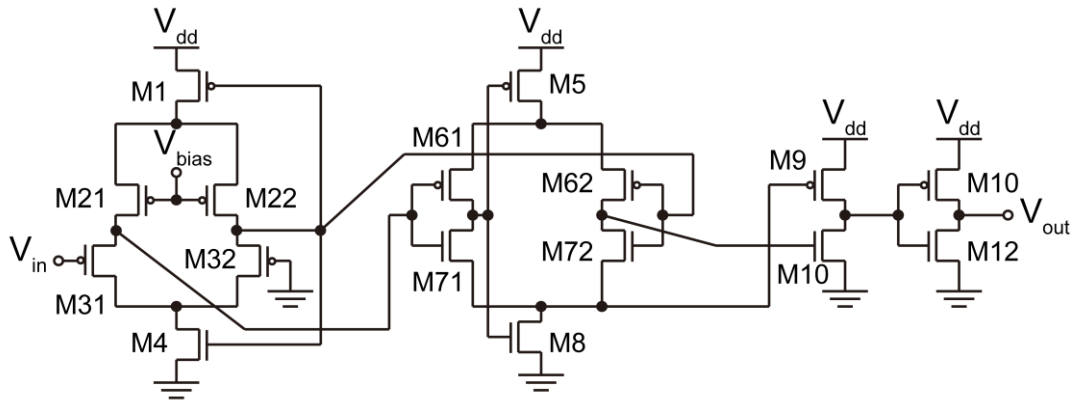


図 3-3 CMOS 差動増幅器の等価回路図

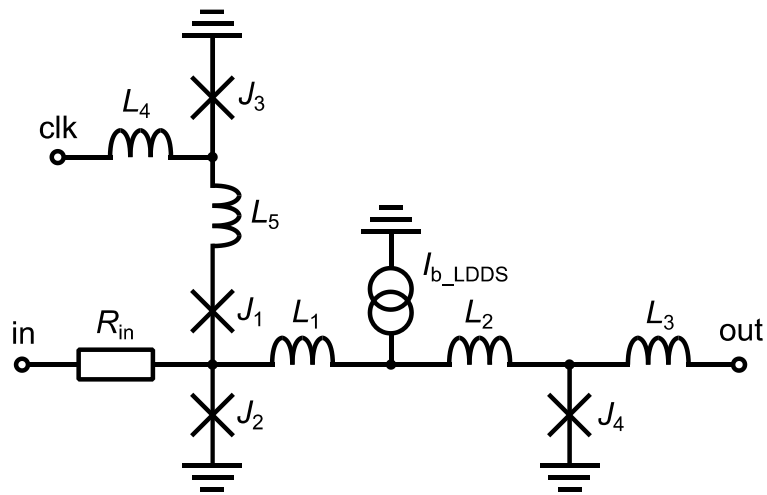


図 3-4 Level-driven DC-SFQ converter の等価回路図

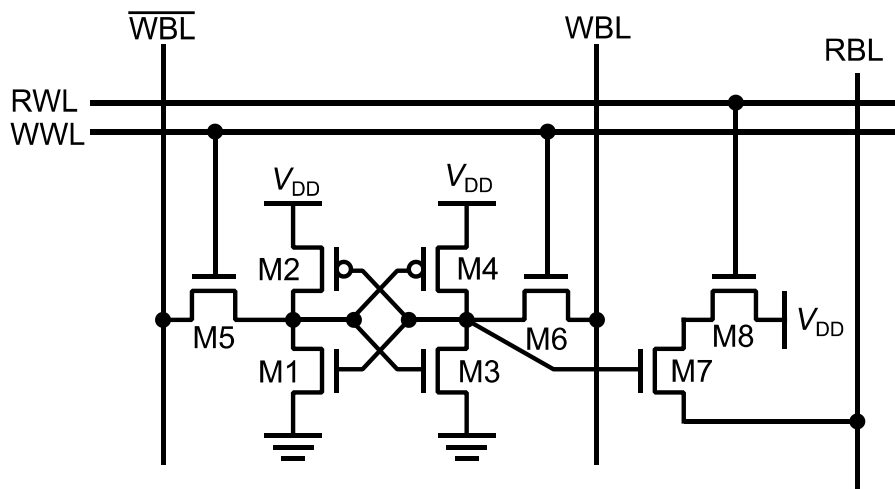


図 3-5 8T-SRAM の等価回路図

し、RBL が高電位となる。RBL は前述の LDDS の入力に接続され、LDDS の入力抵抗は M7、M8 のオン抵抗に対して十分小さいため、RBL には M7、M8 のオン抵抗と電源電圧 V_{DD} で決まる振幅の出力電流が定常的に流れる。フリップフロップの内部状態が“0”であるときは、読み出し用トランジスタ M7 がオフ状態となるため、RBL は低電位のままとなり、出力電流は流れない。

本来 8T-SRAM は、読み出しポートと書き込みポートを独立にすることでそれぞれの動作の雑音耐性を高めることや、読み出し用のセンス回路と書き込み用のドライバ回路の分断による回路構成の簡易化、あるいは単に読み出しと書き込みを同時に行うことを可能とすることを目的として用いられるセル構造である。Josephson-CMOS ハイブリッドメモリにおいて 8T-SRAM セルが用いられているのは、その読み書き分離された出力ビットラインの存在が SFQ 回路にとって都合が良いためである。6T-SRAM を SFQ 回路で読み出そうとした場合は、LDDS を 6T-SRAM セルのビットラインに直接結合させると、SFQ 回路の低インピーダンス性からメモリ書き込み動作が行えなくなる。そのため CMOS メモリ内でセンスアンプによって一度読み出しを行い、この信号を電流出力に変換して SFQ 回路に出力する必要がある。一方、8T-SRAM セルでは読み出し専用の RBL が存在するため、センスアンプを介することなく RBL を直接 SFQ 回路に接続することが出来る。また SFQ 回路の低インピーダンス性からメモリ読み出し時には RBL には直流的な出力電流が流れ、かつその振幅は LDDS が検出するにあたって十分な振幅が得られることから、CMOS メモリ内にプリチャージの機構を設けることなく 8T-SRAM の状態を LDDS によって読み出すことが可能となる。センスアンプ・プリチャージ機構の省略によるメモリ構成の簡易化、読み出し動作の高速化・低消費電力化という恩恵が得られるため、8T-SRAM が用いられる。

(b) デコード方式

図 3-6 に 64-kb CMOS SRAM のデコード方式の概略図を示す。前述の通り、64-kb CMOS SRAM はビット長 32-b、ワード数 256 の 8-kb メモリブロック 8 つから構成される。そのデコーディングには 8-to-256 のワードデコーダと 3-to-8 のブロックデコーダが用いられる。ブロックデコーダには 3-b のブロックアドレス入力のほか read/write の動作モード指定入力が入力され、8 のブロック指定出力の他、 8×2 の書き込み/読み出しブロック指定出力が出力される。メモリのワード線の選択においては、ワードデコーダによる 256 のワード指定出力と 8×2 の書き込み/読み出しブロック指定出力の AND をとることにより、いずれか一つの 32-b メモリワードの WWL または RBL が選択される。またメモリ書き込み動作時の WBL の選択においては、ブロックデコーダの 8 のブロック指定出力とデータ入力の AND をとることにより、いずれか 1 ブロックの WBL が選択され書き込みデータが入力される。RBL は全ワード・全ブロックで共通となっており、各 RBL が 1 つの LDDS に対応して出力される。

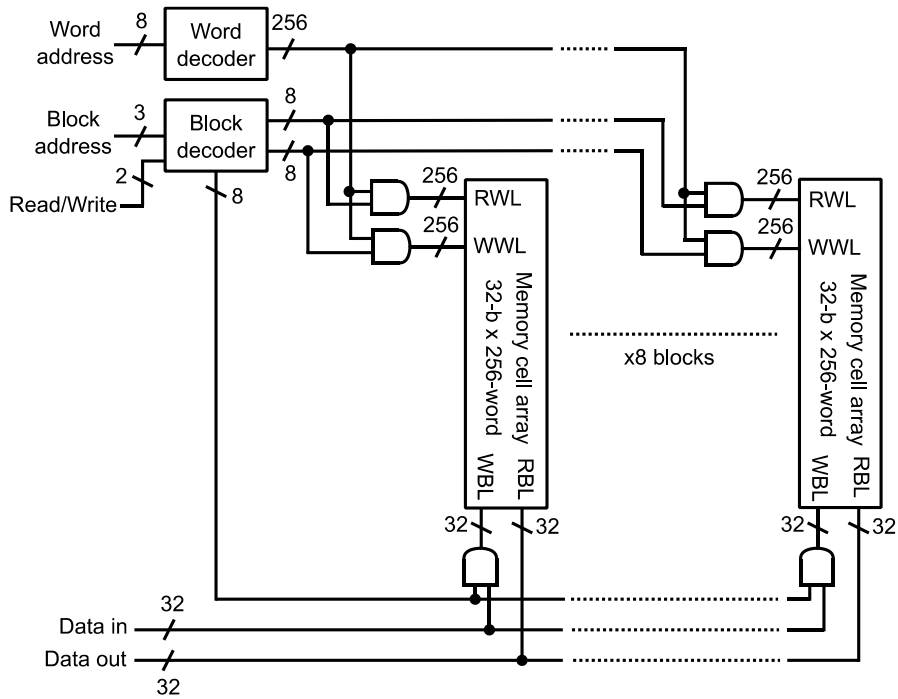


図 3-6 64-kb CMOS SRAM のデコード方式の概略図

8-to-256 ワードデコーダは、2つの 4-to-16 ワードプリデコーダとそれぞれの出力を入力とする AND アレーからなる。図 3-7 に 4-to-16 ワードプリデコーダの回路図を示す。4-to-16 ワードプリデコーダはバイナリツリー状に連なるデマルチプレクサからなるツリー型デコーダであり、通常の平行 AND アレーによるデコーダと比較してより低消費電力な設計としてツリー型デコーダを用いている。4-b のワードアドレス及び read/write の動作モード指定 enable 信号を入力として、1/16 のアドレス出力を出力する。

図 3-8 に 3-to-8 ブロックデコーダの回路図を示す。3-to-8 ブロックデコーダは通常の平行 AND アレーによるバイナリデコーダである。3 入力 AND により選択された 1/8 のアドレス出力は、更に read/write の動作モード指定信号と AND をとることにより、1/16 の動作モード指定アドレス出力を出力し、ワード線指定に用いられる。また 3 入力 AND の出力は分岐され書き込み動作時の WBL 選択に用いられる。

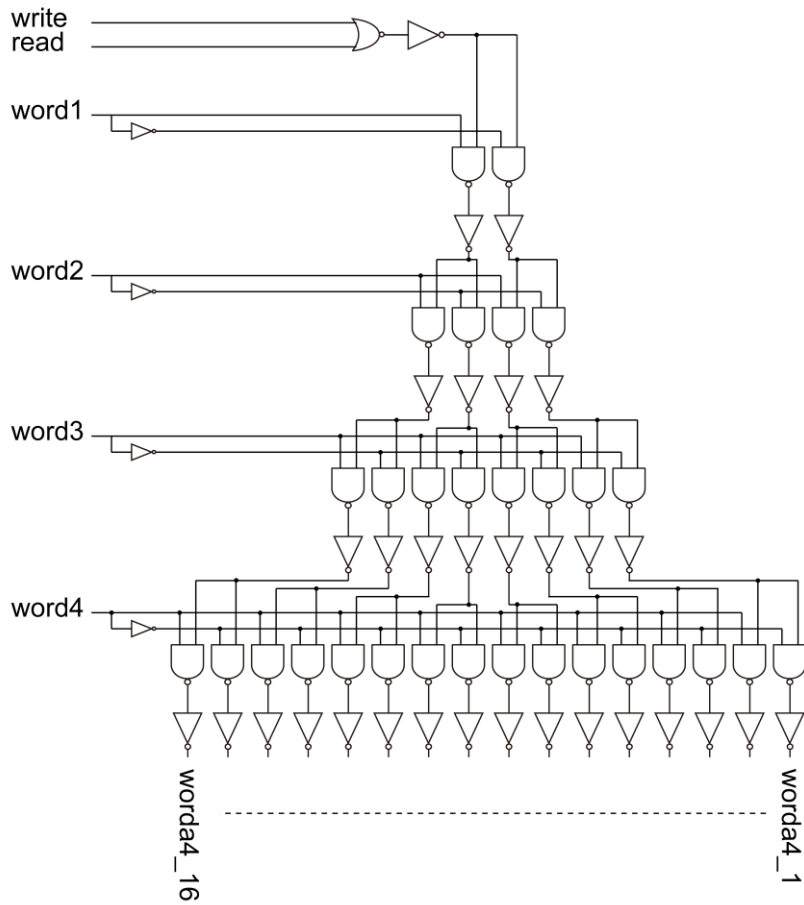


図 3-7 4-to-16 ワードプリデコーダの回路図

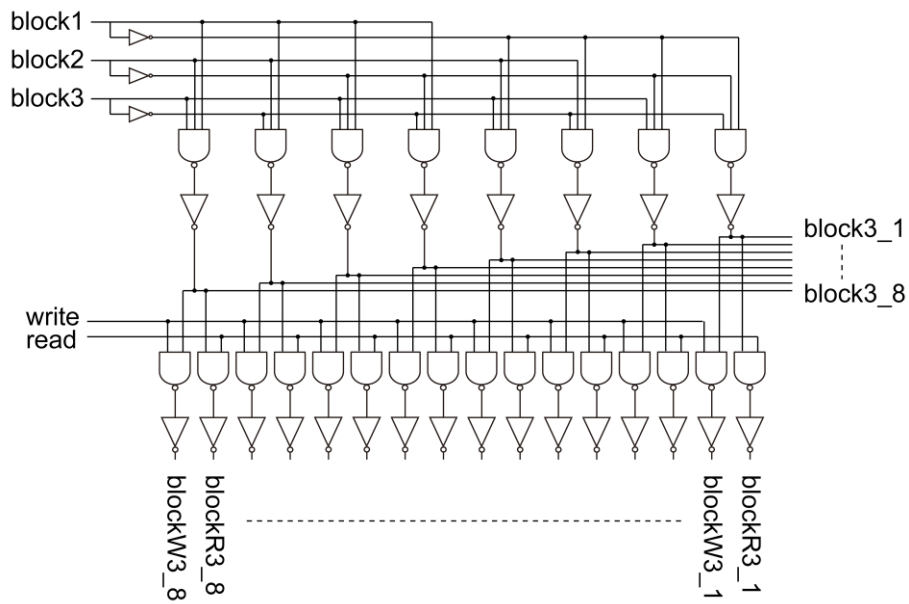


図 3-8 3-to-8 ブロックデコーダの回路図

第4章 Josephson-CMOS ハイブリッドメモリの高速読み出し試験

4.1 本章概要

Josephson-CMOS-ハイブリッドメモリの高周波動作を考えたときに、メモリ全体の動作周波数を律速する要因としてクリティカルとなりうるのは、Josephson 回路と CMOS 回路間の相互接続部の帯域である。本章では、この相互接続部のうちメモリ出力側の帯域に注目し、現状の Josephson-CMOS ハイブリッドメモリの設計・実装における帯域を実験において評価する。メモリ出力側の相互接続部の帯域は、CMOS メモリセル-SFQ 電流センサ間の寄生成分に影響されるメモリ出力電流のスイッチング速度により決まり、これは SFQ 電流センサのクロック入力タイミングのタイミングマージンから評価することが可能である。以上を踏まえて本章では、タイミングマージン測定に適した Josephson-CMOS ハイブリッドメモリのテスト回路の設計及び測定結果について述べる。また SFQ のアキュムレータを用いた Josephson-CMOS ハイブリッドメモリの高周波での読み出し試験について述べる。

4.2 8T-SRAM セルの SFQ 電流センサによる読み出し

Josephson-CMOS ハイブリッドメモリにおいては、前章で述べた通りメモリセルにはシングルエンドの直流電流出力を有する 8T-SRAM セルに対し、SFQ の電流センサである Level driven DC-SFQ converter (LDDS)によってメモリ出力電流を検出し SFQ パルスに変換して読み出しを行う。図 4-1(a)に 8T-SRAM セルと LDDS の等価回路図を示す。8T-SRAM セルは書き込み用及び読み出し用にそれぞれ分割されたワード線及びビット線を有し、読み出しビットライン (RBL)が LDDS の入力に接続されている。図 4-1(b)に 8T-SRAM 及び LDDS における読み出し時のタイミングチャートを示す。読み出し動作において 8T-SRAM セルが選択されたとき、すなわち読み出しワード線 (RWL)が論理“1”状態となったとき、8T-SRAM の内部状態が論理“1”であれば 8T-SRAM の出力トランジスタ M7、M8 の双方がオン状態となり、RBL は電源電圧 V_{DD} の電位と導通する。LDDS の入力抵抗は 8T-SRAM セルの出力抵抗に対して十分小さいため、メモリセルが選択されている間 RBL には 8T-SRAM セルからの出力電流が定常的に流れる。RBL にメモリ出力電流が流れている間に LDDS に SFQ クロックを入力すると、LDDS はメモリ出力電流を検出し SFQ パルスに変換出力する。8T-SRAM セルのデータ“1”を LDDS が正しく読み出すためには、メモリ出力電流 I_{RBL} が LDDS の入力しきい値 I_{th} を超えている間に LDDS の SFQ クロック V_{clk} が LDDS に入力されなければならない。以下、LDDS が正常にメモリ出力電流を読み出す SFQ クロック入力のタイミング間隔をタイミングマージンと表記する。

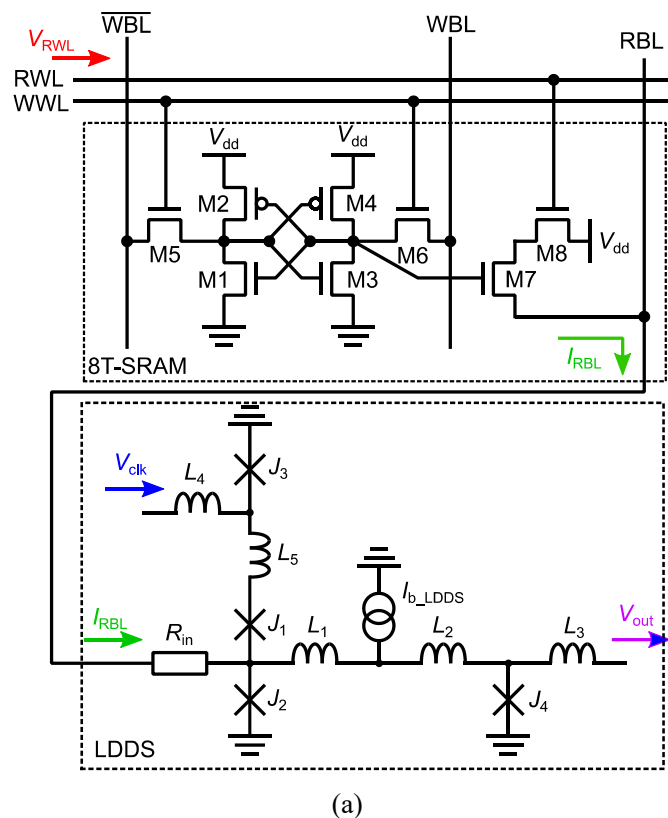


図 4-1 LDDS による 8T-SRAM の読み出し。(a)8T-SRAM 及び LDDS の等価回路図。(b)読み出し動作におけるタイミングチャート。

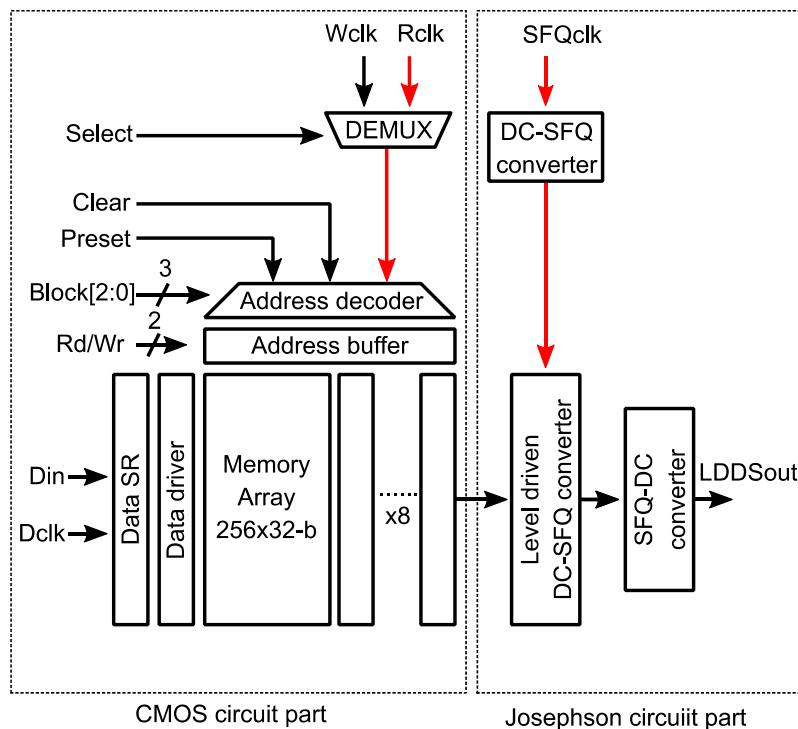
現在の Josephson-CMOS ハイブリッドメモリの実装においては、8T-SRAM セルと LDDS 間はボンディングワイヤを介して接続されるため、RBL 上にはオンチップ配線やボンディングワイヤ、パッドによる大きな LC の寄生成分が存在する。この RBL の寄生成分によって、メモリ出力電流 I_{RBL} のスイッチング速度は 8T-SRAM セルやメモリ周辺回路のスイッチング速度に対し、大きく鈍化しうる。そのため、Josephson-CMOS ハイブリッドメモリの読み出し動作においては、メモリ出力電流 I_{RBL} のスイッチング速度がメモリ全体の帯域を制限することが予想される。

4.3 単一チャンネル読み出しのタイミングマージンの測定

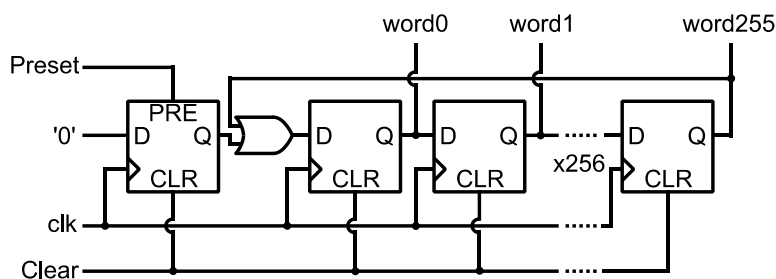
4.3.1 テスト回路の設計

本節では、現在の設計・実装における Josephson-CMOS ハイブリッドメモリの、読み出し動作における帯域を実験的に評価することを目的とする。メモリ出力電流のスイッチングを直接測定することは困難であるが、タイミングマージンは外部クロック入力のタイミングを調整することで直接測定することが容易に可能であり、タイミングマージンからメモリ出力電流のスイッチング速度及び帯域を見積もることが可能である。タイミングマージンは、CMOS メモリへのアドレス入力に対する LDDS へのクロック入力のタイミングを調整しつつ出力の正誤判定を行うことで測定可能であり、基本的にはテスト回路は CMOS メモリと LDDS を接続するのみで十分である。ここで、ランダムアクセスメモリである CMOS メモリには複数ビットのアドレス入力が必要である。この複数ビットのアドレス入力を実験において室温から入力する場合は、特に高周波においては各ビット間の測定系に起因するタイミングジッタがタイミングマージンの測定に悪影響を及ぼしうることや、高周波プローブの I/O 数の制限から望ましくない。そこで本研究では、複数ビット入力を必要とするランダムアクセス CMOS メモリの代わりに、単一のクロック入力のみでアドレス選択が可能なシーケンシャルアクセス CMOS メモリを設計し、タイミングマージンの測定に用いた。

図 4-2(a)に、単一チャンネル読み出しにおける Josephson-CMOS ハイブリッドメモリのタイミングマージン測定用テスト回路のブロック図を示す。テスト回路は、シフトレジスタデコーダによるシーケンシャルアクセスを可能にした 64-kb 8T-SRAM CMOS メモリの出力を LDDS に接続した回路として構成されている。CMOS メモリの構成は、従来の設計と同様にビット長 32-b、ワード数 256 の 8-kb メモリブロック 8 つから構成され、またワードアドレス選択用のデコーダを除きその他の要素回路も全て従来の設計と同様である。ワードアドレス選択用のデコーダはシフトレジスタデコーダを用いた。図 4-2(b)に、シフトレジスタデコーダのブロック図を示す。シフトレジスタデコーダは 256 段 DFF によるシフトレジスタであり、非同期クリア・プリセット入力を与えた後にクロック入力によって 256 のワードアドレスを順に選択する。なお連続的な読み出し動作に対応させるためにシフトレジスタにはフィードバックパスを設けているが、これはシーケンシャルアクセスメモリの次章での応用を考慮した構成であり、本章での実験においては特に必要性はない。測定において CMOS メモリのデータの初期化における書き込みデータの外部入力本数を削減するため、データ入力部にもビットシリアル-パラレル変換を行うシフトレジスタを設けている。CMOS メモリの書き込みに用いる低速クロック“Wclk”と読み出しに用いる高速クロック“Rclk”を個別の入力として受け付けるため、メモリのクロック入力にはデマルチプレクサ (DEMUX)を挿入している。LDDS のクロック入力は DC-SFQ コンバータを介して室温機器から生成され、そのデータ出力は SFQ-DC コンバータによって室温機器で読み出される。



(a)



(b)

図 4-2 単一チャンネル読み出しにおける Josephson-CMOS ハイブリッドメモリのタイミングマージン測定用テスト回路。(a)テスト回路全体のブロック図。(b)シフトレジスタデコーダの回路図。

CMOS メモリの出力は 32-b のチャンネルが存在するが、本節の実験では簡単のため単一チャンネルのみの読み出しを行う。

Rohm 180 nm プロセス及び AIST-ADP2 を用いてタイミングマージン測定用テスト回路を設計した。図 4-3 に設計したタイミングマージン測定用テスト回路のチップ写真を示す。CMOS チップ及び Josephson チップのサイズはそれぞれ $2.5 \times 2.5 \text{ mm}^2$ 、 $7 \times 7 \text{ mm}^2$ である。CMOS メモリは、シフトレジスタデコーダ等の従来設計と異なる要素回路部分を除いては、そのレイアウトも従来設計のものと同ーとしている。

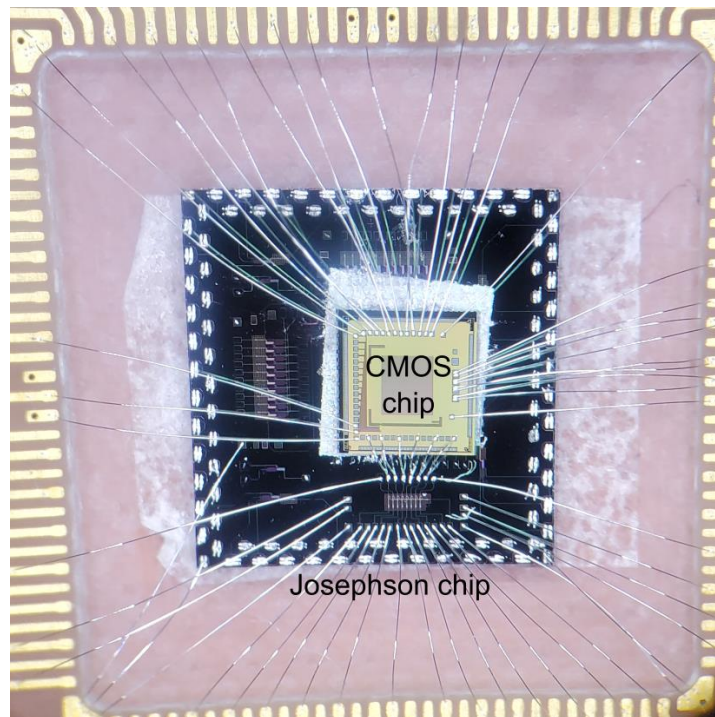


図 4-3 タイミングマージン測定用テスト回路のチップ写真

4.3.2 測定方法

図 4-4 にタイミングマージン測定における測定系の概略図を示す。実験においては、パルスパターンジェネレータ (Anristu MU181020B)により周波数 1 GHz 相当のクロック信号を CMOS メモリの読み出しクロック“Rclk”及び LDDS のクロック“SFQclk”として入力した。またその他の CMOS メモリへの入力はパルスパターンジェネレータ (Tektronix DG2020A)により周波数 50 kHz で回路に入力した。LDDS からの出力“SFQout”は室温の差動増幅器を介してオシロスコープで観測した。

図 4-5 にタイミングマージン測定における測定波形例を示す。以下の測定では、ブロックアドレスは $\text{block}[2:0] = \text{“000”}$ に固定されている。この測定では、まず図中“Initialize”と示されるシーケンスにおいて、“Dclk”、“Din”、“Wclk”の CMOS メモリへの書き込み信号を低速で入力し、CMOS メモリ内のデータを初期化する。word0 アドレスのメモリには全ビット‘1’のデータを書き込み、word1 アドレスのメモリには全ビット‘0’のデータを書き込む。このとき、冗長に word2-word4 のアドレスにも全ビット‘0’のデータを書き込んでいる。その後、図中“Readout”で示すシーケンスにおいて CMOS メモリ及び LDDS に高速クロックを入力する。ここで、CMOS メモリには 1 GHz のクロックを 2 サイクル入力する。これにより、最初のクロックによって word0 アドレスのメモリが選択されメモリ出力‘1’となり、2 発目のクロックによって word1 アドレスのメモリが選択されメモリの出力は‘0’となることで、クロック 1 周期の間のみ RBL にメモリ出力電流が流れるようにしている。これに対し、適

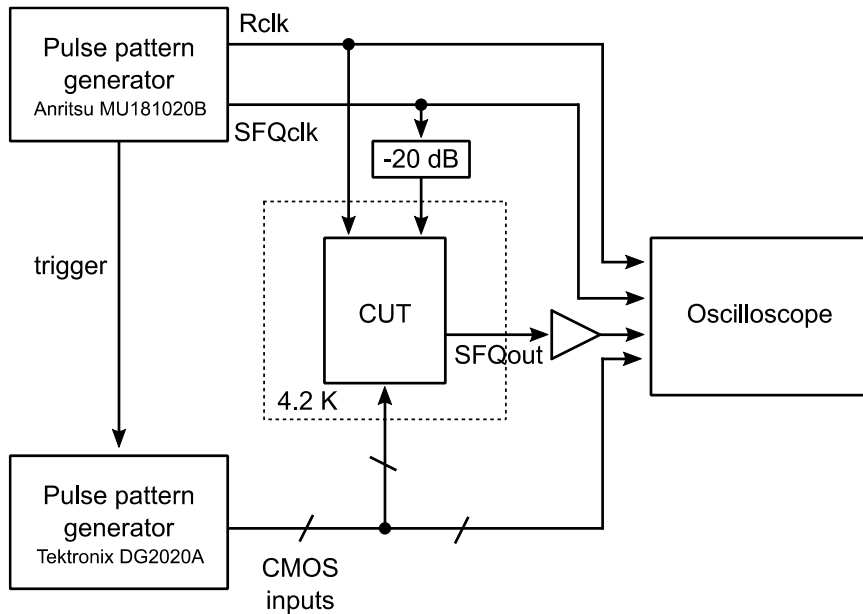


図 4-4 タイミングマージン測定における測定系の概略図

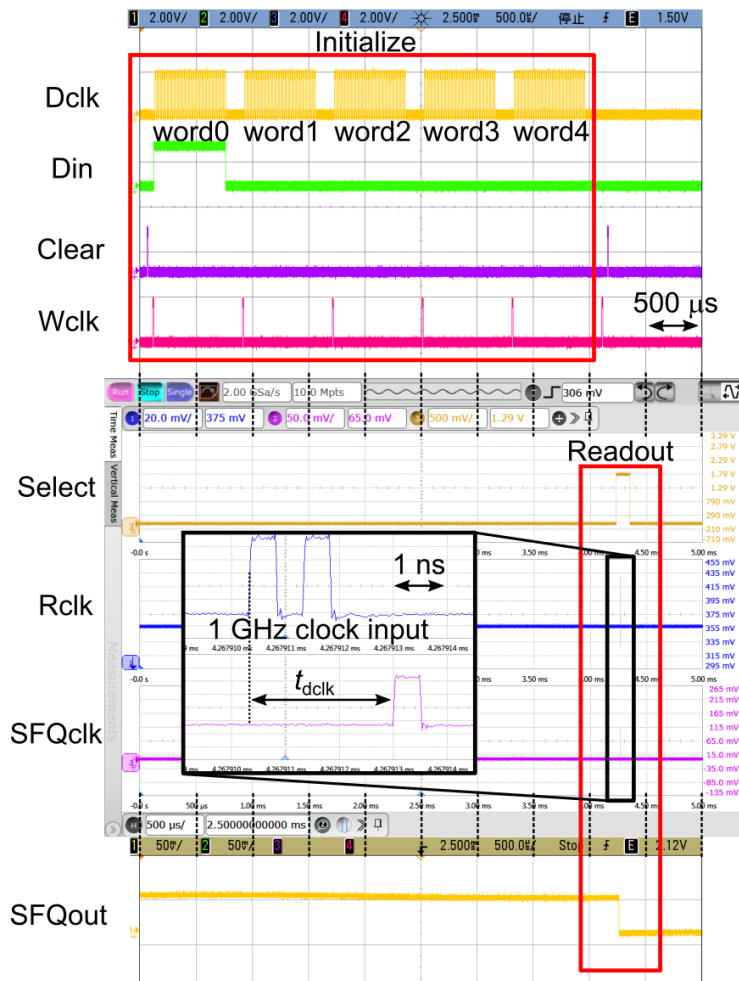


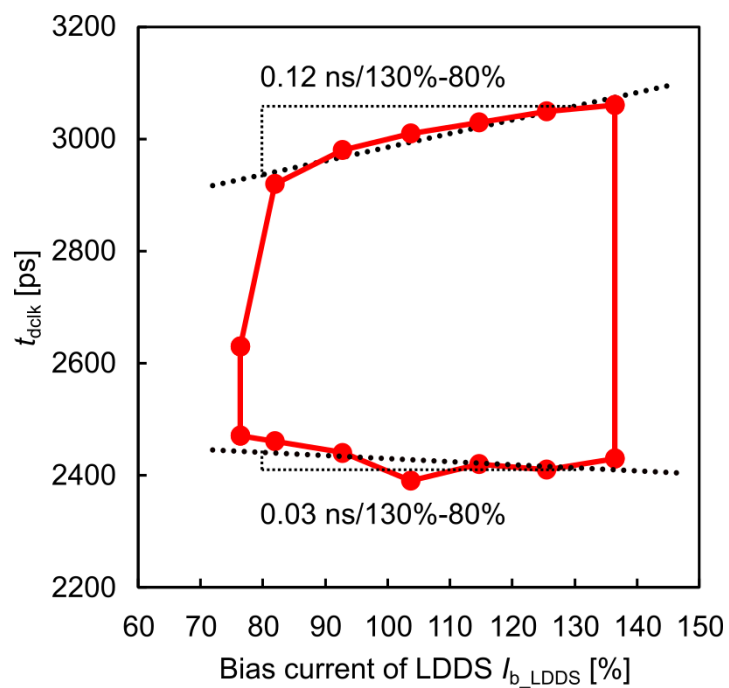
図 4-5 タイミングマージン測定における測定波形例

当な時間差 t_{dclk} を設定して LDDS のクロック“SFQclk”を入力すると、そのタイミングが正しく LDDS が出力電流を検出するタイミングであれば LDDS から‘1’の出力が得られ、SFQ-DC コンバータにより“SFQout”から電圧レベルの遷移が確認される。ここで、CMOS メモリと LDDS のクロック入力的时间差 t_{dclk} を変化させた際に LDDS から‘1’出力が得られる時間間隔としてタイミングマージンが測定される。なお、本測定においては CMOS メモリへの高周波での読み出しクロック入力“Wclk”と LDDS 間にクロストークが観測されており、CMOS クロック入力の振幅を電源電圧 $V_{\text{DD}} = 1.8 \text{ V}$ の振幅とした場合には LDDS がメモリ出力電流の有無にかかわらず‘1’を出力するという致命的な誤動作を生じていた。そのため本測定では CMOS メモリの読み出しクロック入力“Wclk”の振幅は論理しきい値付近を DC オフセットとする低振幅として $0.825 \text{ V} \pm 0.125 \text{ V}$ という値に設定し、クロストークによる影響を極力低減させている。

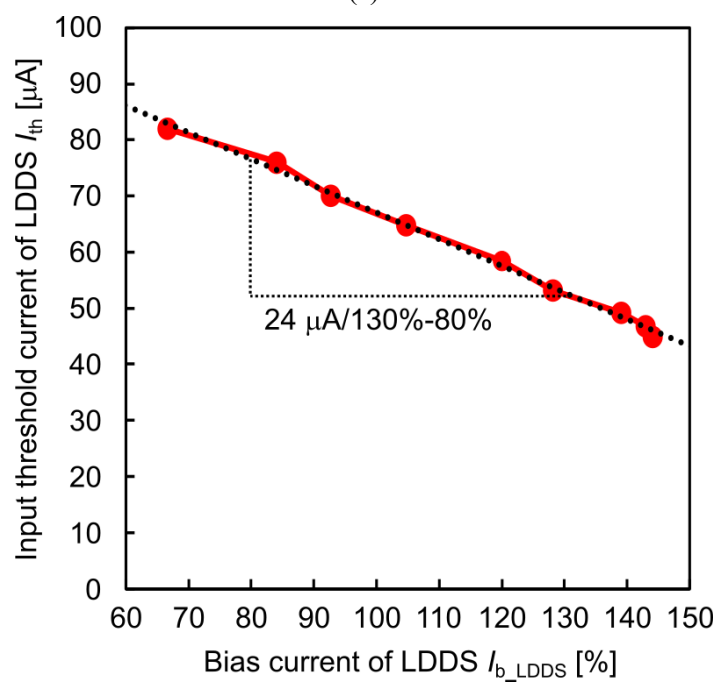
4.3.3 測定結果

図 4-6(a)にタイミングマージンの LDDS バイアス依存性の測定結果を示す。図 4-6(a)は横軸に LDDS のバイアス電流を、縦軸にクロック入力タイミング t_{dclk} で測定点をプロットしている。プロット点はタイミングマージンの端点を示しており、図中プロット点で囲まれた領域がタイミングマージンを示している。タイミングマージンの LDDS バイアス電流依存性を評価したのは、LDDS のしきい値電流がバイアス電流依存性を持つために、タイミングマージンも LDDS バイアス電流依存性を持つためである。図 4-6(b)に LDDS のしきい値電流のバイアス電流依存性の測定結果を示す。図 4-6(b)の測定結果は、LDDS 単体のテスト回路を用いた測定における結果を示している。図 4-6(b)より、LDDS のしきい値電流はバイアス電流の増加に対して線形に減少する特性を有することが分かる。図 4-1(b)のタイミングチャートから分かるように、LDDS のしきい値電流の減少は同一の CMOS メモリからの出力電流波形に対してこれが LDDS のしきい値を超過している時間間隔が広がるため、タイミングマージンが拡大される。図 4-6(a)を見ると LDDS のバイアス電流の増大に伴ってタイミングマージンが拡大しており、これによりタイミングマージンの妥当な測定が行えていると判断できる。タイミングマージンはクロック周期 1 ns に対して最大 0.63 ns が得られており、動作周波数 1 GHz においてタイミングマージンにある程度の余裕が確認された。

図 4-6(a)のプロット点の勾配及び図 4-6(b)のプロット点の勾配から、メモリ出力電流のスイッチング時間の大きな見積もりが可能である。図 4-7 に示すメモリ出力電流のスイッチング時間見積もりの概略図を用いてこれを説明する。図 4-6(a)の上側のプロット点はメモリ出力電流の立ち下がりにおいてその振幅が LDDS のしきい値を下回る際のタイミングマージンの端点を示す。ここで LDDS のバイアス電流変化により LDDS のしきい値が変化することから、LDDS のタイミングマージンの端点の時間方向の変化分は、メモリ出力電流の振幅が LDDS のしきい値の変化分立ち下がるのにそれだけの時間を要していることを意味する。ここで、図 4-6(a)のタイミングマージンの上側端点の LDDS バイアス電流値に対する勾



(a)



(b)

図 4-6 タイミングマージンの測定結果。(a)タイミングマージンの LDDS バイアス依存性、(b)LDDS のしきい値電流のバイアス依存性。

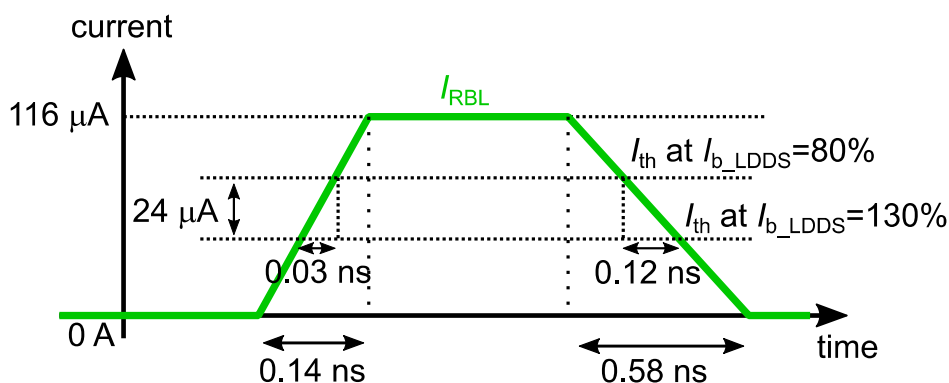


図 4-7 メモリ出力電流のスイッチング時間見積もりの概略図

配は、線形近似すると LDDs バイアス電流 130% - 80% の変化に対して 0.12 ns という値となる。これに対し、図 4-6(b) に示す LDDs のしきい値電流のバイアス電流依存性の勾配は、線形近似するとバイアス電流 130% - 80% の変化に対して 24 μA という値となる。この 2 つの勾配から、図 4-7 に示すようにメモリ出力電流の振幅が 24 μA 立ち下がる間に 0.12 ns の時間が経過していると見積もられる。同様に、図 4-6(a) のタイミングマージンの下側端点の LDDs バイアス電流値に対する勾配は LDDs バイアス電流 130% - 80% の変化に対して 0.03 ns であり、ここからメモリ出力電流の振幅が 24 μA 立ち上がる間に 0.03 ns の時間が経過していると見積もられる。メモリ出力電流の定常状態における振幅は、CMOS メモリ単体のテスト回路の測定から 116 μA という値が得られている。そのため、上述の勾配に対して図 4-7 に示すようにメモリ出力電流の立ち上がり・立ち下がりをも台形波として近似すると、その 0% - 100% の立ち上がり時間及び 100% - 0% の立ち下がり時間はそれぞれ 0.14 ns、0.58 ns と見積もることができる。以上で得られた立ち上がり時間及び立ち下がり時間は極めて大雑把な見積もりによる値ではあるが、これらの値からメモリ読み出し動作における出力電流のスイッチング速度の観点から見込んだ最高動作周波数は、立ち上がり時間及び立ち下がり時間のうち大きい方の値の逆数として、最高 1.7 GHz 程度が期待できる。

4.3.4 議論

テスト回路の CMOS メモリの設計に用いた Rohm 180 nm プロセスの 4.2 K における各種ゲートのスイッチング時間は 100 - 200 ps 程度の値となっている。具体的に、設計した CMOS メモリの出力電流のスイッチング時間は、CMOS メモリと LDDs の相互接続間の寄生成分を考慮しないシミュレーションにおいて、10 - 90% 立ち上がり時間及び 90 - 10% 立ち下がり時間はそれぞれ 195 ns、143 ns と見積もられている。実験結果とシミュレーション結果を比較すると、立ち上がり時間の実験結果とシミュレーション結果の一致の程度に対して、立ち下がり時間の実験結果とシミュレーション結果の差異が大きい。このことから、メモリ出力電流のスイッチングに対して CMOS メモリと LDDs の相互接続間は、メモリ出力の立ち下

がり時により強く悪影響を及ぼしている可能性がある。今後の課題として、この実験結果を再現する相互接続部のモデリングが Josephson-CMOS ハイブリッドメモリの動作速度を評価する上で求められる。一方で、上記の見積もりによる誤差が立ち下がり時間で特に強く現れている可能性もある。上記の測定では LDDS のしきい値のバイアス電流依存性を活用することで $24\ \mu\text{A}$ の振幅変化における立ち上がり時間及び立ち下がり時間を評価し、更に波形を折れ線近似して立ち上がり時間及び立ち下がり時間を見積もった。より広いレンジでしきい値電流が可変な LDDS を用いて上記と同様の測定を行えば、より正確にメモリ出力電流の立ち上がり時間及び立ち下がり時間を見積もることが可能である。そのような LDDS は、バイアス電流とは個別に入力のオフセット電流によってしきい値を調整可能な構成の設計を行うことで、比較的容易に実現可能である。

メモリ出力電流のスイッチング速度の観点からのメモリ最高動作周波数 $1.7\ \text{GHz}$ という実験結果の見積もりに対し、CMOS メモリはシミュレーションにおいて最高動作周波数 $2.6\ \text{GHz}$ での動作が確認されており、この最高動作周波数はシフトレジスタデコーダ部分で制限されている。そのため、当初の予想通り CMOS メモリそれ自体の帯域に対してメモリ出力電流のスイッチングの帯域がメモリ全体の動作を律速していると判断し得る。一方、上記の測定で CMOS メモリの動作周波数を評価したところ、最高動作周波数は $1.4\ \text{GHz}$ であった。それ以上の動作周波数ではシフトレジスタデコーダが動作できず、メモリ選択ができないため CMOS メモリからの出力電流が流れないという誤動作が見られた。このシミュレーションと実験結果の差異は、上述した通りクロストーク対策のために CMOS メモリのクロック入力に起因する。CMOS メモリの読み出しクロックの振幅は $0.825\ \text{V} \pm 0.125\ \text{V}$ という値に設定している。この外部クロック入力は、CMOS メモリのクロックツリー配線を構成するバッファのゲインによってその振幅がフルスイングまで増幅されるため正常にシフトレジスタデコーダをクロックできているが、バッファ中の信号はその入力の低振幅のために出力のスイッチングが鈍化しており、結果として最高動作周波数の低減を招いている。シミュレーションにおいて同様にクロック振幅 $0.825\ \text{V} \pm 0.125\ \text{V}$ とした場合に、最高動作周波数は $1.5\ \text{GHz}$ と低減することが確認されている。

4.4 ハイブリッドメモリの 32 ビット高速読み出し試験

4.4.1 テスト回路の設計

前節の実験より、単一チャンネル読み出しにおいて動作周波数 1 GHz 相当の読み出しで十分余裕のあるタイミングマージンが得られた。本章では 32-b の Josephson-CMOS ハイブリッドメモリに対し動作周波数 1 GHz における読み出し動作を実験で実証することを目標とし、テスト回路の設計を行った。一般に、実験において高周波でのテストを行う際は、低温にあるテスト回路からの高速なデータ出力を室温で読み出すために、高周波動作が可能な電圧ドライバ[34][50]や低速読み出し用のバッファリングメモリ[51]が必要となる。本節のテスト回路では、CMOS メモリからの出力データに対して積算動作を行うことにより室温で読み出すデータ量を削減させるバッファリング回路として、SFQ 回路によるアキュムレータを用いた。

図 4-8 に設計した Josephson-CMOS ハイブリッドメモリの高速読み出しテスト回路のブロック図を示す。このテスト回路は、シーケンシャルアクセス CMOS メモリと SFQ のビットシリアルアキュムレータから構成される。CMOS メモリの設計は前節のタイミングマージンの測定に用いたものと同じの、ビット長 32 ビット、ワードアドレス数 256 のメモリブロック 8 つから構成される 8T-SRAM のメモリアレーであり、外部クロック入力によってシーケンシャルアクセスを実行する。CMOS メモリから読み出されるデータ列に対して SFQ アキュムレータは積算動作を行い、読み出し及び積算が完了した後に積算結果が保存されているシフトレジスタから低速で積算結果を読み出す。シーケンシャルアクセス及びアキュムレータを導入することにより、測定において室温からテスト回路への高速入力は 2 チャンネルのみで済み、またテスト回路から室温への高速出力は不要となる。

SFQ アキュムレータは、2 段の SFQ ビットシリアル加算器[52]を用いて構成した。CMOS メモリから LDDS によって読み出された 32-b のデータは 2 つの 16-b のレジスタに分割してロードされ、それぞれシフトレジスタによってビットシリアルに変換される。初段の加算器 (ADD1) はこの 2 つのデータに対して加算を行い、後段の加算器 (ADD2) は加算結果に対して積算を行う。アキュムレータ中の 16-b のデータは 16-b 符号なし整数として扱われ、それぞれの加算器におけるオーバーフローは簡単のため無視するものとした。積算結果を保存するシフトレジスタの出力は SFQ-DC コンバータによって低速で読み出される。ビットシリアル加算器を動作させるための 16-b の SFQ のオンチップクロック生成器 (CG) は、LDDS へのクロック信号を分岐してトリガされ、これによりメモリの読み出し動作とアキュムレータの動作が同期される。ビットシリアル加算器の内部クロック周波数は 50 GHz として設計し、アキュムレータはメモリの目標動作周波数 1 GHz においてタイミング的に十分余裕を持って動作できるように設計した。ビットシリアル加算器のレイテンシを考慮して、その動作は外部クロック入力に対してメモリ読み出し、初段の加算器による加算、後

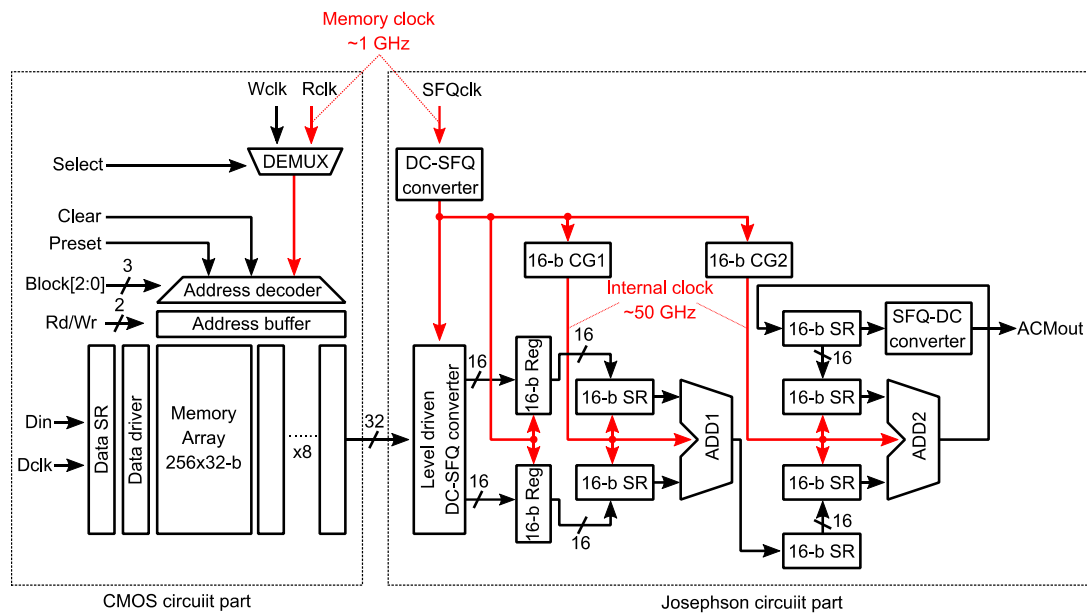


図 4-8 Josephson-CMOS ハイブリッドメモリの高速読み出しテスト回路のブロック図

段の加算機による積算の 3 段にパイプライン化されている。SFQ アキュムレータのコンポーネントは全て AIST-ADP2 用の CONNECT セルライブラリ [33]を用いて設計した。

Rohm 180 nm プロセス及び AIST-ADP2 を用いて高速読み出しテスト回路を設計した。に設計した高速読み出しテスト回路のチップ写真を示す。CMOS チップ及び Josephson チップのサイズはそれぞれ $2.5 \times 2.5 \text{ mm}^2$ 、 $7 \times 7 \text{ mm}^2$ である。CMOS チップのレイアウトは、前節のタイミングマージン測定に用いたチップに対してパッドの配置や電源ライン、パッド-回路間配線のレイアウトが一部異なるが、回路部分のレイアウトは同一である。

4.4.2 測定波形

設計したテスト回路の実験における評価では、前節のタイミングマージンの測定におけるシーケンスと同様に、低速で CMOS メモリにデータを書き込んだ後に高速で CMOS メモリ及び SFQ 回路にクロックを入力しメモリの読み出し動作を行わせる。本節のテスト回路では同時に SFQ アキュムレータがデータの積算を行う。メモリ読み出し及び積算が完了した後に、アキュムレータのシフトレジスタから積算結果を低速で読み出す。なお、前節の測定と同様に、クロストークの影響を可能な限り低減させるため、CMOS メモリへの高速読み出しクロック“Rclk”はその振幅を $0.825 \text{ V} \pm 0.125 \text{ V}$ と設定している。

図 4-10 に Josephson-CMOS ハイブリッドメモリの高速読み出しテスト回路の測定波形例を示す。以下の測定では、ブロックアドレスは $\text{block}[2:0] = \text{“000”}$ に固定されている。このテストでは、図中“Initialize”と示されるシーケンスにおいて、CMOS メモリへの入力“Din”、“Dclk”、“Wclk”によって CMOS メモリのデータを初期化する。CMOS メモリへの 32-b のデ

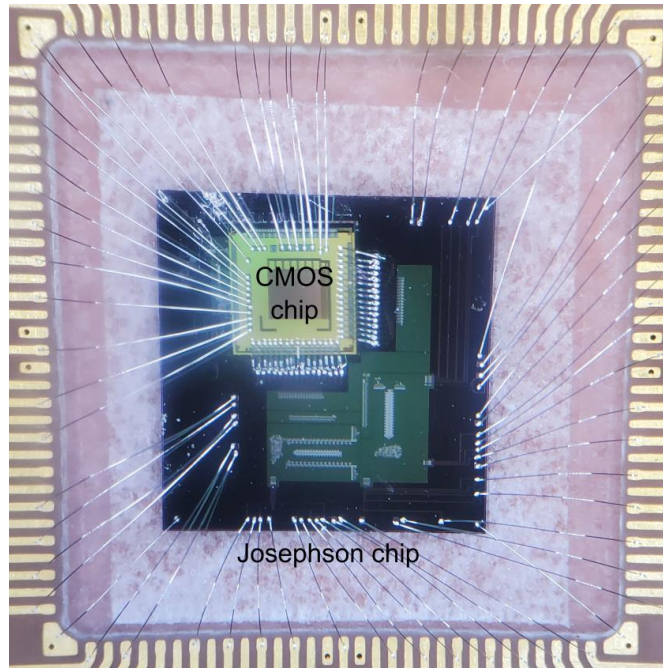


図 4-9 Josephson-CMOS ハイブリッドメモリの高速読み出しテスト回路のチップ写真

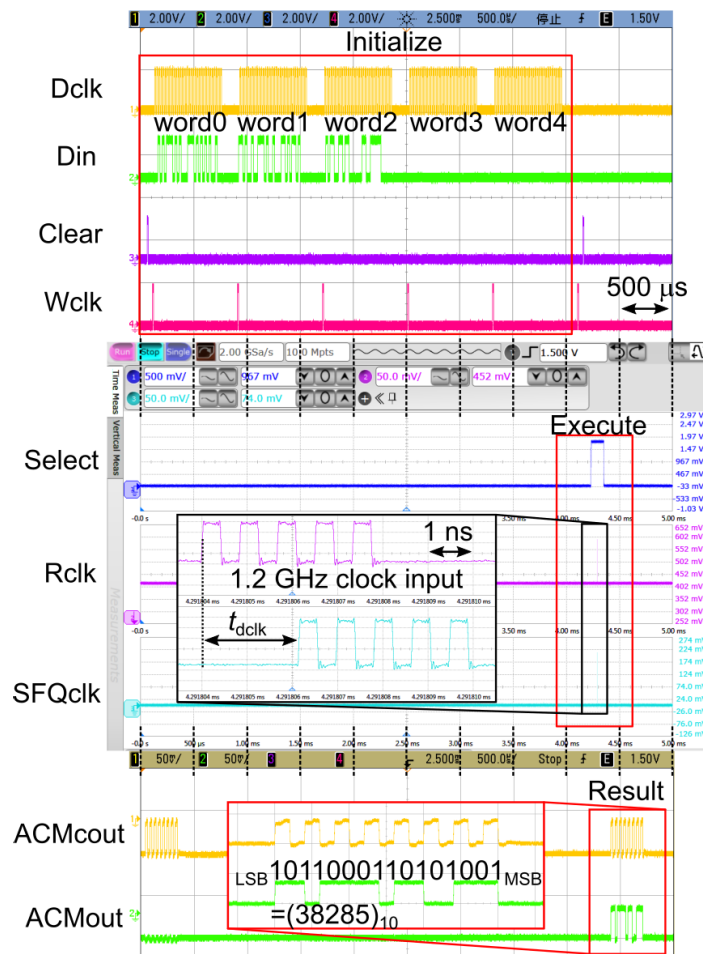


図 4-10 Josephson-CMOS ハイブリッドメモリの高速読み出しテスト回路の測定波形例

ータ入力“Din”は 2 つの 16-b のデータ“DataA”、“DataB”からなり、図 4-10 の波形ではそれぞれ $\{\text{DataA, DataB}\} = \{(9559)_{10}, (5588)_{10}\}$ 、 $\{(5809)_{10}, (11851)_{10}\}$ 、 $\{(1996)_{10}, (3482)_{10}\}$ の 3 つのデータの組を入力している。これらの 3 つのデータの組はそれぞれワードアドレス 0 からワードアドレス 2 のメモリに順に書き込まれる。更に図 4-10 の波形ではワードアドレス 3 及びワードアドレス 4 のメモリに冗長に $\{\text{DataA, DataB}\} = \{(0)_{10}, (0)_{10}\}$ のデータを書き込んでいる。データの初期化後、図中“Execute”で示すシーケンスにおいて CMOS メモリ及び SFQ アキュムレータに高周波のクロック信号“Rclk”、“SFQclk”を入力する。図 4-10 では 1.2 GHz のクロックを入力している例を示している。クロック信号は 5 サイクル分入力しており、これにより“Initialize”のシーケンス初期化した 3 つのデータの組に対し、メモリからのデータの読み出し及びアキュムレータによる積算を実行させる。読み出し及び積算の完了後、“Result”に示すシーケンスで積算結果の保存されているシフトレジスタから積算結果“ACMout”を低速で読み出す。積算結果は、書き込んだ 3 つのデータの組の正しい積算結果“ACM_out” $= (32825)_{10}$ を示しており、以上によりメモリの読み出し及び積算を行うテスト回路全体の正常動作が確認される。図 4-10 に示すテストシーケンスにおいて、テスト回路は最高動作周波数 1.2 GHz で正常動作し、目標動作周波数 1 GHz 以上での Josephson-CMOS ハイブリッドメモリの読み出し動作に成功した。

4.4.3 測定結果

以下では回路のバイアスマージン及びタイミングマージンの評価結果について示す。まずテスト回路全体の動作評価の結果として、図 4-11 に Josephson-CMOS ハイブリッドメモリの高速読み出しテスト回路の低周波試験におけるバイアスマージンを示す。この結果は、CMOS メモリの読み出しクロック“Rclk”、SFQ 回路の外部クロック“SFQclk”を全て 50 kHz として測定した際の結果を示している。図中 CG1、CG2 はそれぞれ前段 SFQ 加算器 ADD1、後段 SFQ 加算器 ADD2 に用いられるオンチップ CG を示している。図より、オンチップ CG、SFQ 加算器、LDDS、CMOS メモリの電源電圧 V_{DD} それぞれについて十分に広いバイアスマージンが確認された。図 4-12 に SFQ 加算器のバイアスマージンの内部クロック周波数依存性を示す。前段 SFQ 加算器 ADD1、後段 SFQ 加算器 ADD2 共に広いマージンでの動作が得られており、最高動作周波数はそれぞれ 57.8 GHz 及び 58.1 GHz と見積もられた。SFQ 加算器は設計値である 50 GHz の内部クロック周波数で安定して動作しており、SFQ 加算器の動作がメモリの高速読み出しテストの障害とはなっていないことが確認されている。

以下、メモリの高速読み出し動作性に関するバイアスマージン及びタイミングマージンの測定結果について示す。図 4-13(a)に LDDS のバイアスマージンのメモリクロック周波数依存性を示す。図より、メモリクロック周波数が 0.7 GHz の範囲まではバイアスマージンは一定であるが、それ以上の周波数では周波数の上昇に伴って LDDS の下側バイアスマージンが減少していることが確認される。LDDS におけるバイアス電流の増大に伴いきい値電

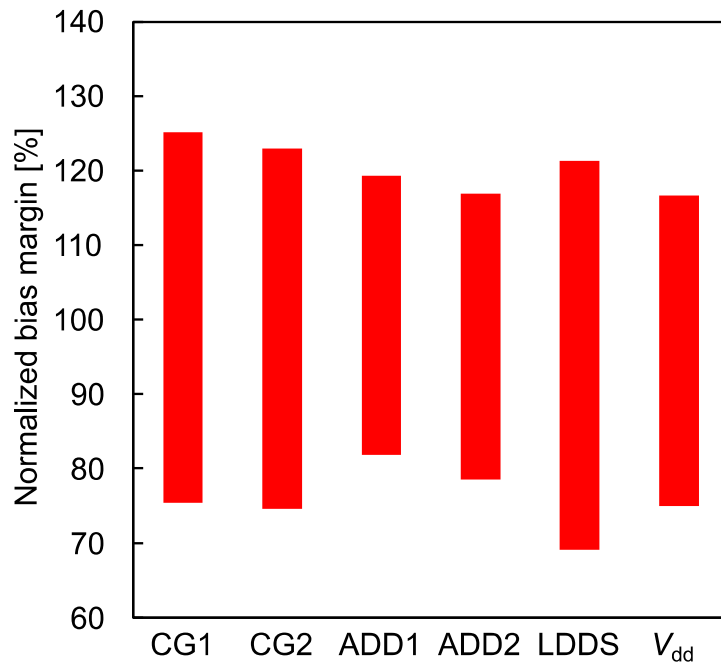


図 4-11 Josephson-CMOS ハイブリッドメモリの高速読み出しテスト回路の低周波試験におけるバイアスマージン

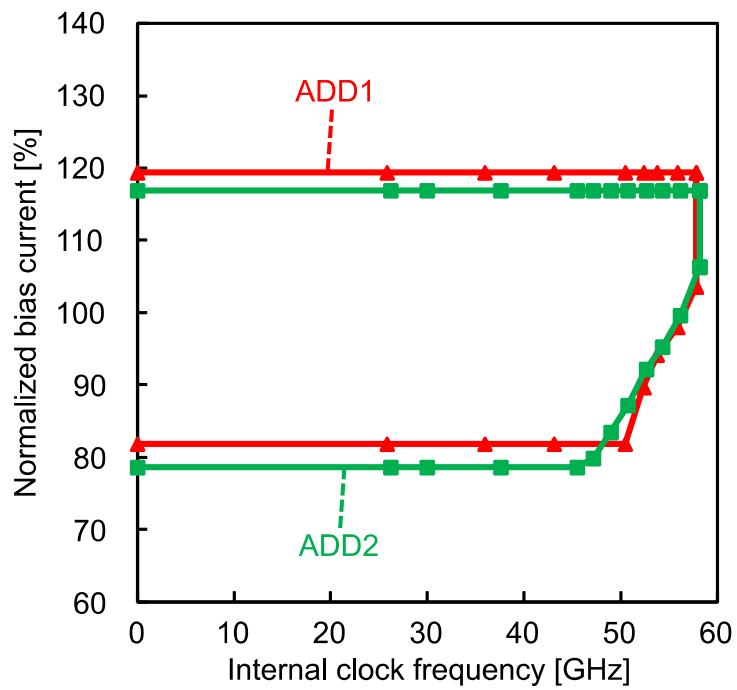
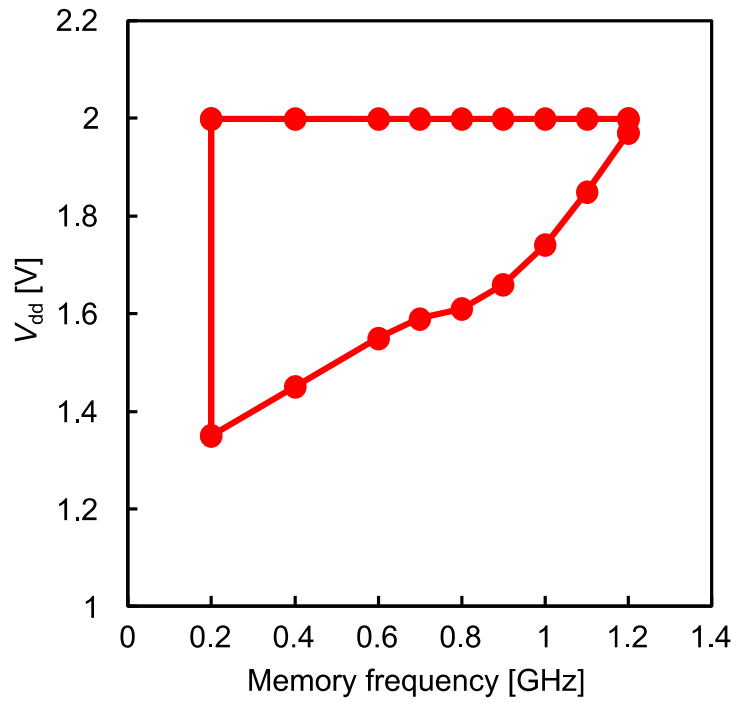
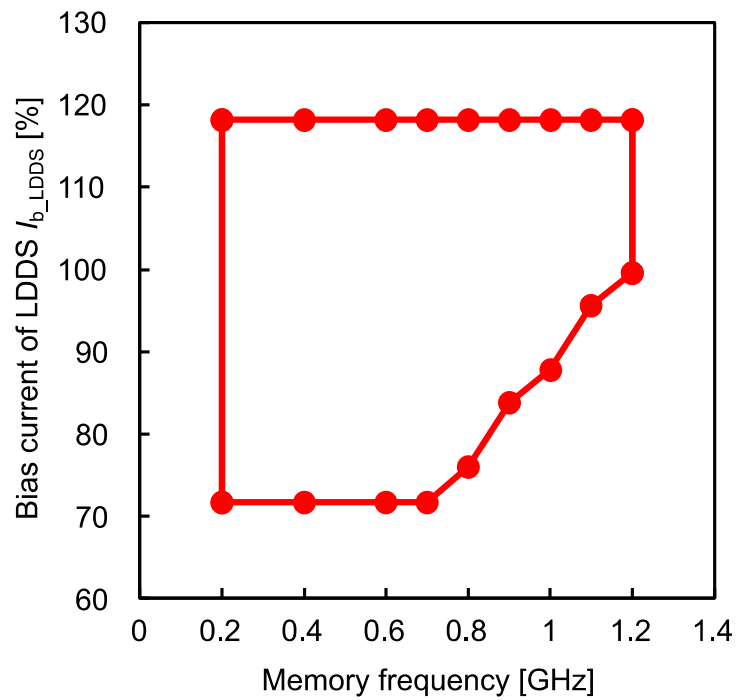


図 4-12 SFQ 加算器のバイアスマージンの内部クロック周波数依存性



(a)



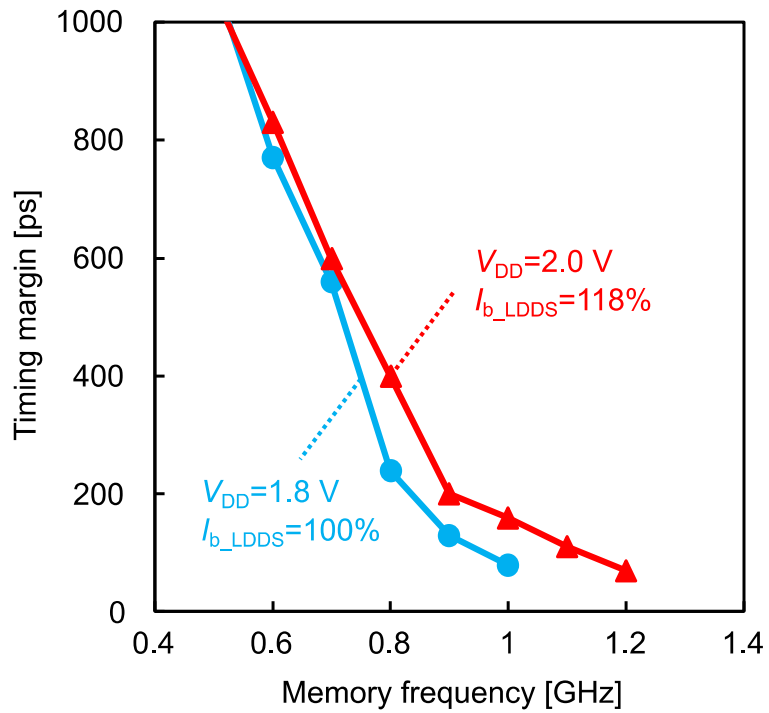
(b)

図 4-13 バイアスマージンのメモリクロック周波数依存性。(a)LDDS のバイアス電流マージン、(b)CMOS メモリの電源電圧マージン。

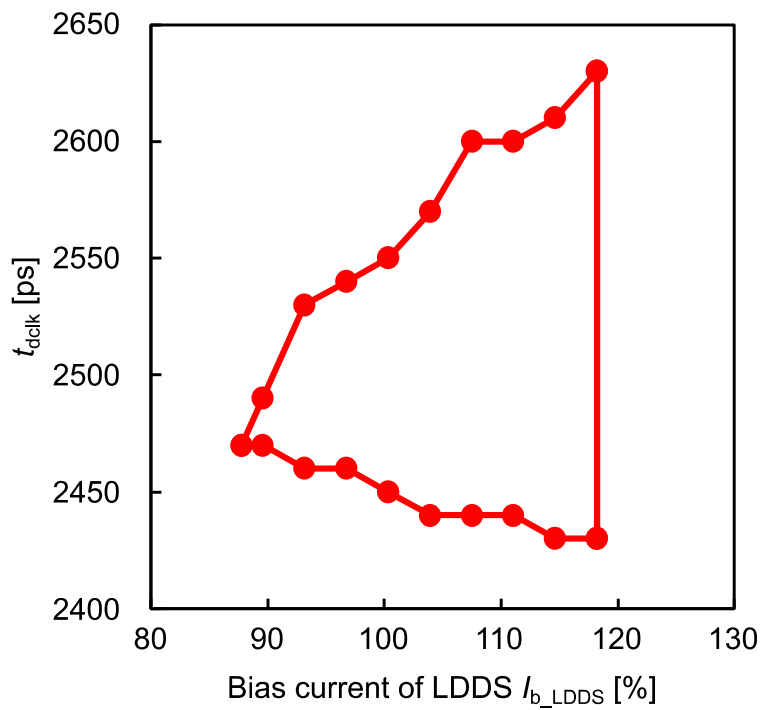
流が減少する特性を考えると、図 4-13(a)における傾向は、周波数が上昇するほどより低いしきい値でなければ LDDS が正常に読み出し動作できなくなることを意味する。メモリクロック周波数 0.7 GHz 以上でバイアスマージンの減少が見られることから、0.7 GHz 以上の領域では LDDS が低バイアス電流・高しきい値であるとタイミングマージンが 0 となり、正常に読み出しできなくなっている。

図 4-13(b)に CMOS メモリの電源電圧マージンのメモリ読み出しクロック周波数依存性を示す。CMOS メモリの電源電圧マージンの評価の際には、過電圧・過電流による素子の破壊が起こらない程度の電圧最大値として 2.00 V を上限として評価を行った。図より、CMOS メモリの電源電圧マージンはメモリ読み出しクロック周波数の増大に対して下側マージンが減少する傾向が見られる。この傾向を示す原因は 2 つ考えられる。1 つは CMOS メモリを構成する要素回路の帯域の電源電圧依存性である。この場合、前節で示したように、CMOS メモリの読み出しクロックを低振幅で与えているために CMOS メモリのクロックツリー配線のバッファがメモリ全体の帯域を制限しているため、メモリの読み出しクロックを正常に電源電圧振幅で駆動することが可能であれば、動作周波数に対するバイアスマージンの特性は改善が見込まれる。もう 1 つの原因は、CMOS メモリの出力電流の振幅の変化が LDDS による読み出しの可能性に影響することである。CMOS メモリの出力電流の振幅はその電源電圧に依存する。一定のクロック周期・一定の LDDS のしきい値を設定した場合に、電源電圧を低減しメモリ出力電流を低減させると、メモリ出力電流が LDDS のしきい値を超過している時間間隔が狭まるため、タイミングマージンが減少する。すなわち、CMOS メモリの電源電圧を低減させメモリ出力電流の振幅を低減させると、その電流を LDDS が正常に読み出せる最高動作周波数が低減する。LDDS のバイアスマージンの動作周波数依存性がメモリクロック周波数 0.2~0.7 GHz では一定であったことを考慮すると、この周波数レンジでは LDDS のしきい値の変化はメモリ出力電流の読み出しの可否に影響を及ぼしていないことが分かる。同様に CMOS メモリの出力電流の振幅も読み出しの可否に影響しないとすれば、この 0.2~0.7 GHz のレンジでの CMOS メモリの電源電圧マージンのクロック周波数依存性は、前者のバッファ帯域の特性のみが現れたものと考えられる。

測定においては前節の測定と同様、メモリ読み出しクロック入力“Rclk”と LDDS へのクロック入力“SFQclk”には適切な時間差 t_{dclk} を設定して入力することで LDDS がメモリ出力電流を検出するようにしている。この t_{dclk} を調整しながらアキュムレータの積算結果を観測することで、LDDS が正常にメモリ出力電流を読み出せており、アキュムレータから正しい積算結果が得られている時間範囲としてタイミングマージンを評価した。図 4-14(a)に、測定におけるタイミングマージンのメモリクロック周波数依存性を示す。図 4-14(a)の青のプロット点は、CMOS メモリの電源電圧及び LDDS のバイアス電流をそれぞれ設計値に設定した場合におけるタイミングマージンを示している。メモリクロック周波数の上昇すなわちメモリクロック周期の減少に伴ってタイミングマージンが減少している傾向が現れている。この状況ではタイミングマージンはメモリクロック周波数 1 GHz において 0.08 ns で



(a)



(b)

図 4-14 タイミングマージンの測定結果。(a)メモリクロック周波数依存性、(b)メモリクロック周波数 1 GHz における LDDS バイアス電流依存性。

あり、周波数 1.1 GHz では正常動作が得られなかった。図中赤のプロット点は CMOS メモリの電源電圧及び LDDS のバイアス電流をそれぞれマージンの最大値に設定した場合におけるタイミングマージンを示している。CMOS メモリの出力電流の振幅増大及び LDDS のしきい値低減に伴い、青の 100%バイアスの場合のプロット点に対してタイミングマージンが増大している。この状況ではメモリは最高動作周波数 1.2 GHz で動作しており、この際のタイミングマージンは 0.07 ns であった。

図 4-14(b)に、タイミングマージンのメモリクロック周波数 1 GHz における LDDS バイアス電流依存性を示す。図 4-14(b)の測定において CMOS メモリの電源電圧は設計値 1.8 V としている。図 4-14(b)は図中縦軸がクロック時間差 t_{clk} を、プロット点で囲まれた領域がタイミングマージンを示し、前節のメモリクロック周波数 1 GHz における単一チャンネル読み出しのタイミングマージン測定と同等の測定を行った結果となっている。図 4-6(a)に示す単一チャンネル読み出し時の結果と同様に、LDDS のバイアス電流増大に伴いタイミングマージンが拡大される傾向が確認された。一方で、図 4-14(b)より本節での測定ではメモリクロック周波数 1 GHz におけるタイミングマージンの最大値は 0.20 ns となっており、図 4-6(a)に示す単一チャンネル読み出し時のタイミングマージンの最大値 0.63 ns と比べ非常に小さい値となった。

4.4.4 議論

実験の結果、32-b 読み出しのタイミングマージンは、4.3 節における 1-b 読み出しのタイミングマージンに比べて非常に小さくなることが確認された。このタイミングマージン減少を引き起こした明確な理由の一つは、SFQ クロック配線のクロックスキューである。32-b のメモリ出力に対応する LDDS の各チャンネルに設けられた SFQ クロック入力のスプリッタ配線によるクロックスキューが最大約 0.12 ns あり、この遅延分タイミングマージンは明らかに減少する。SFQ クロック配線のクロックスキュー以外にも、いくつかの原因が考えられる。CMOS チップのレイアウト上、32 本の RBL は各配線長が異なっている。各オンチップ配線の長さには最大約 1.9 mm の差があり、その伝搬遅延時間には約 0.01 ns の差がある。また、4.3.2 項で述べた CMOS メモリへの外部クロック入力と RBL のクロストークや、各 RBL のボンディングワイヤ間のクロストークが、32 チャンネルの LDDS ごとのタイミングマージンを分散させ、テスト回路全体におけるタイミングマージンを減少させた可能性がある。4.2 K でのオンチップ配線およびボンディングワイヤの寄生成分のモデリングは、回路シミュレーションにおけるタイミングマージン検討のための重要な課題である。SRAM と LDDS のパラメータ変動については、SRAM からの出力電流の振幅の変動と LDDS のしきい値電流の変動により、各チャンネルのタイミングマージンが分散され得る。例えば、LDDS のしきい値電流が 10%変動すると仮定すると、立ち上がり/立ち下がり時間の 10%でタイミングマージンが変動するため、4.3.3 項で示した見積もりによると約 0.014 ns と 0.058 ns のタイミングマージンの減少を引き起こす。

第5章 シーケンシャルアクセス Josephson-CMOS ハイブリッドメモリの性能評価

5.1 本章概要

4章では、Josephson-CMOS ハイブリッドメモリの読み出しテストを目的として、シフトレジスタデコーダを用いたシーケンシャルアクセス型のメモリを構築した。このシーケンシャルアクセス型のメモリは、長いシークエンスのデータセットを高速で読み出す必要のある回路においてデータセットメモリとして応用することが可能であり、この場合同等の機能を有する SFQ のサーキュラーシフトレジスタと呼ばれる回路と比較して小面積で回路を実装することが可能である。本章では、シーケンシャルアクセス Josephson-CMOS ハイブリッドメモリの応用について述べ、そのシミュレーションに基づく性能評価について述べる。

5.2 シーケンシャルアクセス Josephson-CMOS ハイブリッドメモリ (Josephson-CMOS SEQ)の応用

図 5-1 にシーケンシャルアクセス Josephson-CMOS ハイブリッドメモリ (Josephson-CMOS SEQ)のブロック図を示す。Josephson-CMOS SEQ は 8T-SRAM のメモリセルアレーに対しシフトレジスタデコーダを用いたアドレス選択によって、外部クロック入力に対しそのワードアドレスの最初のメモリから最後のメモリまでを順に選択し読み出すことができる。8T-SRAM アレーはビット長 n ビット、ワードアドレス数 m のブロック b 個から成り、シフトレジスタデコーダによりそのワードアドレスを指定しシーケンシャルアクセスが行われる。ブロックアドレスは通常のバイナリデコーダが用いられる。8T-SRAM アレーからの出力は LDDS によって SFQ パルスに変換され、SFQ 回路にメモリからのデータを提供する。ここで、SFQ のパラレル-シリアル変換シフトレジスタによってメモリ出力をビットシリアルなデータ列に変換することが可能であり、その場合 SFQ のクロックジェネレータを LDDS のクロック信号によりトリガすることにより、メモリの読み出し動作とシフトレジスタによるパラレル-シリアル変換動作を同期させる。出力のデータ列をビットシリアル変換する必要があるかどうかは、メモリからの出力データを受ける SFQ 回路側の機能や構成による。このメモリは $m \times n$ ビットのデータ列を b 個格納し、ブロックアドレスの入力によってそのうち 1 つの $m \times n$ ビットのデータ列を選択し、外部クロック入力によって一斉に読み出すことが可能な、非破壊読み出しの高速なリードオンリーメモリと言える。

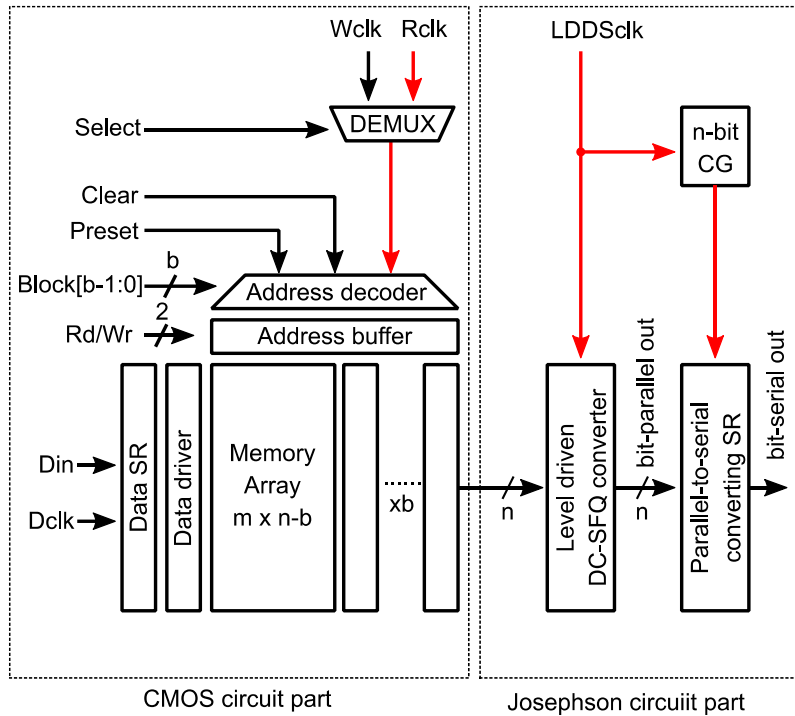


図 5-1 Josephson-CMOS SEQ のブロック図

SFQ 回路において同様に非破壊読み出しを行う高速なリードオンリーメモリには、サーキュラーシフトレジスタ (CSR) と呼ばれる回路 [54][55] がよく用いられる。図 5-2 に SFQ CSR のブロック図を示す。SFQ CSR は DFF のアレーによるシフトレジスタに対し、その出力を分岐して入力にフィードバックさせることで非破壊読み出しを実現している。この回路においては最後段の DFF からの出力をフィードバックして最前段の DFF に書き戻す動作におけるデータとクロックの入力タイミングの調整が重要であり、図 5-2 に示す回路ではシフトレジスタ中のクロック配線にコンカレントフロークロッキングとカウンタフロークロッキングを併用する方式の例を示している。SFQ CSR は 100 GHz 程度のクロック動作周波数で動作が可能であり、すなわちそのビットシリアル出力の帯域は 100 Gbps 程度の動作が可能である。図 5-2 に示すように複数のシフトレジスタに対してアドレス選択を行うデマルチプレクサ (DEMUX) 及び出力データをマージする Merger を統合することで、図 5-1 に示す Josephson-CMOS SEQ と同様に複数ブロックのメモリアレーのうち 1 つを選択してデータ列を読み出す動作が実現できる。

Josephson-CMOS SEQ の出力のバンド幅は動作周波数 f とビット長 n の積 $f \cdot n$ [Gbps] となる。例えば動作周波数 1 GHz、ビット長 100-b を選択すると、100 Gbps でのバンド幅が実現でき、SFQ CSR と同等のバンド幅で同等の非破壊読み出しが可能なメモリとして機能することができる。そのため、Josephson-CMOS SEQ は SFQ CSR の代替としての応用が期待できる。超伝導量子ビット制御等に向けた SFQ 回路を用いたマイクロ波生成回路[16][56]は SFQ CSR が用いられる一例である。これらの回路は生成マイクロ波の正確な変調を可能と

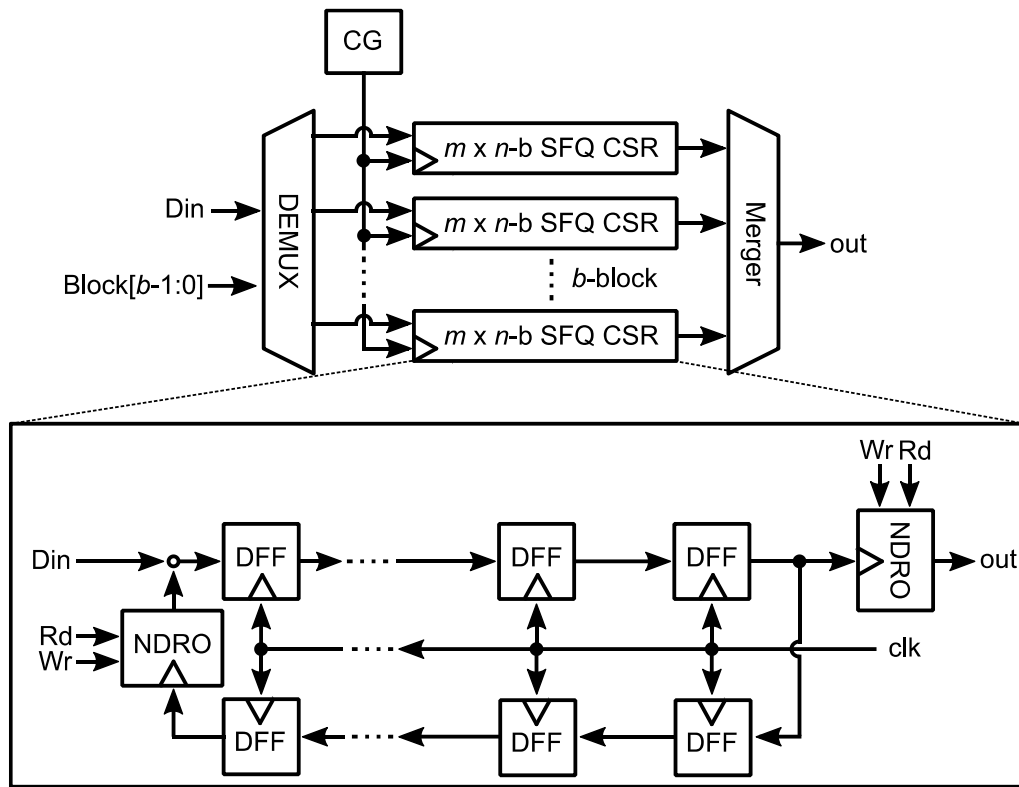


図 5-2 SFQ CSR のブロック図

する長いデータセットを記憶するために、比較的大きな容量かつ大きなバンド幅を有する SFQ CSR が必要とされ、例えば文献[56]のマイクロ波生成回路では最低で 40 Gbps、4-kb 以上の SFQ CSR が想定されている。このような大容量の SFQ CSR が必要となる回路では SFQ CSR の低集積性が回路全体のスケーラビリティを制限してしまう。SFQ CSR を Josephson-CMOS SEQ に置き換えると CMOS メモリの高集積性によりメモリの集積性を向上させることができるため、このような場面で Josephson-CMOS SEQ は有効であると考えられる。

5.3 Josephson-CMOS SEQ の性能評価

5.3.1 Josephson-CMOS SEQ の性能指標と制約

SFQ CSR 及び Josephson-CMOS SEQ がこれらを適用する回路から求められる要求性能は、メモリ容量、バンド幅と消費電力である。メモリ容量の上限は回路の物理的実装面での都合により制限されるが、バンド幅及び消費電力は回路設計によって決まる値である。SFQ CSR を Josephson-CMOS SEQ に置き換えるには、Josephson-CMOS SEQ が SFQ CSR と同等のバンド幅及び消費電力で実現できることが求められる。以下、本節では上述の応用における容量数 kb、バンド幅数 10-100 Gbps 程度の要求性能を目標として、Josephson-CMOS SEQ のバンド幅と消費電力の性能評価を行う。

5.3.2 パラレル-シリアル変換シフトレジスタのバンド幅

Josephson-CMOS SEQ においては、そのバンド幅は大きく 2 つの要因によって制限される。1 つは構成要素回路の帯域である。これは前章における Josephson-CMOS ハイブリッドメモリの高速読み出し動作の可能性についての議論と直接関わる点であり、すなわち現在の実装において CMOS メモリの出力電流のスイッチングによるメモリ最高動作周波数の見積もりが 1.7 GHz 程度であることが、Josephson-CMOS SEQ のバンド幅を制限する要因であることを示している。この制限は RBL1 チャンネルあたりそれぞれの最高動作周波数が 1.7 GHz までであることのみを示しており、一定のメモリ動作周波数に対しビット長を増加すれば Josephson-CMOS SEQ のバンド幅は増加させることができる。可能なビット長の制限はメモリ容量と同様に回路の物理的実装面の都合によって決まるため、本項では議論しない。

バンド幅を制限するもう 1 つの要因は、CMOS メモリからの出力をビットパラレル-シリアル変換するシフトレジスタ (PSC) のタイミング制約である。パラレル-シリアル変換においては、シリアル出力時にシフトレジスタ内部でそれぞれの DFF が正常に動作するためのタイミング制約からシリアル読み出しの内部クロック周波数の上限が定められ、またシリアルに変換したデータを全て出力してから次のパラレルなデータをロードするというタイミング制約からパラレルデータのメモリ周波数の上限が定められる。以下では、PSC のバンド幅の上限について、AIST-ADP2 の CONNECT セルライブラリを仮定してその上限を見積もる。

図 5-3 に PSC のブロック図を示す。PSC には異なるクロッキング方式のものを仮定し、それぞれの比較を行った。図 5-3(a) はコンカレントフロー方式、図 5-3(b) はカウンタフロー方式、図 5-3(c) はゼロスキュー方式である。いずれの場合も、DFF による n ビットのシフトレジスタに対し、レジスタ間に **confluence buffer** を挿入することで LDDS からのビットパラレルなデータ $in[n-1:0]$ をシフトレジスタに入力できるような構成となっている。ここで、メモリ周波数を f_{mem} [GHz]、PSC クロック周波数を f_{SR} [GHz]、メモリビット長を n [bit] とおくと、 f_{SR} の最大値は PSC を構成する SFQ 回路のタイミング制約のみによって決まる。 f_{SR} の最大値 f_{SRmax} は、コンカレントフロー方式の場合の $f_{SRmax,cc}$ 、ゼロスキュー方式の場合の $f_{SRmax,zs}$ 、カウンタフロー方式の場合の $f_{SRmax,c}$ がそれぞれ次式で表される。

$$f_{SRmax,cc} = 1/T_{SRmax,cc} = 1/(T_{DFF} + T_{cb} + T_{setup} - T_{spl}) \quad (5-1)$$

$$f_{SRmax,zs} = 1/T_{SRmax,zs} = 1/(T_{DFF} + T_{cb} + T_{setup}) \quad (5-2)$$

$$f_{SRmax,c} = 1/T_{SRmax,c} = 1/(T_{DFF} + T_{cb} + T_{setup} + T_{spl}) \quad (5-3)$$

ここで、 T_{DFF} は DFF のクロック入力-データ出力遅延、 T_{cb} は **confluence buffer** の遅延、 T_{setup} は DFF のセットアップ時間、 T_{spl} は **splitter** の遅延である。これに対し、メモリ周波数 f_{mem} の最大値は PSC クロック周波数とビット長それぞれに依存する。メモリ周波数の最大値 f_{memmax} は、コンカレントフロー方式の場合の $f_{memmax,cc}$ 、ゼロスキュー方式の場合の $f_{memmax,zs}$ 、カウンタフロー方式の場合の $f_{memmax,c}$ がそれぞれ次式で表される。

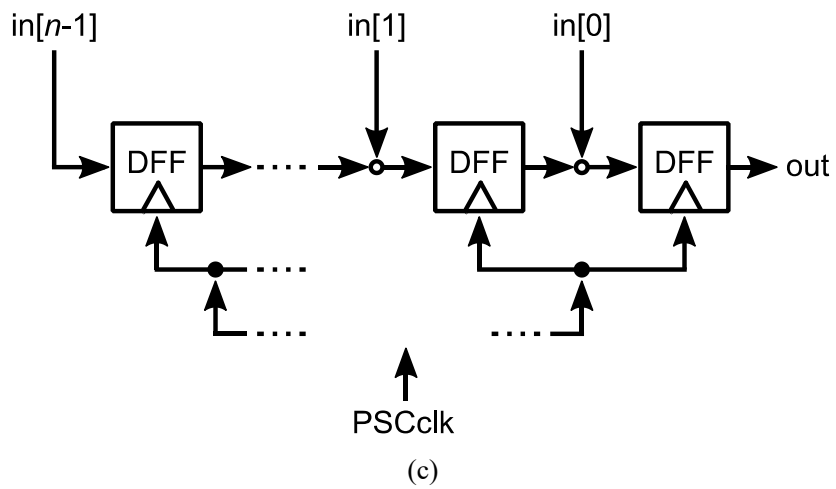
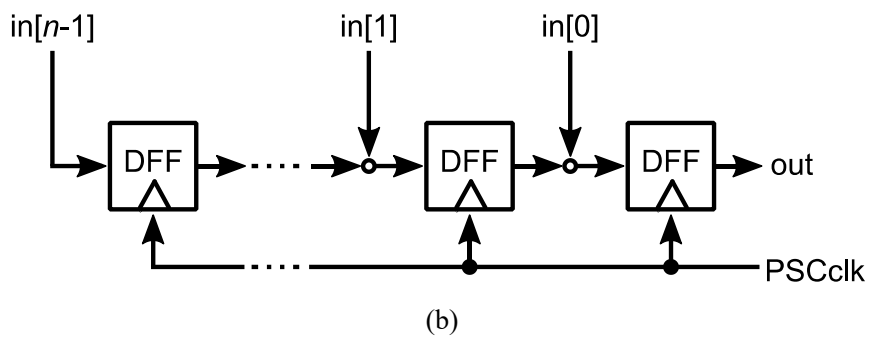
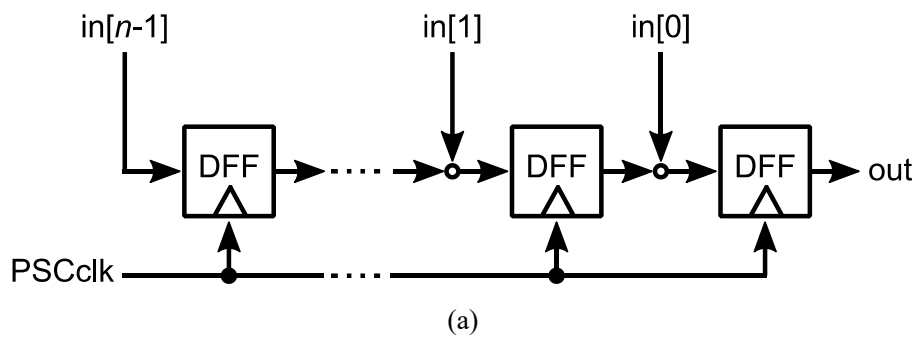


図 5-3 PSC のブロック図。(a)コンカレントフロー方式、(b)カウンタフロー方式、(c)ゼロスキュー方式。

$$f_{memmax,cc} = 1/[T_{setup} + (n-1)T_{SRmax,cc} + (n-1)T_{spl} + T_{hold}] \quad (5-4)$$

$$f_{memmax,zs} = 1/[T_{setup} + (n-1)T_{SRmax,zs} + T_{hold}] \quad (5-5)$$

$$f_{memmax,c} = 1/[T_{setup} + (n-1)T_{SRmax,c} + (n-1)T_{spl} + T_{hold}] \quad (5-6)$$

ここで、 T_{setup} は DFF のホールド時間である。これらに対し、評価すべきパラメータであるバンド幅の最大値 R_{max} は $R_{max} = n \cdot f_{memmax}$ である。以上から、PSC クロック周波数の最大値 f_{SRmax} に対しビット長 n を決めるとメモリ周波数の最大値 f_{memmax} 及び最大バンド幅 R_{max} が決まることが分かる。

AIST-ADP2 の CONNECT セルライブラリにおけるセルのタイミングパラメータを仮定し、式(5-1)~(5-6)より PSC の最大性能を評価した。まず、PSC のそれぞれのクロッキング方式における最大動作周波数 f_{SR} を評価した。ここでは SFQ 回路のタイミングパラメータのバイアス電流依存性を考慮するため、バイアス電流の変化に対する最大動作周波数を評価した。図 5-4 に PSC クロック周波数の最大値のバイアス電流依存性を示す。いずれの方式においてもバイアス電流の増大に対して PSC クロック周波数の最大値は増大する。PSC クロック周波数の最大値はそれぞれのクロッキング式に対してコンカレントフロー方式、ゼロスキュー方式、カウンタフロー方式の順に高いことが分かる。コンカレントフロー方式、ゼロスキュー方式、カウンタフロー方式における最高動作周波数はそれぞれバイアス電流が設計値 100%の場合に 182 GHz、104 GHz、73.0 GHz である。

以上で示した PSC クロック周波数の最大値に対し、ビット長 n を適当に定めてメモリ周波数の最大値 f_{memmax} 及び最大バンド幅 R_{max} を評価した。図 5-5(a)に $n=100$ とした場合の PSC メモリ周波数最大値の PSC クロック周波数依存性を、図 5-5(b)に $n=100$ とした場合の PSC 最大バンド幅の PSC クロック周波数依存性を示す。図 5-5 に示すプロットでは、SFQ 回路のバイアス電流に依存する PSC クロック周波数の最大値の変化に対するメモリ周波数及びバンド幅の最大値の変化をプロットしている。図 5-5(a)よりコンカレントフロー方式及びゼロスキュー方式は同一の最大メモリ周波数 f_{memmax} をとり、これは式(5-1),(5-2),(5-4),(5-5)から $f_{memmax,cc} = f_{memmax,zs}$ であるためである。これらに対しカウンタフロー方式では最大メモリ周波数は低い値となる。これにより図 5-5(b)に示すように最大バンド幅 R_{max} もコンカレントフロー方式及びゼロスキュー方式に対しカウンタフロー方式は低い値となる。図 5-5(b)より 100 Gbps 程度のバンド幅はコンカレントフロー方式及びゼロスキュー方式において実現可能と分かる。SFQ のバイアス電流を設計値 100%とした際の PSC クロック周波数 f_{SRmax} を設定した場合における最大バンド幅はコンカレントフロー方式及びゼロスキュー方式において 105 Gbps、カウンタフロー方式において 56.6 Gbps であり、100 Gbps 超のバンド幅はコンカレントフロー方式及びゼロスキュー方式において達成可能であると見積もられる。

同様にして SFQ 回路のバイアス電流を 100%に定め、その際の PSC クロック周波数の最大値を仮定した場合におけるメモリ周波数の最大値 f_{memmax} 及び最大バンド幅 R_{max} のビット長依存性を評価した。図 5-6(a)に SFQ バイアス 100%とした場合の PSC メモリ周波数最大値

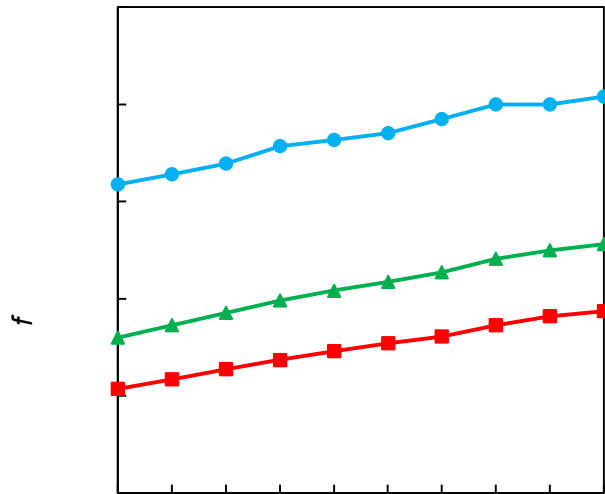
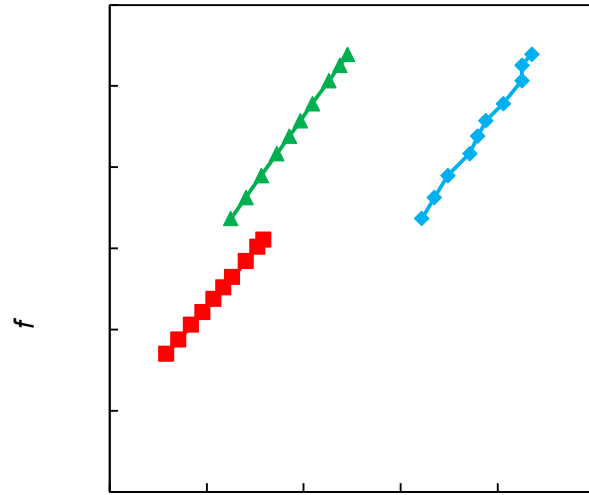


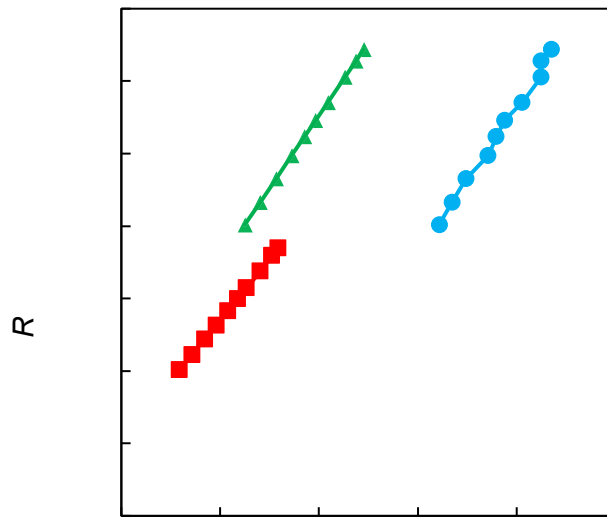
図 5-4 PSC クロック周波数の最大値のバイアス電流依存性

のビット長依存性を、図 5-6(b)に SFQ バイアス 100%とした場合の PSC 最大バンド幅のビット長依存性を示す。図 5-6(a)に示すようにビット長の増大に対し PSC メモリ周波数の最大値は減少する。結果、図 5-6(b)に示すように PSC の最大バンド幅はビット長の変化に対してほぼ一定の値となる。この結果から、それぞれの方式において一定の CSR クロック周波数で動作させる場合は、ビット長及びメモリ周波数に対して最大バンド幅がほぼ一定のため、CSR のタイミング制約の観点からは目標のバンド幅に対してビット長及びメモリ周波数の任意の組み合わせを定めることができると分かる。



f

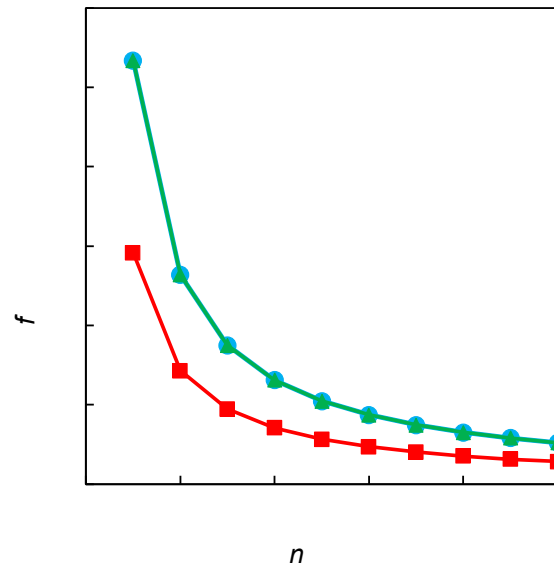
(a)



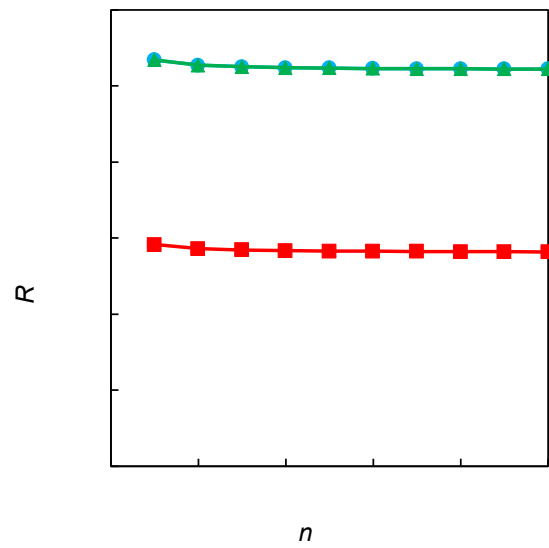
f

(b)

図 5-5 $n=100$ における PSC の性能の PSC クロック周波数依存性。(a)メモリ周波数の最大値。(b)最大バンド幅。



(a)



(b)

図 5-6 SFQ のバイアス電流 100%における PSC の性能のビット長依存性。(a)メモリ周波数の最大値。(b)最大バンド幅。

5.3.3 消費電力

Josephson-CMOS SEQ の消費電力は、メモリの容量・バンド幅、及びそれを決定するワードアドレス数・ビット長・メモリ周波数によって異なる。本項では容量数 kb、バンド幅数 10-100 Gbps 程度の要求性能における Josephson-CMOS SEQ の消費電力を、Rohm 180 nm プロセス及び AIST-ADP2 を仮定してアナログシミュレーションにより評価する。消費電力の見積もりにあたって、まず Josephson-CMOS SEQ を構成する CMOS メモリに対し低消費電力化のために以下の 2 点の処理を施した。

Josephson-CMOS SEQ におけるシフトレジスタデコーダは、図 4-2(a)に示すように DFF のカスケード接続からなるシフトレジスタ構造を取っている。このシフトレジスタデコーダのクロッキング時に論理状態が変化する DFF は、全体のうち前サイクルでアドレス選択していた DFF とそのサイクルでアドレス選択を行う DFF の 2 つのみである。このことから、それぞれの DFF に対してその DFF の論理状態が変化するサイクルのみクロックが入力されるようなクロックゲーティングを容易に施すことができる。図 5-7 にクロックゲーティングを施したシフトレジスタデコーダのブロック図を示す。このようなクロックゲーティングを施すことで、各クロックサイクルに駆動される DFF のクロック入力負荷が軽減されるため、消費電力を低減することが可能である。図 5-8 に動作周波数 1 GHz におけるシフトレジスタデコーダの消費電力を示す。図中赤のプロット点がクロックゲーティングを導入した場合の消費電力を示し、図中青のプロット点がクロックゲーティングを導入していない場合の消費電力を示す。図はシフトレジスタデコーダのワードアドレス数に対する消費電力の変化を示している。図よりクロックゲーティングが消費電力の低減に効果的であることが分かる。相対的には論理状態が変化する DFF に対してクロックゲーティングによりクロック入力されなくなる DFF の数が増えるほどクロックゲーティングによる消費電力の低減率が高くなるため、ワードアドレス数が多い場合のほうがより消費電力の低減が効果的である。クロックゲーティング導入による消費電力の削減率は、ワードアドレス数 32 の場合 49.5%であり、ワードアドレス数 256 の場合 68.5%である。

Josephson-CMOS ハイブリッドメモリの読み出し動作においては、前章までに説明した通り 8T-SRAM からの DC 的な出力電流を LDDS によって検出する方法が用いられる。この DC 的な出力電流による消費電力は、特にメモリ全体の容量が大きくなり、またビット長が大きい場合にはメモリ全体の消費電力に対して支配的に成りうる。出力電流の振幅の低減が消費電力の削減のため重要である。ここで、図 5-9(a)に 8T-SRAM の等価回路図を示す。8T-SRAM はその構造から、出力電流供給用の電源 V_{RDD} をその他の論理回路部分の電源 V_{DD} と分離することで、出力電流の振幅 I_{RBL} を調整することが可能である。図 5-9(a)に 8T-SRAM の出力電流 I_{RBL} の電源電圧 V_{RDD} 依存性を示す。この依存性は 8T-SRAM の出力トランジスタ M7、M8 のドレイン電流特性そのものであり、電源電圧の低減によって出力電流が低減されることが分かる。図 5-9(c)に消費電力 $V_{RDD}I_{RBL}$ の電源電圧 V_{RDD} 依存性を示す。図に示

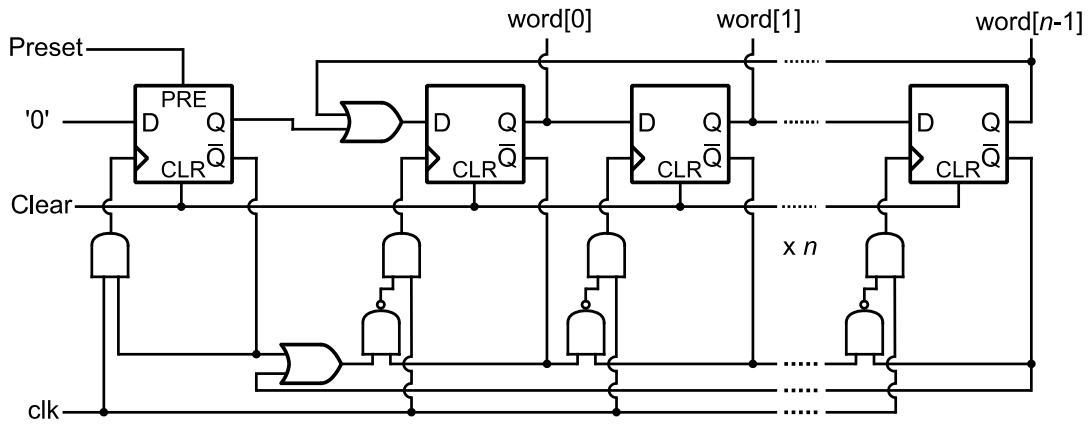


図 5-7 クロックゲーティングを施したシフトレジスタデコーダのブロック図

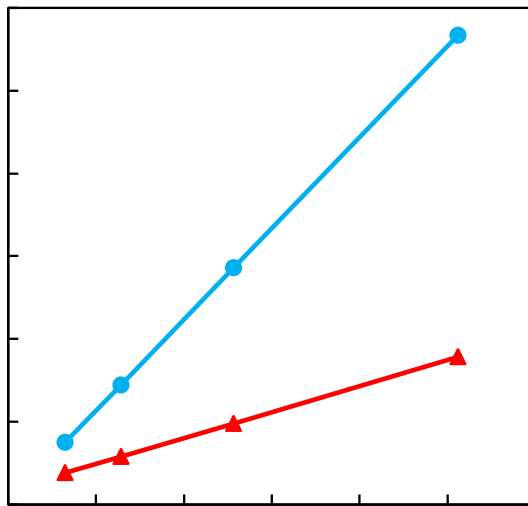
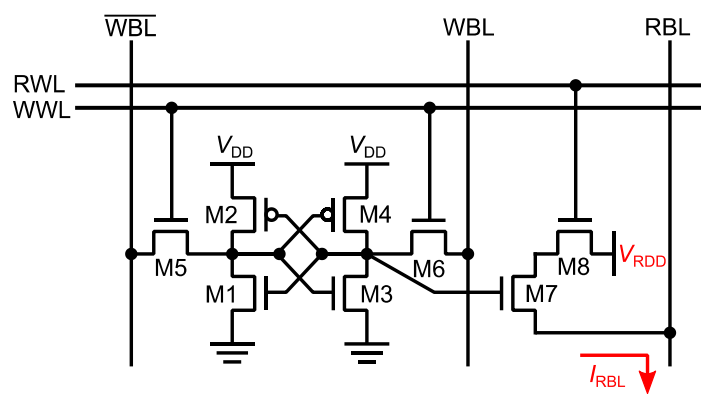
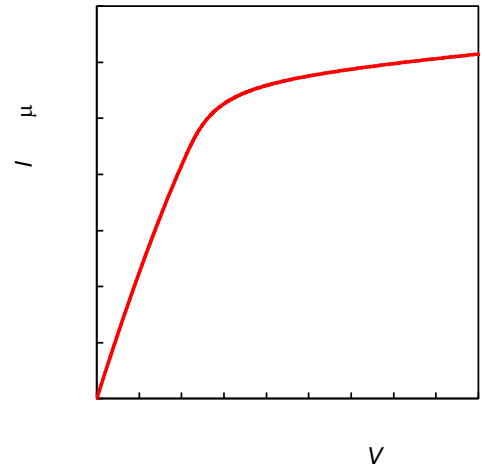


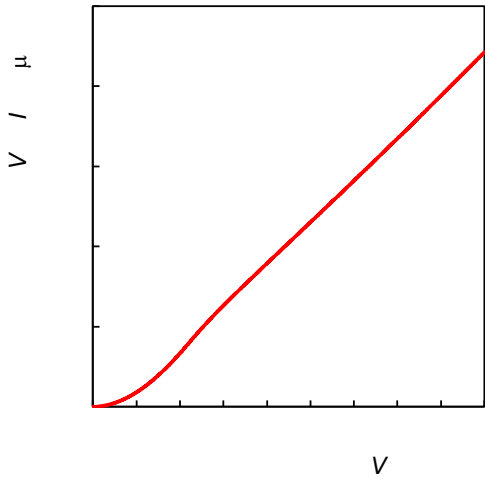
図 5-8 動作周波数 1 GHz におけるシフトレジスタデコーダの消費電力



(a)



(b)



(c)

図 5-9 8T-SRAM の出力電流の調整。(a)等価回路図。(b)出力電流の電源電圧依存性。(c) 出力電流による消費電力の電源電圧依存性。

すように電源電圧の低減によりメモリ出力電流による消費電力が低減されることが分かる。メモリ出力電流の電流は LDDS の検出感度が許容するレベルまで低減することができる。ガウス分布に従う熱雑音に起因する誤動作に対する LDDS の検出感度の評価指標であるグレーゾーン幅はシミュレーションで $2.69 \mu\text{A}$ と見積もられている。十分に低い誤り率で LDDS を動作させるにはメモリ出力電流の振幅がグレーゾーン幅の 5-10 倍程度の値であればよい。これに対し、8T-SRAM の出力電流供給用電源電圧を $V_{\text{RDD}} = 0.1 \text{ V}$ とすると出力電流は $I_{\text{RBL}} = 23.2 \mu\text{A}$ となり消費電力は $V_{\text{RDD}}I_{\text{RBL}} = 2.32 \mu\text{W}$ となる。この場合、8T-SRAM の出力電流供給用電源電圧をその他の回路の電源電圧 $V_{\text{DD}} = 1.8 \text{ V}$ と共通とした場合の $I_{\text{RBL}} = 123 \mu\text{A}$ 、 $V_{\text{RDD}}I_{\text{RBL}} = 221 \mu\text{W}$ に対して消費電力を 99.0%削減することができる。

以上の CMOS メモリの低消費電力化を適用した上で、Josephson-CMOS SEQ の消費電力の見積もりを行った。Josephson-CMOS SEQ の規模として、ワードアドレス数 m 、ビット長 n 、メモリ周波数 f_{mem} を可変パラメータとして、目標性能である容量数 kb、バンド幅数 10-100 Gbps 程度を実現するパラメータの組それぞれの場合においてシミュレーションを行った。シミュレーションにおいては HSPICE を用いて CMOS メモリ部分のみ考慮したアナログシミュレーションを行い、LDDS 及び PSC の SFQ 回路部分の消費電力は AIST-ADP2 用の RSFQ CONNECT セルライブラリを用いて設計した際の静的消費電力を算出した。また PSC のクロッキングはコンカレントフロー方式を仮定している。SFQ CG の消費電力はここでは除外している。なお CMOS メモリのシミュレーションでは CMOS メモリと LDDS 間の寄生成分は考慮していない。また CMOS メモリのシミュレーションにおいては簡略化のためブロック数を 1 としている。

図 5-10 に Josephson-CMOS SEQ の消費電力の規模依存性を示す。図 5-10(a)はワードアドレス数 $m=32, 64, 128$ における消費電力の変化、図 5-10(b)はビット長 $n=50, 100, 200$ における消費電力の変化、図 5-10(c)はメモリ周波数 $f_{\text{mem}} = 0.5, 1, 2 \text{ [GHz]}$ における消費電力の変化をそれぞれ示している。図の消費電力は Josephson-CMOS SEQ の要素回路毎の消費電力の内訳を示しており、図中“dec”はシフトレジスタデコーダ、“buf”は CMOS メモリ内のアドレス線駆動バッファ、“cell”は 8T-SRAM セル、“LDDS”は LDDS、“PSC”は PSC の消費電力をそれぞれ示している。図 5-10 に示されるように、CMOS メモリのパラメータの変化に対してそれぞれの消費電力は定性的に次のような変化を示す。ワードアドレス数 m の増大に対しては、シフトレジスタデコーダの消費電力が線形に増大する。ビット長 n の増大に対しては、シフトレジスタデコーダ以外の全ての要素回路の消費電力が線形に増大する。メモリ周波数 f_{mem} の増大に対しては、シフトレジスタデコーダ及びアドレス線駆動バッファの消費電力が線形に増大する。図 5-10 より、 $m=32, 64, 128$ 、 $n=50, 100, 200$ 、 $f_{\text{mem}} = 0.5, 1, 2 \text{ [GHz]}$ 程度の規模では Josephson-CMOS SEQ の消費電力は数 mW のオーダーとなることが分かる。 $m=64$ 、 $n=100$ 、 $f_{\text{mem}} = 1 \text{ GHz}$ の場合における消費電力は 3.62 mW であり、この場合のメモリ性能は容量 $C = 6.4 \text{ kb}$ 、バンド幅 $R = 100 \text{ Gbps}$ である。

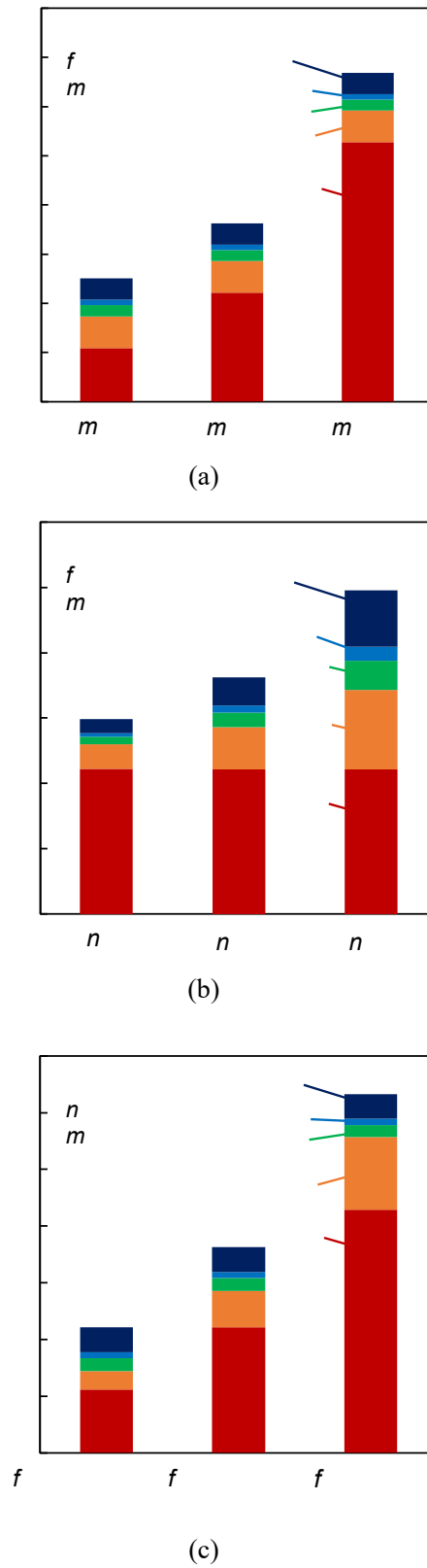


図 5-10 Josephson-CMOS SEQ の消費電力の規模依存性。(a)ワードアドレス数依存性、(b)ビット長依存性、(c)メモリ周波数依存性

Josephson-CMOS SEQ が一定の要求メモリ性能である容量 $C = nm$ [kb], バンド幅 $R = nf_{\text{mem}}$ [Gbps]を実現する際に、これを実現するワードアドレス数 m 、ビット長 n 、メモリ周波数 f_{mem} は任意の組み合わせがとれる。例えば 100 Gbps のバンド幅はビット長 100-b・メモリ周波数 1 GHz でも、ビット長 50-b・メモリ周波数 2 GHz でも達成しうる。上記のメモリ設計パラメータに対する消費電力の変化から、以下の重要な設計指針が示唆される。一定の容量・バンド幅を実現する場合、メモリ周波数を増大させるとこれに対しビット長は削減・ワードアドレス数は増大させる必要がある。このとき、上記のメモリ設計パラメータに対する消費電力の変化より、メモリ周波数増大・ビット長削減・ワードアドレス数増大に対する消費電力の変化は、シフトレジスタデコーダはメモリ周波数増大に対して 2 乗で増大、アドレス線駆動バッファは一定、8T-SRAM セル・LDDS・PSC はメモリ周波数増大に対し線形に減少する傾向を示すことが分かる。高いメモリ周波数を選択した場合はシフトレジスタデコーダの消費電力がその他の要素回路と比較して急激に増大するため、メモリの低消費電力設計にはメモリ周波数を低い値と設定する設計が適すると言える。図 5-11 に、容量 6.4 kb、バンド幅 100 Gbps における Josephson-CMOS SEQ の消費電力のメモリ設計パラメータ依存性を示す。図より、メモリ周波数を大きい値に設定した場合ほど消費電力が増大していることが分かる。実応用においてはメモリ周波数の設定は、CMOS メモリや CMOS メモリと LDDS の相互接続部の帯域による制限のほか、Josephson-CMOS SEQ の出力を受け取る SFQ 回路の仕様による要請、またメモリ周波数の変化に合わせたビット長の変化への回路の物理的実装面の都合による要請から決められるが、これらが許容する限りはメモリ周波数を低い値とすると消費電力を低減できるということが言える。

以上で評価した Josephson-CMOS SEQ の消費電力を SFQ CSR と比較するため、SFQ CSR の消費電力を見積もった。筆者の研究グループにおける 64-b SFQ CSR の設計を基に、動作周波数 100 GHz すなわちバンド幅 100 Gbps において、AIST-ADP2 の RSFQ CONNECT セルライブラリを仮定して容量数 kb の SFQ CSR の消費電力を見積もり、Josephson-CMOS SEQ の消費電力と比較した。Josephson-CMOS SEQ のバンド幅は SFQ CSR と同条件の 100 Gbps とし、また 4 章において実験で動作実証された範囲のメモリ周波数としてメモリ周波数 1 GHz とし、ビット長 100-b とした場合の消費電力を SFQ CSR と比較した。図 5-12 に Josephson-CMOS SEQ と SFQ CSR の消費電力の比較を示す。図 5-12 より、Josephson-CMOS SEQ の消費電力は SFQ CSR の消費電力と比較して 5 倍程度低いことが分かる。このことから、Josephson-CMOS SEQ は同等のバンド幅・同等の容量のシーケンシャルアクセスメモリを実装する場合において、SFQ CSR に対し消費電力の面で優位性があると示される。

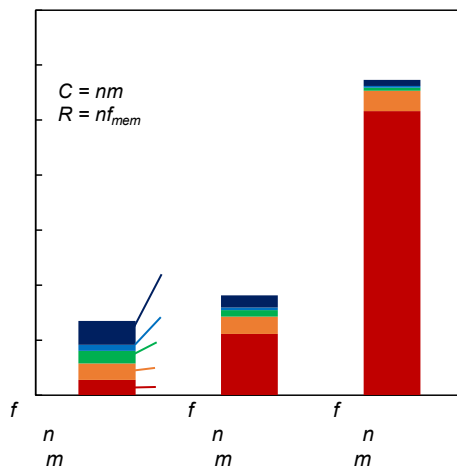


図 5-11 容量 6.4 kb、帯域 100 Gbps における Josephson-CMOS SEQ の消費電力のメモリ設計パラメータ依存性

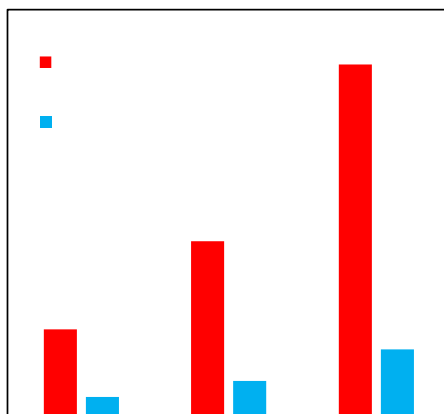


図 5-12 Josephson-CMOS SEQ と SFQ CSR の消費電力の比較

第6章 10-kA/cm² プロセスにおける Josephson latching driver の最適化

6.1 本章概要

4, 5 章ではシーケンシャルアクセスの Josephson-CMOS ハイブリッドメモリについての議論を行ってきた。以降の章ではランダムアクセスの Josephson-CMOS ハイブリッドメモリについて議論する。ランダムアクセスのハイブリッドメモリの場合、SFQ 回路-CMOS 回路間インターフェースとして Josephson latching driver (JLD)が必要となる。これまでに筆者の研究室で構築されたランダムアクセスの Josephson-CMOS ハイブリッドメモリは、JLD の作製プロセスに AIST 2.5-kA/cm² Nb 4 層標準プロセス (AIST-STP2)のみが用いられてきた。一方、2 章で述べまた 4, 5 章で用いているように、同じ AIST の Nb Josephson 回路作製プロセスでもより高臨界電流密度化・多層化した AIST 10-kA/cm² Nb 9 層アドバンスドプロセス (AIST-ADP2)が開発されている。ランダムアクセスの Josephson-CMOS ハイブリッドメモリの AIST-STP2 から AIST-ADP2 への移行を考えた場合、JLD も AIST-ADP2 で設計・実装される必要がある。

本章では、JLD の AIST-ADP2 における JLD の実装について述べる。JLD の設計については、AIST-STP2 における従来の JLD の設計を基とし、プロセス毎の Josephson 接合パラメータの差異を考慮した回路パラメータ最適化を行った。以下、JLD の設計、パラメータ最適化、エラーレートシミュレーション結果について述べ、次いで試作回路の実験結果について述べる。

6.2 Josephson latching driver の設計及びシミュレーション

6.2.1 Josephson latching driver

図 6-1 に、JLD の等価回路図を示す。JLD は 3 章で記述した通り、電圧ドライバである Suzuki stack (SS)と、その前段増幅器としての 4JL ゲート (4JL)により構成されている。SS 並びに 4JL は交流電流でバイアスされたアンダーダンブ型 Josephson 接合の並列スタックであり、SS は 16 段の並列接合スタックから成る。以下に動作原理を示す。SS 及び 4JL の交流バイアス電流がオン状態で流れている間、4JL 及び SS の接合はそれぞれの臨界電流値を超えない程度の電流でバイアスされている。ここで入力端より SFQ パルスが入力されると、JTL を構成する接合 J_0 がスイッチし、スイッチングに伴う周回電流が 4JL に入力される。JTL からの入力電流と交流バイアス電流の重畳によって、4JL を構成する接合のうちのひとつ J_{101} が有電圧状態へ遷移する。これにより、4JL の接合 J_{101} 及び J_{102} のブランチに流れていたバイアス電流が接合 J_{103} 及び J_{104} のブランチに偏って流れるようになり、この電流の増加により接合 J_{103} 及び J_{104} が有電圧状態へ遷移する。これにより再びバイアス電流が接合

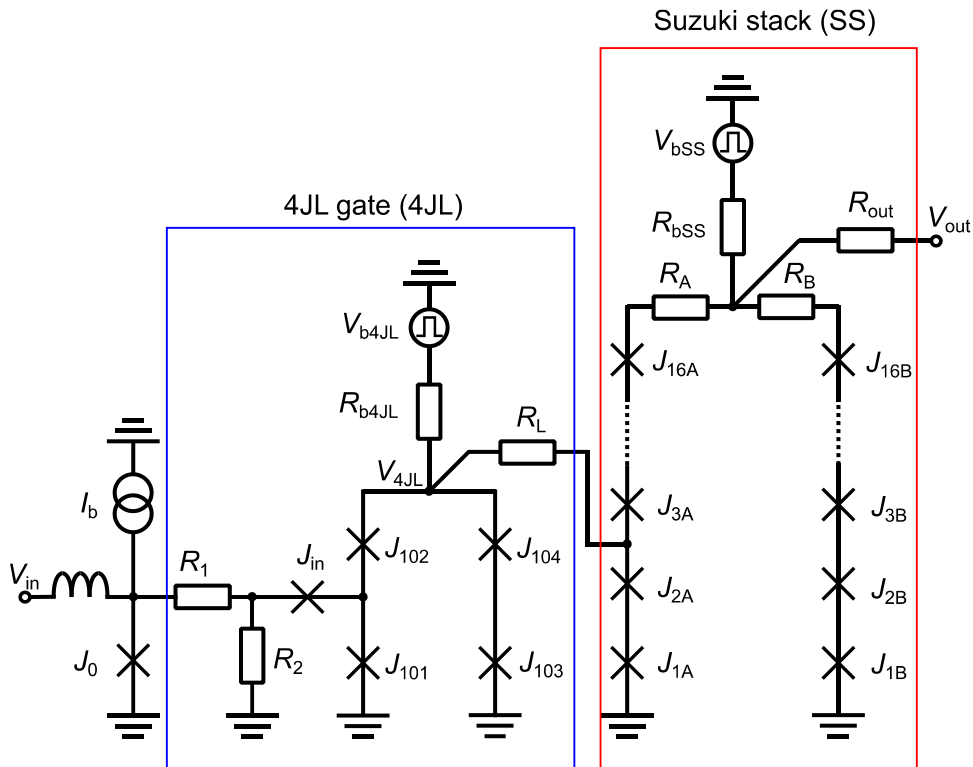


図 6-1 Josephson latching driver の等価回路図。 $J_0 = 216 \mu\text{A}$ 、 $J_{in} = 100 \mu\text{A}$ 、 $J_{101} = J_{102} = 120 \mu\text{A}$ 、 $J_{103} = J_{104} = 360 \mu\text{A}$ 、 $J_{1A} \sim J_{16A} = 400 \mu\text{A}$ 、 $J_{1B} \sim J_{16B} = 400 \mu\text{A}$ 、 $R_1 = 0.5 \Omega$ 、 $R_2 = 30 \Omega$ 、 $R_L = 35 \Omega$ 、 $R_A = R_B = 3 \Omega$ 、 $R_{out} = 150 \Omega$ 、 $R_{b4JL} = 200 \Omega$ 、 $R_{bSS} = 700 \Omega$ 、 $V_{b4JL} = 72 \text{ mV}$ 、 $V_{bSS} = 420 \text{ mV}$ 。

J_{101} 及び J_{102} のブランチに偏って流れるようになり、接合 J_{102} が有電圧状態へ遷移する。以上のようにして 4JL を構成する 4 つの接合全てが有電圧状態に遷移し、4JL の出力ノードの電圧 V_{4JL} として接合ギャップ電圧の倍、5.6 mV 程度の出力電圧が生じる。このとき、4JL の入力に挿入されている接合 J_{in} も JTL からの入力電流によって有電圧状態に遷移しており、これにより 4JL のバイアス電流が JTL に逆流することを防いでいる。4JL に出力電圧が生じたことにより、4JL の出力抵抗 R_L を介して SS に入力電流が流れる。SS への入力電流と SS のバイアス電流により SS を構成する接合 J_{1A} 及び J_{2A} が有電圧状態に遷移する。以降、4JL の場合と同様にして左右それぞれのブランチに流れるバイアス電流の変化によって、SS を構成する全ての接合が有電圧状態に遷移する。これにより、SS の出力ノード電圧 V_{SS} に出力電圧として接合ギャップ電圧の 16 倍、44.8 mV 程度の出力電圧が生じる。4JL 及び SS の出力電流はそれぞれの交流バイアス電流がオン状態で流れている間はレベル電圧として維持され、交流バイアス電流がオフ状態となったときにゼロ電圧へリセットされる。

図 6-2 に JLD の動作周波数 1 GHz におけるシミュレーション波形を示す。シミュレーション波形より、SFQ パルス入力が正常に 40 mV 超のレベル電圧信号として変換・出力されていることが分かる。

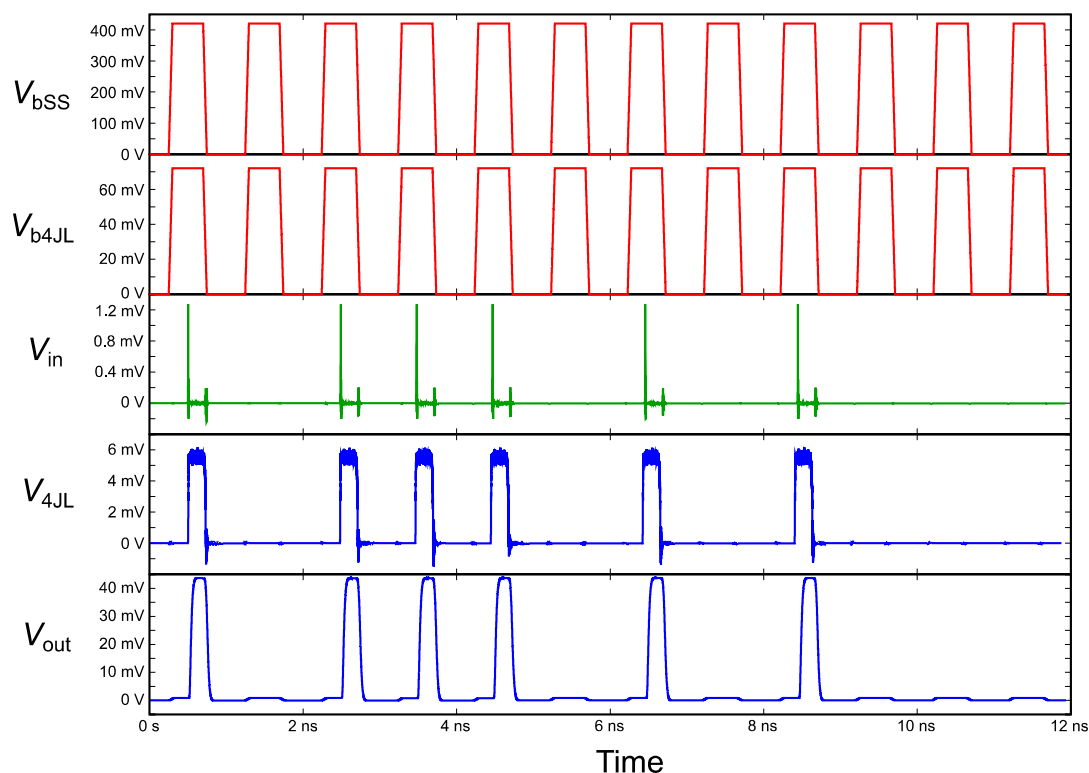


図 6-2 Josephson latching driver の動作周波数 1 GHz におけるシミュレーション波形

6.2.2 4JL ゲートのパラメータ最適化

以前までの Josephson-CMOS ハイブリッドメモリに用いられてきた AIST-STP2 における JLD の回路構成は、JLD の SFQ パルス入力に対する検出感度、及び JLD の出力負荷である CMOS アンプの駆動の観点から最適化され、実装・実証されてきた[44][45]。JLD の主要な設計自由度としての回路パラメータは SS の接合段数、SS の接合臨界電流値、SS の出力抵抗、SS のバイアス抵抗、4JL の臨界電流値、4JL の出力抵抗である。AIST 10-kA/cm² ADP2 で同等の JLD を実装するにあたって、SS の回路パラメータの決定には主に JLD の後段に接続される CMOS 差動増幅器の仕様とその相互接続部の寄生成分による要求が大きく寄与し、今回の設計においては従来の AIST-STP2 のパラメータをそのまま用いている。一方、4JL の臨界電流値・出力抵抗については AIST-STP2 でのパラメータを AIST-ADP2 で用いた場合には 4JL の駆動力不足により 4JL の出力電圧が安定しないため、これらの値は AIST-ADP2 での接合パラメータを考慮して調整する必要があった。以下、本項では 4JL の回路パラメータの最適化について述べる。

図 6-3 に 4JL の I-V 特性の模式図を示す。図中青線で示される 4JL の I-V 特性は、それを構成するアンシャントのアンダーダンプ型接合の I-V 特性と同様、ヒステリシス特性を示す。この特性に対し、図中赤線で負荷抵抗 R_L における負荷特性を示している。この状況で、

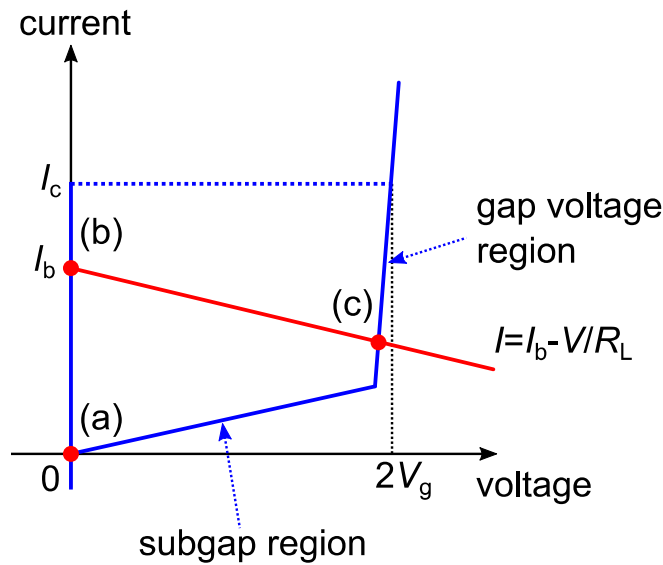


図 6-3 4JL の I-V 特性の模式図

4JL の臨界電流値 I_c を超えない程度の振幅の交流バイアス電流 I_b と JTL からの入力電流を考慮すると、4JL は図中(a)、(b)、(c)の 3 箇所の安定点を取りうる。すなわち(a)は交流バイアス電流が 0 のときのリセット状態であり、(b)は交流バイアス電流がオン状態で流れている待機状態であり、(c)はバイアス電流と入力電流により 4JL の接合が有電圧状態で安定した出力状態である。ここで、(c)に示す出力状態は、図中青線の 4JL の特性のうち、gap voltage region と示した、接合ギャップ電圧程度で電圧が電流変化に対して安定している点にある必要がある。(c)に示す出力状態が図中 subgap region と示している接合サブギャップ特性が現れている領域にある場合は、スイッチング時の電流変化や雑音電流に対して出力電圧が大きく変動してしまうため、出力電圧が不安定となるためである。

出力状態が gap voltage region にあるための拘束条件は、4JL の臨界電流値 I_c を定める接合臨界電流値 $J_{101} \sim J_{104}$ 、subgap region の勾配を与える接合サブギャップ抵抗 R_g 、接合ギャップ電圧 V_g 、バイアス電流 I_b 、及び負荷抵抗 R_L それぞれのパラメータの相互関係として現れる。4JL を構成する接合臨界電流値は一般に $3J_{101} = 3J_{102} = J_{103} = J_{104}$ となるように設定され、この場合 4JL の臨界電流値は $I_c = 4J_{101}$ となる。またバイアス電流の振幅は $I_b = 0.75I_c$ を標準値としている。ここで、AIST-STP2 及び AIST-ADP2 において異なるパラメータは単位臨界電流値あたりの接合サブギャップ抵抗である。AIST-STP2 における接合サブギャップ抵抗は臨界電流値 100 μA あたり 200 Ω であるのに対し、AIST-ADP2 における接合サブギャップ抵抗は臨界電流値 100 μA あたり 100 Ω と小さい。そのため、AIST-ADP2 を用いた場合では subgap region の勾配がより大きくなることから、出力状態が gap voltage region にあるための拘束条件は AIST-STP2 を用いた場合と比較してより厳しくなる。

従来の AIST-STP2 を用いた設計では最適化した結果として接合臨界電流値 $J_{101} = 100 \mu\text{A}$ 、負荷抵抗 $R_L = 17 \Omega$ という値が設定されていた。このパラメータで図中(c)の出力状態は正し

く gap voltage region にあったが、AIST-ADP2 で同じパラメータを用いた場合では、出力状態は subgap region 中になってしまうため、これらの値は最適化する必要がある。

以下、AIST-ADP2 の接合パラメータを仮定した場合において、接合臨界電流値 J_{101} と負荷抵抗 R_L それぞれのパラメータに対し、出力状態が subgap region にある条件をシミュレーションによって評価した。図 6-4 に 4JL の出力電圧の負荷抵抗依存性を示す。図 6-4 に示す依存性は、接合臨界電流値 J_{101} を変化させた場合における特性をそれぞれプロットしている。図 6-4 より、それぞれの接合臨界電流値において、負荷抵抗が小さい領域では出力電圧が負荷抵抗に対して線形に依存する subgap region の特性が現れ、負荷抵抗が大きい領域では出力電圧がほぼ一定になる gap voltage region の特性が現れていることが確認できる。また図 6-4 より、接合臨界電流値が大きいほど負荷抵抗が小さい値でも出力状態が gap voltage region 中に設定できることが分かる。

図 6-4 より、出力状態を gap voltage region に設定するための接合臨界電流値と負荷抵抗の組み合わせの条件が分かる。ここで、4JL の接合臨界電流値を高くかつ負荷抵抗を小さく設定した場合は、4JL の出力電流すなわち SS への入力電流が大きくなるため、SS がより低いバイアス電流で駆動できるようになり、SS のバイアスマージンが拡大する。一方、4JL の接合臨界電流値を低くかつ負荷抵抗を高く設定した場合は、JTL から 4JL へ入力される一定の入力電流に対し 4JL がより低いバイアス電流で駆動できるようになり、4JL のバイアスマージンが拡大する。そのため、4JL の接合臨界電流値及び負荷抵抗の値の大小は、4JL 及び SS それぞれのバイアスマージンに対してトレードオフの関係をもたらす。ここでは 4JL 及び SS のバイアスマージンの双方を最大化する点として、4JL の接合臨界電流値及び負荷抵抗値の最適化を図った。図 6-5 に 4JL 及び SS のバイアスマージンの 4JL 接合臨界電流値に対する依存性のシミュレーション結果を示す。図 6-5 に示すシミュレーションでは、4JL 及び SS のバイアス電流値はそれぞれの臨界電流値の 75% を標準値として規格化している。また 4JL の接合臨界電流値の変化に対して、それぞれにおける 4JL 負荷抵抗の値は、図 6-4 のシミュレーション結果において、出力状態が gap voltage region 中に設定できる最小の負荷抵抗の 1.2 倍の値を用いるものとした。図 6-5 より、4JL 及び SS のバイアスマージンは、その上側は 4JL 接合臨界電流値によらず一定であるのに対し、その下側は 4JL 接合臨界電流値の変化に対してそれぞれトレードオフの関係が確認された。図 6-5 より、4JL 及び SS のバイアスマージンの双方を最大化する最適点として、接合臨界電流値 $J_{101} = 120 \mu\text{A}$ が得られた。またこの際の 4JL 負荷抵抗値は 35Ω であった。

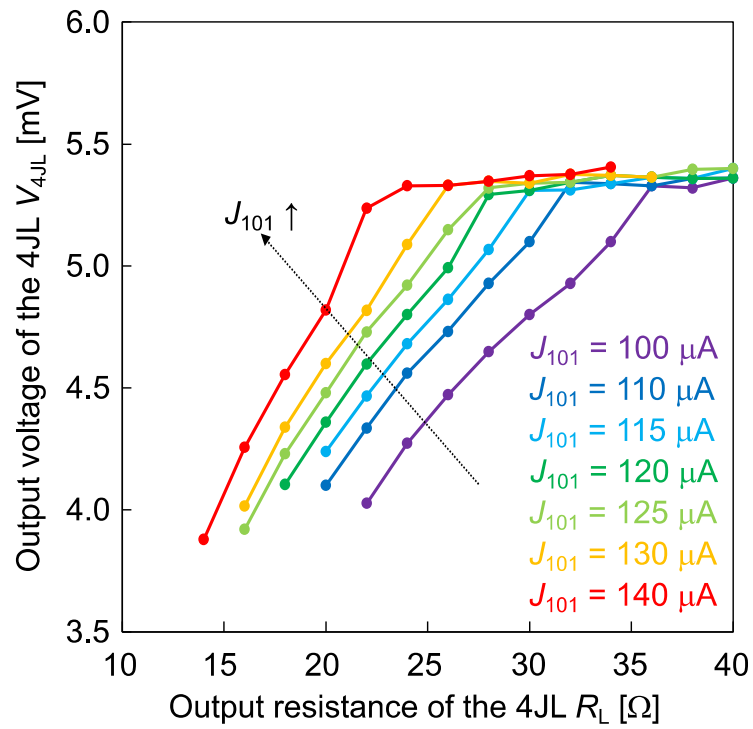


図 6-4 4JL の出力電圧の負荷抵抗依存性

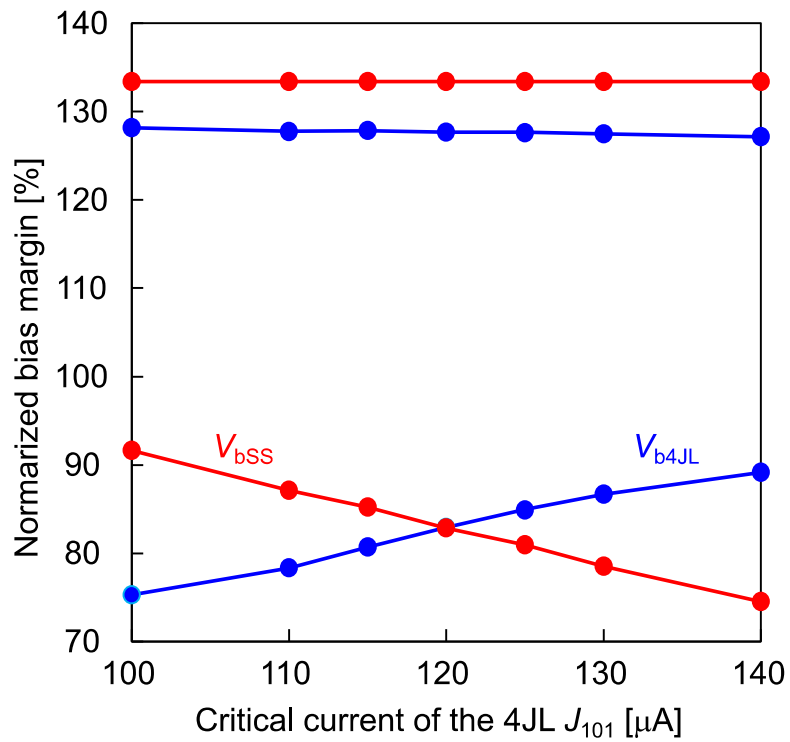


図 6-5 4JL 及び SS のバイアスマージンの 4JL 接合臨界電流値に対する依存性

6.2.3 熱雑音を考慮したビットエラーレートのシミュレーション

上項では 4JL のパラメータ最適化を行った。SS の回路パラメータは、先述の通りハイブリッドメモリにおいて JLD の負荷となる CMOS 差動増幅器及びその相互接続部における寄生成分による要請から定められるため、今回の設計ではパラメータ変更を行っていない。一方で、JLD 単体の動作試験においては 50 Ω負荷の測定系で JLD は評価される。図 6-1 に示す設計パラメータの JLD は 50 Ω負荷を駆動する場合にはその出力状態は subgap region 中となってしまうため、その測定においては JLD の出力電圧の不安定及びそれに伴うビットエラーレートの悪化が予想される。ここでは回路素子の熱雑音を考慮したシミュレーションによって JLD のビットエラーレートを評価した。

図 6-6 に、エラーレートのシミュレーションにおける 50 Ω系測定における JLD の負荷の模擬図を示す。このシミュレーションでは 50 Ω系測定を考慮してオンチップの JLD 負荷抵抗は $R_{out} = 50 \Omega$ としており、そこにオンチップ配線によるインダクタンス $L_{wire} = 170 \text{ pH}$ 、パッドのキャパシタンス $C_{pad} = 1.4 \text{ pF}$ 、測定系の特性インピーダンス $Z_0 = 50 \Omega$ 、終端負荷抵抗 $R_{out} = 50 \Omega$ をそれぞれ模擬している。

エラーレートのシミュレーションにあたっては、JSIM_N [53] を用い、回路中の接合及び抵抗素子に並列で熱雑音電流を模擬する電流源を付加した。熱雑音電流源は振幅が平均 0、標準偏差 $I_n = \sqrt{4k_B T \Delta f / R}$ の白色雑音を模擬する電流源であり、ここで R は抵抗の抵抗値または接合のサブギャップ抵抗値、 k_B はボルツマン定数、 T は絶対温度 4.2 K、 Δf は帯域でありここではシミュレーションのタイムステップ 0.1 ps の逆数 10 THz である。シミュレーションではバイアス電流の各条件において動作周波数 1 GHz で $2^5-1=31\text{-b}$ の疑似ランダムパターンを入力としたシミュレーションを 1000 回繰り返し、計 31000-b の入力パターンに対するエラーレートを評価した。出力の論理反転は、JLD の出力電圧の最大値の半分を論理しきい値とし、論理しきい値未満の出力を論理 0、論理しきい値以上の出力を論理 1 として判別した。

図 6-7 に動作周波数 1 GHz における JLD のビットエラーレートのシミュレーション結果を示す。図中シミュレーションは SS のバイアス電圧を変化させた際のバイアス電圧に対するビットエラーレートの依存性をプロットしている。図中赤のプロットが図 6-6 に示す負荷模擬におけるシミュレーション結果である。図 6-7 より、SS のバイアス電圧が低い領域でビットエラーレートの特性にプラトー領域が現れている。この領域では SS の出力状態が subgap region にあり、SS の接合スイッチング時の過渡的な電流変化と熱雑音電流によって SS の出力電圧が不安定となっていることにより、バイアス電圧の増大に対して出力電圧が論理しきい値を超過する頻度が増大せず、ビットエラーレートが低減しない傾向が見られている。この問題は、SS の出力に比較的大きなインダクタンスを直列に挿入し、SS のスイッチング時の過渡的な出力電流の変化を抑制することで改善が可能である。図 6-7 の緑のプロットで示すシミュレーション結果は、図 6-6 に示す模擬回路において直列インダクタンス

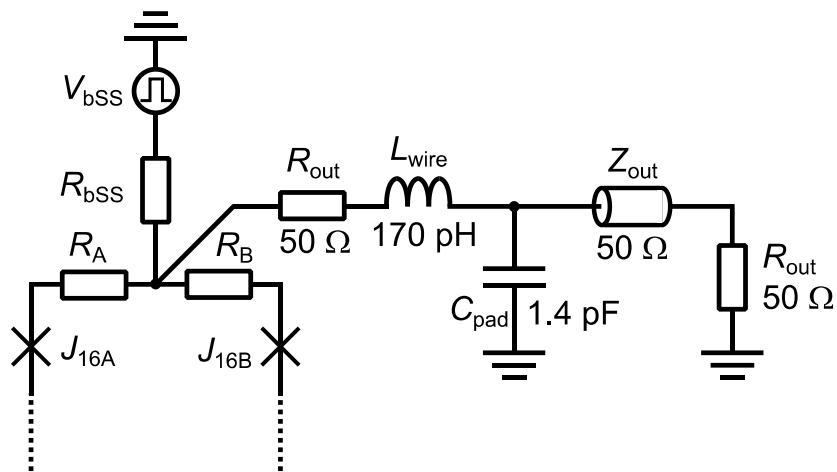


図 6-6 50 Ω系測定における JLD の負荷の模擬

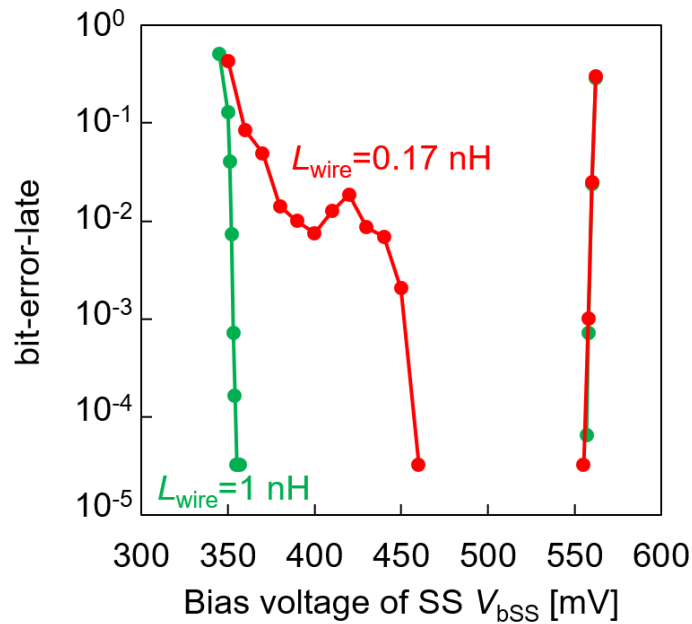


図 6-7 動作周波数 1 GHz における JLD のビットエラーレートのシミュレーション結果

負荷 $L_{wire} = 1$ nH に増大させた場合のシミュレーション結果を示しており、この場合 SS のバイアス電圧が低い領域でもビットエラーレートにプラトー領域は現れていないことが分かる。なお、CMOS 差動増幅器を負荷とした場合では、その相互接続部におけるボンディングワイヤの 1 nH 程度のインダクタンスが同様に出力電流変化を抑制する働きを示すため、ビットエラーレートのシミュレーションにおいてそのバイアス依存性にプラトー領域が現れることはない。

6.3 Josephson latching driver の動作試験

設計した JLD の測定における動作試験を行うため、JLD の単体測定用テスト回路を設計し、AIST-ADP2 を用いて試作した。図 6-8 に試作した JLD の単体測定用テスト回路のチップ写真を示す。JLD の単体測定用テスト回路は、JLD への入力 SFQ パルスを室温機器の信号から生成するために Level-driven DC-SFQ converter (LDDS) を用いており、LDDS への SFQ クロック信号を生成するために DC-SFQ converter を用いている。

図 6-9 に、JLD の動作周波数 100 kHz における動作波形例を示す。LDDS へのデータ入力 “10010110” が、JLD から 40 mV 超のレベル電圧出力として正しく変換出力されていることが分かる。この測定における JLD の交流バイアスのマージンは SS のバイアス電圧 V_{bss} が 90.5-113.1%、4JL のバイアス電圧 V_{b4JL} が 90.3-119.4% であった。

図 6-10 に、JLD の高周波測定における測定系の概略図を示す。JLD の高周波測定においては、ビットエラーレートテスタ (Agilent N4906B) からの疑似ランダムパターンシーケンスを LDDS へのデータ入力信号 V_{din} として入力する。DC-SFQ コンバータへのクロック入力 $V_{clk_{in}}$ はビットエラーレートテスタのクロック出力から入力し、SS 及び 4JL の交流バイアス V_{bss} 、 V_{b4JL} はパルスパターンジェネレータ (Anritsu MU181020B) を用いて入力する。JLD からの出力は室温の広帯域アンプ (SHF 100 AP) を用いて増幅し、これを分岐してオシロスコープとビットエラーレートテスタで観測する。ビットエラーレート測定時には $2^{15}-1$ ビットの疑似ランダムパターンシーケンスを入力し、出力正誤判定の論理しきい値を JLD の出力最大振幅の半分として、合計 10^{11} ビットの入力に対するエラー率を測定した。

JLD の高周波測定においては、ケーブルの帯域が異なる 2 種の低温プローブを用いて測定を行った。以下、より高帯域なものを high-speed probe、より低帯域なものを middle-speed probe と表記する。High-speed probe 及び middle-speed probe は透過特性における -3 db カットオフ周波数がそれぞれ 9.0 GHz 程度、3.6 GHz 程度と異なる。

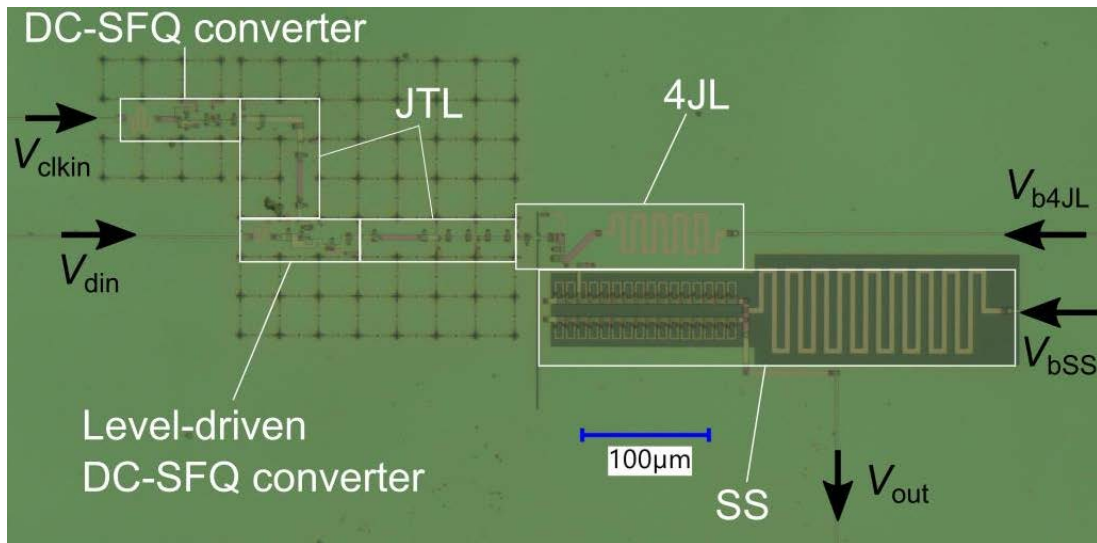


図 6-8 JLD の単体測定用のテスト回路のチップ写真

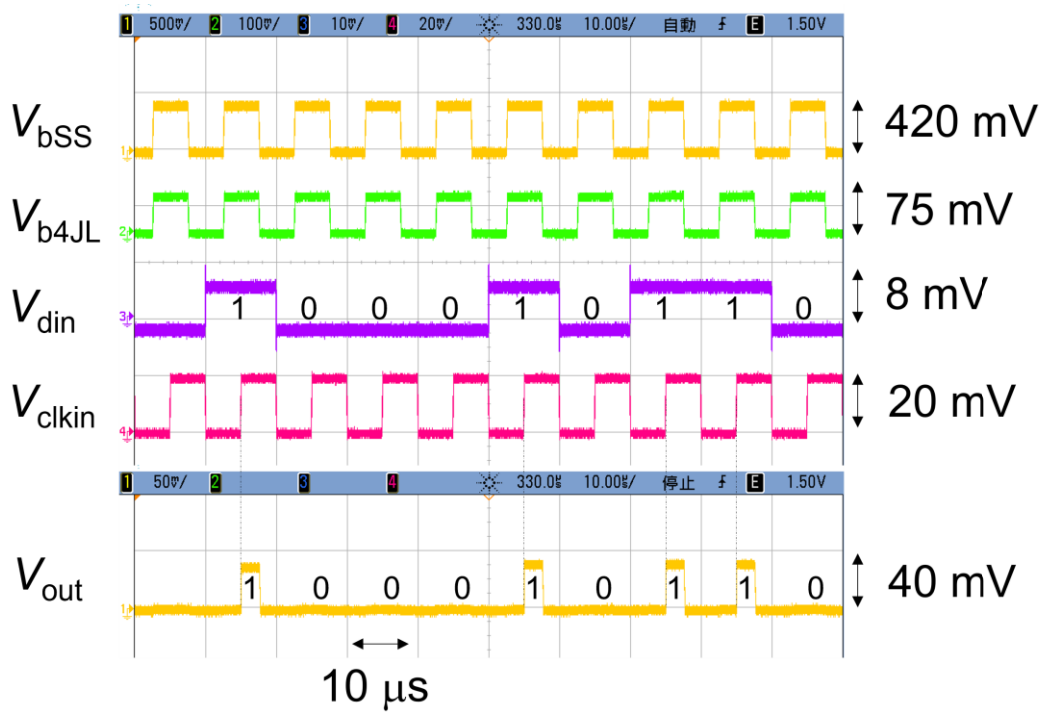


図 6-9 JLD の動作周波数 100 kHz における測定波形例

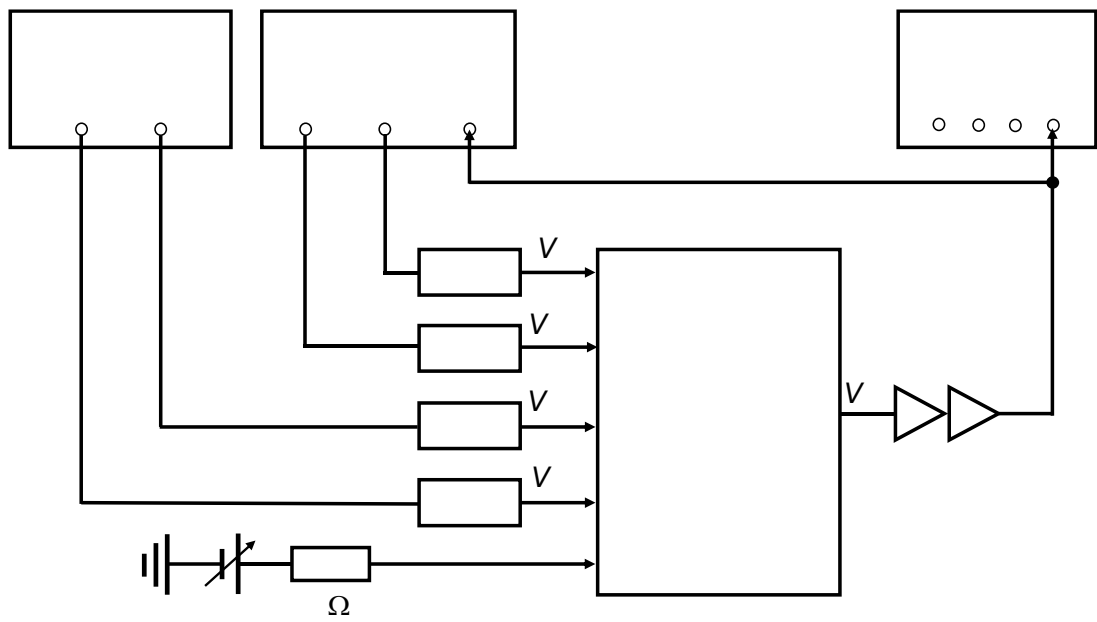


図 6-10 JLD の高周波測定における測定系の概略図

図 6-11 に、JLD の動作周波数 1 GHz におけるビットエラーレートの SS バイアス依存性を示す。図 6-11 は同一の試作チップに対し、**high-speed probe** 及び **middle-speed probe** それぞれを用いた場合の結果をプロットしている。図 6-11 より、**high-speed probe** を用いた場合の結果では SS のバイアスが低い領域、バイアス電圧 90%、ビットエラーレート 10^{-7} 付近の領域でビットエラーレートの特性に前節のシミュレーションで示したプラトー領域に似た特性が見られる。一方、**middle-speed probe** を用いた場合の結果ではビットエラーレートの特性にそのような領域は観測されなかった。この差異は、**middle-speed probe** を使用した場合はプローブの特性が JLD の出力にとってローパスフィルタ的に作用し、JLD の過渡的な出力電流の変化が抑制されたために、JLD の出力電圧が安定したためと考えられる。

図 6-12 に JLD の動作周波数 1 GHz における出力アイパターンを示す。図 6-12 は **middle-speed probe** 使用時と **high-speed probe** 使用時で、それぞれビットエラーレートが測定時間内でエラー率 0 となる SS のバイアスを設定した場合のアイパターンを示している。図 6-12 より、**high-speed probe** 使用時の波形は **middle-speed probe** 使用時の波形に対して、比較的に出力が **high** 状態となっている際の電圧が不安定であることが伺え、この出力不安定性とエラーレートの特性の相関は 6.2.3 項で示したシミュレーション結果と一致している。SS のバイアスが高い領域での SS のエラーレート悪化は過剰バイアスによる SS の誤スイッチを原因とする。これはいずれのプローブを用いた場合でも同等の結果が得られるため、図 6-11 における測定結果で **middle-speed probe** を用いた結果が **high-speed probe** を用いた場合に対して SS のバイアスの動作点が高い方へシフトしているのは、使用プローブの減衰率の差異によるものである。**middle-speed probe** を使用した場合は SS のバイアスが低い領域でも **high-speed probe** を用いた場合に対して比較的に出力電圧が安定するため、より低い SS のバイアス領域でも JLD が動作するようになり、結果バイアスマージンが拡大していると言える。

middle-speed probe を使用した JLD の測定においては、動作周波数 4 GHz までビットエラーレート 10^{-11} 未満の動作が得られた。図 6-13(a)に JLD のビットエラーレートの SS バイアス依存性を、図 6-13(b)にビットエラーレートの 4JL バイアス依存性を示す。プローブのケーブルの減衰により、動作周波数が高いほど SS バイアス及び 4JL バイアスの動作点は高バイアスへシフトしている。ビットエラーレート 10^{-11} 未満が得られるバイアスマージンは、SS のバイアス V_{bSS} について動作周波数 1 GHz で 97.9-115.6%、動作周波数 4 GHz で 131.5-145.8%であり、4JL のバイアス V_{b4JL} について動作周波数 1 GHz で 104.2-122.9%、動作周波数 4 GHz で 149.7-158.5%であった。

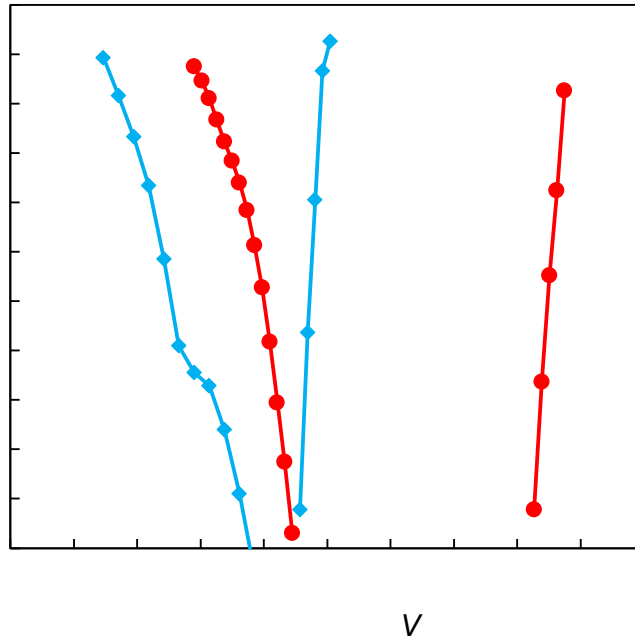
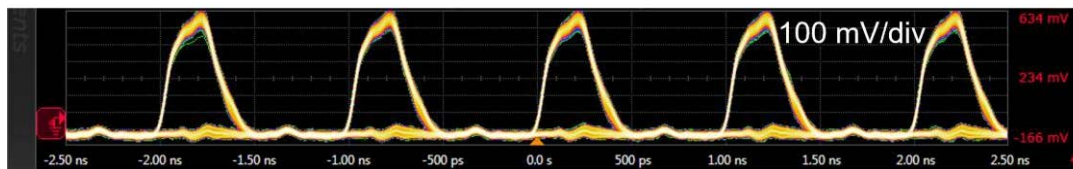
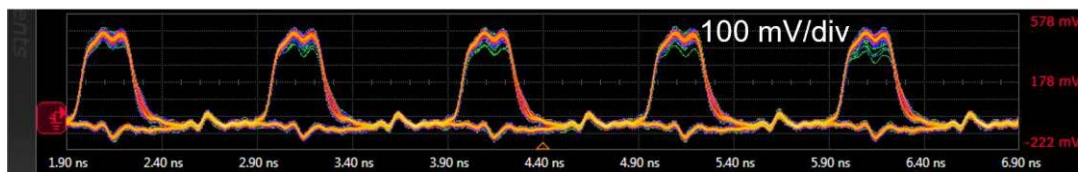


図 6-11 JLD の動作周波数 1 GHz におけるビットエラーレートの SS バイアス依存性

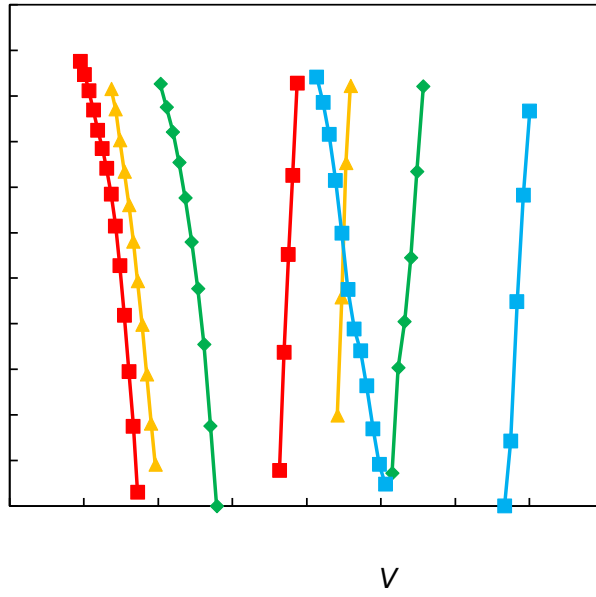


(a)

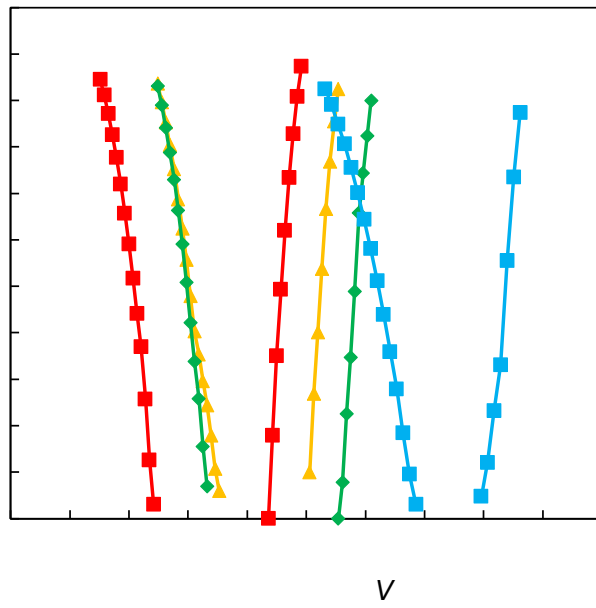


(b)

図 6-12 JLD の動作周波数 1 GHz における出力アイパターン。(a) middle-speed probe 使用時、(b) high-speed probe 使用時。



(a)



(b)

図 6-13 JLD のビットエラーレートのバイアス依存性。(a) SS のバイアス依存性、(b) 4JL のバイアス依存性。

第7章 Josephson-CMOS ハイブリッドメモリの高速動作試験

7.1 本章概要

4章では Josephson-CMOS ハイブリッドメモリの出力におけるインターフェースの高速動作を評価し、6章では Josephson-CMOS ハイブリッドメモリの入力に用いるインターフェースの設計及び単体での高速動作を評価した。本章ではこれらの要素を統合し、ランダムアクセスメモリとして構築した Josephson-CMOS ハイブリッドメモリの実験における高速動作実証を目指す。以下、SFQ マイクロプロセッサを用いたテスト回路の設計及び測定結果について述べる。

7.2 SUBNEG マイクロプロセッサを用いた動作試験

7.2.1 テスト回路の設計

筆者の研究グループではこれまでに、64-kb Josephson-CMOS ハイブリッドメモリと SFQ 演算回路を組み合わせた計算のデモンストレーションとして、SFQ SUBNEG マイクロプロセッサの設計及びメモリと統合しての動作実証を行っている [57]。図 7-1 に SFQ SUBNEG マイクロプロセッサのブロック図を示す。SFQ SUBNEG マイクロプロセッサは、単一命令 SUBNEG (Subtract and branch if negative)のみを実行する極小規模のアーキテクチャとして、カーボンナノチューブトランジスタを用いた集積回路の実証に用いられた構成 [58]を参考にしている。SUBNEG 命令は 2 つのデータの減算を行い、その減算結果の符号の正負に応じて命令を分岐する動作を行う。図 7-1 に示す SFQ SUBNEG マイクロプロセッサではデータメモリに Josephson-CMOS ハイブリッドメモリを用い、その他の要素を SFQ 回路によって構成することで、Josephson-CMOS ハイブリッドメモリと SFQ データパス間にフィードバックループを成立させ、メモリとデータパス間でのデータの記憶・読み出しと演算のデモンストレーションを行うことを目的として設計されている。

以前のデモンストレーションでは、SFQ SUBNEG マイクロプロセッサのテスト回路における SFQ 回路部分は AIST 2.5-kA/cm² Nb 4 層標準プロセスを用いて設計されていた。その時点では試作チップの回路面積の都合から命令メモリとコントローラは実装せず、これらは室温機器からの信号で模擬する構成としており、これらの信号を高速でテスト回路に供給することが困難であったため、テスト回路の測定では低周波数でのファンクションテストのみ行っていた。コントローラが実装できると、単一 SUBNEG 命令の高速テストにおいては室温機器からの高速な信号入力は元来要求される Josephson-CMOS ハイブリッドメモ

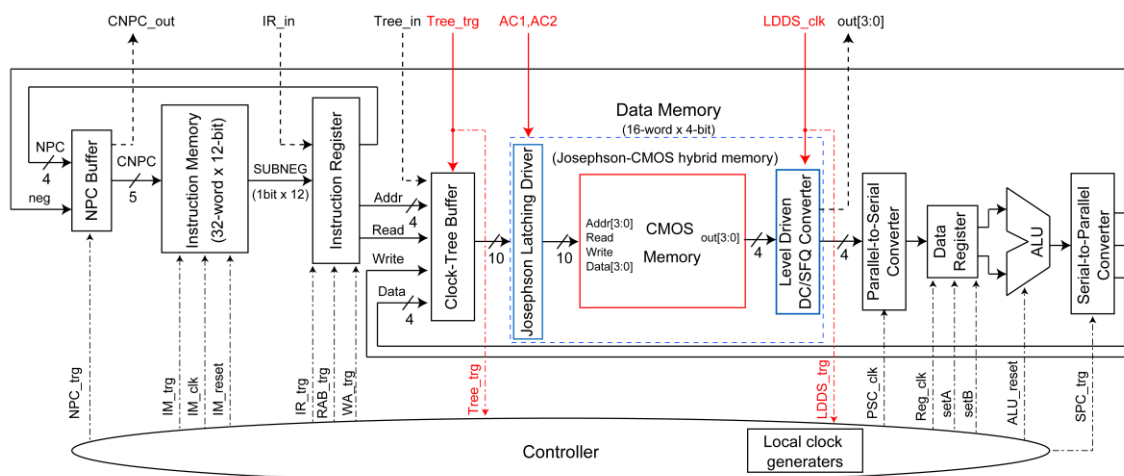


図 7-1 SFQ SUBNEG マイクロプロセッサのブロック図

リへのクロック信号のみで行うことができ、これにより Josephson-CMOS ハイブリッドメモリの高速動作試験が可能となる。

本研究では、より集積度の向上した AIST-ADP2 を用いて SFQ SUBNEG マイクロプロセッサを設計し、コントローラを含めたテスト回路を構築することで、これを用いて Josephson-CMOS ハイブリッドメモリの高速動作試験を行うことを検討した。以前の実装では AIST 標準プロセスにおける RSFQ CONNECT セルライブラリを用いて設計しており、同様の設計を AIST-ADP2 における RSFQ CONNECT セルライブラリを用いて行い、テスト回路を構築するものとした。また Josephson-CMOS ハイブリッドメモリにおけるインターフェース回路である JLD は 6 章で設計したのを用い、これにより 6 章で設計した JLD を Josephson-CMOS ハイブリッドメモリに組み込んだ状態での動作試験も兼ねるものとした。

図 7-1 の SFQ SUBNEG マイクロプロセッサの構成について詳細を以下に示す。SUBNEG 命令は 2 つのデータアドレスである AddrA、AddrB 及び次の命令アドレスの一部である NPC (Next program counter) の 3 つのオペランドから成る。命令メモリから SUBNEG 命令が読み出されると、NPC は NPC Buffer にロードされ、またデータメモリである Josephson-CMOS ハイブリッドメモリから AddrA 及び AddrB で指定されたデータが Data Register に読み出される。読み出されたデータに対して ALU は算術減算を行う。ここで、ALU ではビットシリアル演算を行うため、データメモリからのビットパラレルな出力は Parallel-to-Serial Converter (PSC) によってビットシリアルに変換され、また ALU からのビットシリアルな出力は Serial-to-Parallel Converter (SPC) によってビットパラレルに変換される。ALU からの減算結果はデータメモリの AddrB で指定された領域に書き戻される。また ALU からの出力のうち符号ビットに相当する最上位ビットは分岐して NPC Buffer に入力される。符号ビットはそれが最下位ビットとなるように NPC と結合し、CNPC (Complete next program counter) となって次の命令アドレスを指定する命令メモリへのアドレス入力となる。これにより、SUBNEG 命令はデータに対する減算結果が正であれば偶数アドレスの命令に、負であれば

奇数アドレスの命令に分岐するようになっている。SFQ 要素回路のそれぞれのコンポーネントの制御信号はコントローラ (CTL)によって生成され、また CTL は ALU によるビットシリアル演算のための内部クロック生成器を有している。Josephson-CMOS ハイブリッドメモリと SFQ 要素回路の動作を同期させるため、CTL が Josephson-CMOS ハイブリッドメモリの外部クロック入力によってトリガされるような構成となっている。また Clock-Tree Buffer (Tree)はデータメモリである Josephson-CMOS ハイブリッドメモリへの入力信号を外部クロック入力に同期させるためのバッファとして挿入されており、また Josephson-CMOS ハイブリッドメモリの直接アクセスのための外部入力“Tree_in”を受け付ける役割も有する。

本設計では、以前の AIST 標準プロセスを用いたテスト回路と同様、インターフェース回路の実装面積やテスト回路全体の入出力ピン数を考慮し、プロセッサ中におけるデータ長並びにデータメモリのアドレス長をそれぞれ 4-bit とした。このときハイブリッドメモリへの入力はデータ 4-bit、アドレス 4-bit 及び Read/Write のイネーブル信号 2-bit の計 10-bit となり、アクセス可能なメモリ領域は $16 \times 4\text{-bit}$ となる。命令アドレスである CNPC のアドレス長は 5-bit とした。また SFQ 要素回路のビットシリアル動作をする部分のクロッキング方式は回路の動作に必要なクロック数を削減しその構成を可能な限り簡素化するため、クロックフォローデータ方式を用いて設計した。

図 7-2 に設計した SFQ SUBNEG マイクロプロセッサテスト回路のチップ写真を示す。SFQ チップにおける回路全体の接合数は 3886 であり、直流バイアス電流量は 400 mA、交流バイアス電流量は 12.0 mA である。CMOS チップ上の回路構成は以前の 64-kb Josephson-CMOS ハイブリッドメモリの実証実験に用いたもの[25]と同一の設計としているが、今回設計した SFQ SUBNEG マイクロプロセッサとのボンディングによる相互接続を考慮し、パッド配置並びに回路とパッド間の配線のレイアウトを変更した試作チップを用いている。測定環境におけるテスト回路と室温機器の I/O 数を考慮し、SFQ 回路による実装を想定した命令メモリは実装を省略し、室温機器からの外部信号により模擬するものとした。この場合、単一 SUBNEG 命令の実行を高周波でテストすることが可能であり、単一 SUBNEG 命令はデータメモリへの読み出しアクセス 2 回と書き込みアクセス 1 回を含むため、データメモリである Josephson-CMOS ハイブリッドメモリへの 3 サイクルのアクセスを高周波でテストすることが可能となっている。このとき動作可能な最大の Josephson-CMOS ハイブリッドメモリの動作周波数は、メモリのアクセスタイムとデータバスのレイテンシの総和で決まる。設計したデータバスのレイテンシは 825 ps であり、メモリのアクセスタイムは 2 ns 程度であることから、実装した SFQ SUBNEG マイクロプロセッサテスト回路においては最大で約 350 MHz の周波数でメモリアccessを検証可能である。この最大周波数は Josephson-CMOS ハイブリッドメモリ本来の目標動作周波数 1 GHz には達していないが、ここではメモリの高周波テストの初段階としてこの程度の周波数を目標値とした。このテスト回路における最高動作周波数が 350 MHz 程度と低い値に留まっているのは、SUBNEG マイクロプロセッサが全命令サイクルで分岐を行うため、メモリアccessやデータバスの遅延時間が

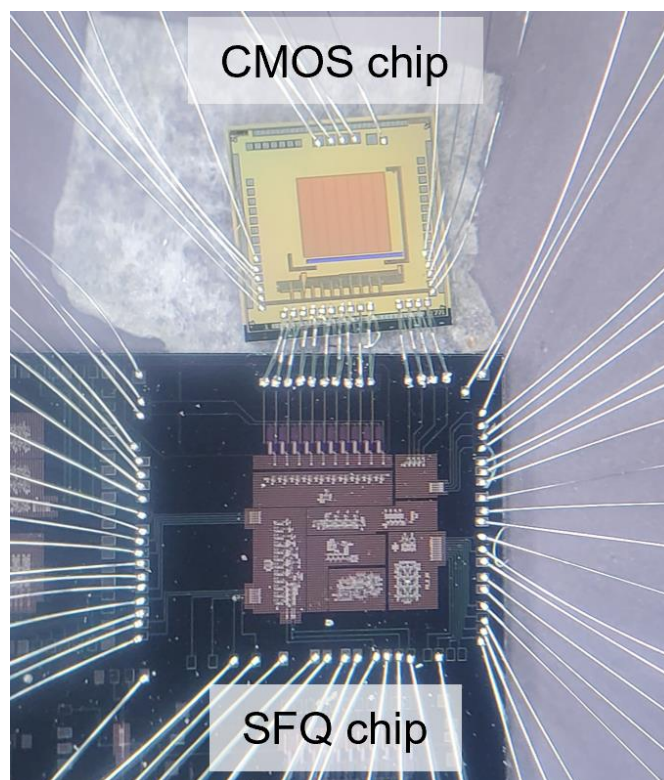


図 7-2 SFQ SUBNEG マイクロプロセッサテスト回路のチップ写真

プロセッサの動作速度を律速してしまうことに起因している。SFQ SUBNEG マイクロプロセッサを用いたテストに成功した後は、より現実的な命令セットアーキテクチャを適用し、1 GHz 以上で Josephson-CMOS ハイブリッドメモリにアクセス可能な SFQ マイクロプロセッサの設計及びそれを用いたテストが継続する研究となる。

7.2.2 実験結果

図 7-2 に示す試作チップを 4.2 K において測定しその動作を評価した。まず、低周波におけるテスト回路の機能試験を行った結果について示す。図 7-3 に SFQ SUBNEG マイクロプロセッサテスト回路の測定波形例を示す。図 7-3 に示す測定波形では、テスト回路において SUBNEG 命令 1 回の実行を、メモリ周波数 5 kHz で実施した際の波形例を示している。以下、図中に示す(i)-(v)のメモリアクセス入力及び命令入力のパターンの順に沿い、このテストにおける動作について説明する。

- (i) “Tree_in”入力により、データメモリである Josephson-CMOS ハイブリッドメモリのアドレス“0011”の領域にデータ A として“1101”を初期化する。
- (ii) “Tree_in”入力により、データメモリである Josephson-CMOS ハイブリッドメモリのアドレス“1110”の領域にデータ B として“1011”を初期化する。

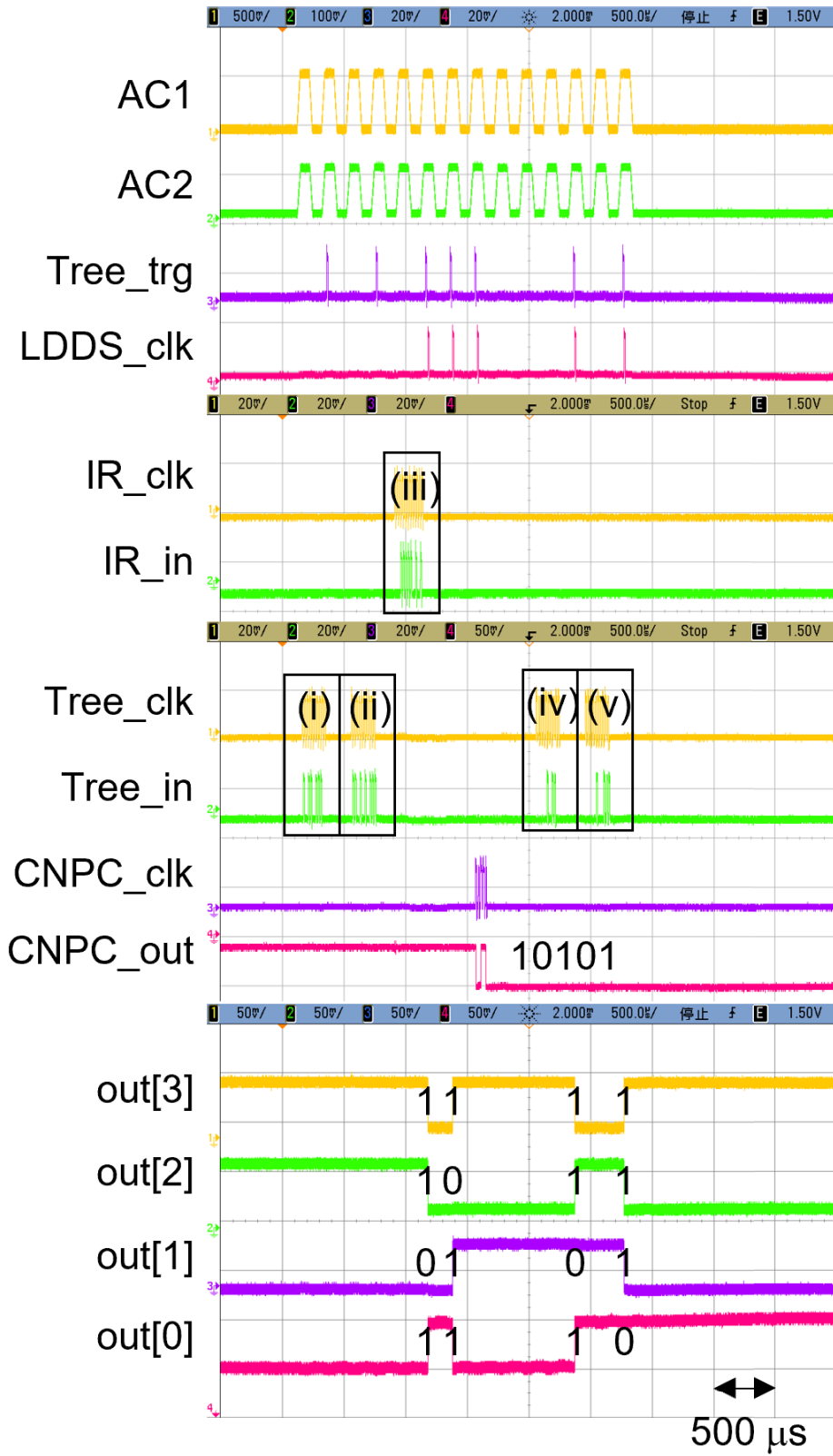


図 7-3 SFQ SUBNEG マイクロプロセッサテスト回路の測定波形例

- (iii) “IR_in”入力により、SUBNEG“0101 1110 1010”の命令入力をプロセッサに与える。SUBNEG 命令を受け、プロセッサはメモリのアドレス A“0101”の領域からデータ A“1101”を読み出し、out[3:0]にこのデータが途中出力として分岐され観測される。次いでプロセッサはメモリのアドレス B“1110”の領域からデータ B“1011”を読み出し、out[3:0]にこのデータが観測される。読み出したデータに対してプロセッサは $(1011) - (1101) = (1110)$ を実行し、減算結果をメモリのアドレス B“1110”の領域に書き戻す。その後、減算結果のフラグビットが“1”のため、NPC“1010”とフラグビットが結合された CNPC“10101”が分岐先の命令アドレスとして出力される。
- (iv) “Tree_in”入力により、メモリのアドレス A“0101”の領域のデータを読み出す。結果、もとのデータ A“1101”が out[3:0]より観測される。
- (v) “Tree_in” 入力により、メモリのアドレス A “0101” の領域のデータを読み出す。結果、上書きされた減算結果 “1110” が out[3:0]より観測される。

以上のテストにより、SFQ SUBNEG マイクロプロセッサテスト回路が正常に SUBNEG 命令を実行していることが確認された。図 7-4 に SFQ SUBNEG マイクロプロセッサテスト回路の要素回路ごとのバイアスマージンを示す。図 7-4(a)は SFQ データパスの構成要素ごとのバイアスマージンを示している。本テスト回路の SFQ チップは、チップ試作時のパラメータ変動として Josephson 接合の臨界電流密度が設計値の 2 割強高い値となっており、これに伴い SFQ 要素回路のバイアスマージンは設計値より高い領域に偏った傾向を示している。いずれの要素回路も $\pm 15\%$ 以上の妥当なバイアスマージンで動作しており、SFQ 要素回路は全て安定な動作が確認された。図 7-4(b)は JLD の交流バイアス電圧のバイアスマージンを示している。Suzuki stack のバイアス電圧 V_{bss} 及び 4JL のバイアス電圧 V_{b4JL} 共に SFQ 要素回路と同様にバイアスマージンは上方にシフトしているが、 V_{bss} は $\pm 10\%$ 超のバイアスマージンが確認された。 V_{b4JL} は V_{bss} と比較して動作マージンがより狭いが、これは 4JL が臨界電流値 $120 \mu\text{A}$ 及び $360 \mu\text{A}$ と大きく異なる Josephson 接合の組み合わせによって構成されており、チップ試作における臨界電流密度の変動がこれらの接合臨界電流値の変動によるアンバランスを引き起こした結果バイアスマージンが低減した可能性が高い。やや狭いバイアスマージンではあるがテスト中 JLD は安定して動作しており、これにより 6 章で設計した JLD が正常に Josephson-CMOS ハイブリッドメモリを駆動可能であることが実証された。図 7-4(c)は CMOS 回路のバイアスマージンを示す。図中 V_{DD_mem} は 64-kb CMOS メモリ部分の電源電圧を示しており、このマージンは十分に広い値が確認されている。図中 V_{DD_amp} は CMOS 差動増幅器の電源電圧を、 V_{bias} は CMOS 差動増幅器の外部バイアス電圧を示しており、これらのマージンは全 10 チャンネルの CMOS 差動増幅器全てが正常動作するマージンを示している。 V_{DD_amp} 及び V_{bias} のマージンは狭く、特に V_{bias} のマージンがピンポイントである。この CMOS 差動増幅器のバイアスマージンが狭い傾向は以前の Josephson-CMOS ハ

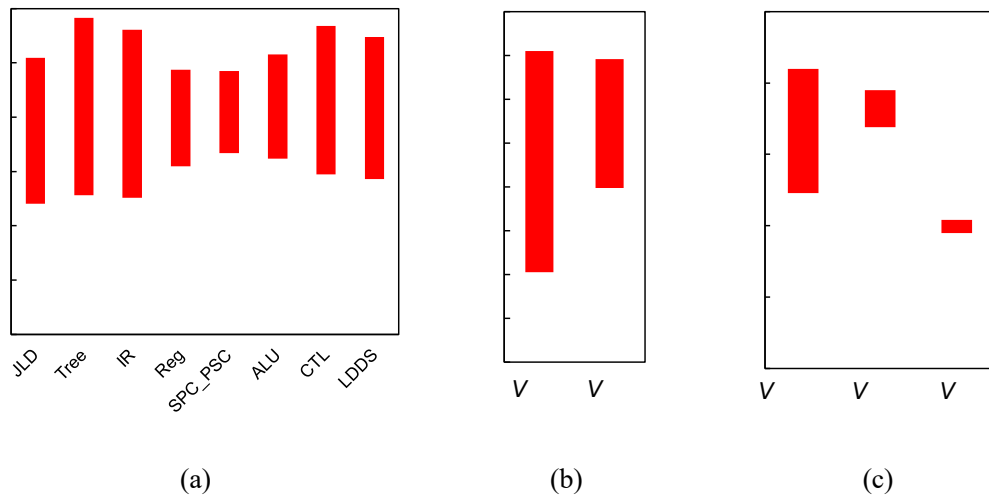


図 7-4 SFQ SUBNEG マイクロプロセッサテスト回路のバイアスマージン

イブリッドメモリの動作実証においても観測されており[25]、CMOS 差動増幅器の歩留まりの悪さが重大な課題といえる。

図 7-3 に示す単一 SUBNEG 命令のテストにおいては、メモリへの外部入力や命令入力等の入力の周波数は維持したまま、Josephson-CMOS ハイブリッドメモリへの外部クロック入力のみ周波数を上げることで Josephson-CMOS ハイブリッドの高周波でのテストが可能である。本実験では、外部クロック入力の周波数を 5 kHz から上昇させていった際に、テスト回路の正常な動作が得られたのは 100 kHz 程度までの周波数であった。テスト結果は Josephson-CMOS ハイブリッドメモリのアクセスタイムが 10 μ s 程度と、シミュレーションや以前までの実証実験で示された 2 ns 程度の値に対し極めて大きい値となっているために、それ以上の高周波での動作が得られなかったことによる。以前の 64-kb CMOS メモリチップの測定では 1-2 ns のアクセスタイムが得られており[42]、今回の測定においても同等のアクセスタイムが得られることが期待されたが、大きくかけ離れた結果となった。CMOS 差動増幅器のバイアスマージンがピンポイントであり歩留まりが悪いという点から、10 チャンネルある CMOS 差動増幅器のいずれかの動作点が適正なバイアスポイントから大きくずれており、その遅延時間が大きくなってしまっている可能性が高い。

7.3 CMOS 差動増幅器の特性評価

前節の測定において、CMOS 差動増幅器のバイアスマージンのピンポイント性及びその大きな遅延時間が Josephson-CMOS ハイブリッドメモリの高速動作の妨げになっていると評価された。この問題について、CMOS 差動増幅器単体の測定においてその特性を評価し、実際に CMOS 差動増幅器の動作が Josephson-CMOS ハイブリッドメモリの動作における問題となっているかを検証することを目的として、CMOS 差動増幅器単体のテスト回路を設計・試作し、4.2 K における動作評価を行った。測定を行ったところ、その電源電圧から供

給されるバイアス電流の静特性がシミュレーションと一致していないことが明らかになった。図 7-5 に CMOS 差動増幅器のバイアス電流の静特性を示す。図中横軸は CMOS 差動増幅器の電源電圧 V_{DD} を、縦軸は電源電圧から回路に供給されるバイアス電流 I_{VDD} を示す。図より、シミュレーション結果と実験結果は明らかな不一致を示しており、設計電源電圧 $V_{DD} = 1.8 \text{ V}$ におけるバイアス電流 I_{VDD} の実験結果はシミュレーション結果に対して 97.9% の誤差があることが示されている。このことから、根本的に CMOS 差動増幅器はその設計時に用いる CMOS デバイスのモデリングが不十分であることが指摘される。

4.2 K における CMOS 回路設計のためのデバイスのモデリングは、それをを用いて設計した 64-kb CMOS メモリのアクセスタイムの実験結果がシミュレーション結果と良く一致していることから[42]、ロジックや SRAM セルの設計には十分適用できる精度となっているはずである。CMOS 差動増幅器においてその静特性がシミュレーションと一致しないことは、64-kb CMOS メモリを構成するその他の要素回路と比較して CMOS 差動増幅器が定常的かつ大きな振幅の電流を必要としていることに起因する可能性が高い。考えられる原因は 2 点挙げられる。1 つは用いているデバイスモデルが 4.2 K の CMOS デバイスに発現する特有の効果を考慮していない点である。特に、極低温下における Si 基板のフリーズアウトに起因する kink 効果とよばれる現象は MOSFET の静特性に強い非線形性をもたらすが[59]、モデリングにおいてこの効果を再現できておらず、その非線形性が実験結果とシミュレーション結果に大きな差異を生じさせた可能性がある。1 つは MOSFET の自己発熱である。CMOS 差動増幅器では複数の MOSFET に比較的大きな電流が定常的に流れるため、その自己発熱により MOSFET の特性が 4.2 K における MOSFET 単体の特性からずれてしまっている可能性がある。上記 2 点を踏まえ、CMOS 差動増幅器の設計に適用可能な精度を有した CMOS デバイスモデルの再構築及び回路設計・レイアウトの再検討が今後重要な課題と言える。

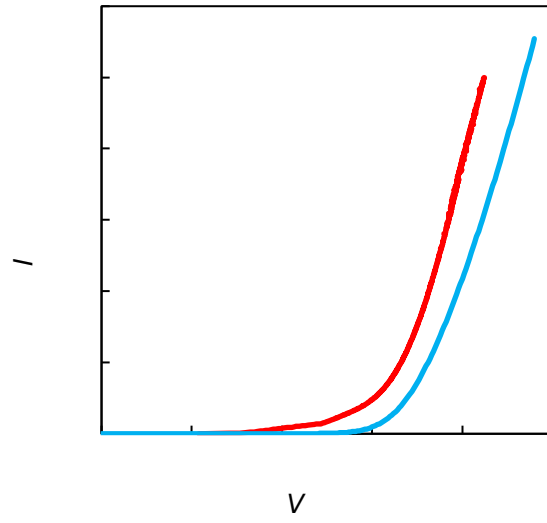


図 7-5 CMOS 差動増幅器のバイアス電流の静特性

第8章 総括

本研究では、Josephson-CMOS ハイブリッドメモリの目標動作周波数 1 GHz での高速動作実証に向けた研究を行った。メモリ高速動作に向けた課題として、メモリ出力電流のスイッチング時間の実験における評価、及び室温機器との I/O 数を削減させたテスト回路の構築に取り組んだ。また高速動作実証用に設計したシーケンシャルアクセス型メモリのデータセットメモリとしての応用を想定し、メモリの性能評価を行った。

第 4 章では、Josephson-CMOS ハイブリッドメモリの読み出し動作における CMOS メモリからの出力電流のスイッチング時間の実験における評価を行った。実験においてメモリ読み出し動作における SFQ 電流センサへのクロック入力タイミングマージンを測定し、その結果からメモリ出力電流のスイッチング時間を見積もった。実験において室温機器から入力されるメモリへのアドレス入力信号数を削減するため、シフトレジスタデコーダを用いたシーケンシャルアクセス型の Josephson-CMOS ハイブリッドメモリを構築し、従来の設計と同等の 64-kb のメモリ構成におけるタイミングマージンの測定を行った。実験の結果、メモリ出力電流の立ち上がり時間・立ち下がり時間はそれぞれ 0.14 ns 及び 0.58 ns と見積もられ、メモリ目標動作周波数 1 GHz を超える最高動作周波数 1.7 GHz までの動作可能性が期待された。またメモリ読み出し動作の高速動作実証のため、シーケンシャルアクセス型 Josephson-CMOS ハイブリッドメモリ及び SFQ アキュムレータを用いたテスト回路を設計し、室温機器と低温下テスト回路間的高速 I/O は 2 チャンネルのクロック入力のみで測定が可能な構成のテスト回路を構築した。実験においては 32-b の読み出しにおいて最高動作周波数 1.2 GHz でのメモリ読み出し動作実証に成功した。

第 5 章では、第 4 章でテスト用に構築したシーケンシャルアクセス型 Josephson-CMOS ハイブリッドメモリの性能評価を行った。シーケンシャルアクセス型 Josephson-CMOS ハイブリッドメモリは、大容量・高バンド幅のデータセットメモリの応用を期待可能であり、本研究では具体的な応用例として SFQ 回路を用いた超伝導量子ビット制御回路におけるデータセットメモリを想定し、現在これらの回路で想定されている SFQ メモリを比較対象として Josephson-CMOS ハイブリッドメモリのバンド幅・消費電力についてシミュレーションに基づき性能評価を行った。応用例で想定されている数 kb の容量について、バンド幅は 100 Gbps 以上、消費電力は数 mW 程度の性能が見積もられ、これらの性能が現在想定されている SFQ メモリの性能を上回ることを示した。

第 6 章では、Josephson-CMOS ハイブリッドメモリのインターフェース回路である Josephson latching driver (JLD) の、AIST 10-kA/cm² Nb 9 層アドバンスドプロセス (AIST-ADP2) におけるパラメータ最適化及び測定を行った。従来の AIST 10-kA/cm² Nb 4 層標準プロセス (AIST-STP2) における JLD の設計を基に、各プロセスで異なる Josephson 接合の subgap 抵抗値を考慮し、JLD を構成する 4JL gate の駆動力及びバイアスマージンの観点から素子パラメータの最適化を行った。設計した JLD の単体での高速測定において、最高動作周波数 4 GHz

まで 10^{-11} 未満のビットエラーレートでの動作が確認された。また目標動作周波数 1 GHz において、Suzuki stack のバイアスマージン 97.9-115.6%、4JL gate のバイアスマージン 104.2-122.9%と、良好なバイアスマージンが確認された。

第 7 章では、SFQ マイクロプロセッサを用いた Josephson-CMOS ハイブリッドメモリの高速動作実証に向けたテスト回路の設計及び測定を行った。以前までに Josephson-CMOS ハイブリッドメモリと組み合わせた計算のデモンストレーションに用いられた SFQ マイクロプロセッサの設計を基に、メモリ及びプロセッサの高速動作に対応させるためのコントローラ回路を付加し、第 6 章で設計した JLD を用いてテスト回路を設計した。測定においてはメモリ及びプロセッサの低周波における正常動作は確認されたが、Josephson-CMOS ハイブリッドメモリのインターフェース回路である CMOS 差動増幅器の動作が遅く、メモリの正常動作は 100 kHz 程度の周波数に留まる結果となった。CMOS 差動増幅器単体での特性評価を行ったところ、バイアス電流の電源電圧依存性がシミュレーションと全く一致していないことが確認され、低温における CMOS デバイスの特性モデリング及び CMOS 差動増幅器の設計についての再検討が CMOS 差動増幅器の動作改善に求められることが認められた。

謝辞

本研究を行うにあたり、半導体回路や超伝導回路について丁寧にご指導いただき、数多く議論を重ね的確なご助言を頂いた吉川信行教授に深く感謝いたします。また、相談会を始めとして日々の研究において多大なるご指導ご助言、お力添えを頂いた山梨裕希准教授、竹内尚輝准教授、Christopher Ayala 准教授、Olivia Chen 東京都市大学准教授、何魚行西南交通大学准教授、Lieve Schindler 助教、鈴木秀雄博士、金田久善助手に深く感謝いたします。

同じ研究グループとして様々なご指導、ご助言を頂いた安井雄紀先輩、大熊幸寛先輩に深く感謝いたします。同じ研究室の共同研究者として、研究のみならず日常生活においてもお世話になった知名史博先輩、阿部裕先輩、邢育閣先輩、佐藤僚亮先輩、高山広先輩、荒井孝太先輩、荒木美佳先輩、齋藤蒨生先輩、富塚裕真先輩、野副舞先輩及び吉川研究室の諸後輩に深く感謝いたします。また、同輩として互いに励みあいながら共に研究生活を過ごした秋月一真氏、田中智之氏、田村智大氏、山栄大樹氏、柯飛氏、沈泓翔氏に深く感謝いたします。

最後に、今日まで精神的かつ経済的に支えてくれた家族に深く感謝いたします。

2023年3月

弘中祐樹

参考文献

- [1]. G. E. Moore, "Cramming more components onto integrated circuits," *Electronics Magazine*, vol. 19, Apr. 1965.
- [2]. R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassous and A. R. Leblanc, "Design of ion-implanted MOS-FET's with very small physical dimensions," *IEEE J. Solid State Circuits*, vol. 9, no. 5, pp.256-268, 1974.
- [3]. International Roadmap for Devices and Systems 2022 Edition Executive Summary White Paper, IEEE IRDS [Online]. Available: <https://irds.ieee.org/>
- [4]. K. Rupp, "42 Years of Microprocessor Trend Data," [Online]. Available: <https://www.karlrupp.net/2018/02/42-years-of-microprocessor-trend-data/>
- [5]. TOP500 Supercomputer Sites [Online]. Available: <https://www.top500.org/>
- [6]. K. K. Likharev and V. K. Semenov, "RSFQ logic/memory family: a new Josephson-junction technology for sub-terahertz-clock-frequency digital systems," *IEEE Trans. Appl. Supercond.*, vol. 1, no. 1, pp. 3-28, Mar. 1991.
- [7]. P. Bunyk, M. Leung, J. Spargo, and M. Dorojevets, "FLUX-1 RSFQ microprocessor: Physical design and test results," *IEEE Trans. Appl. Supercond.*, vol. 13, no. 2, pp. 433-436, 2003.
- [8]. Y. Yamanashi, M. Tanaka, A. Akimoto, H. Park, Y. Kamiya, N. Irie, N. Yoshikawa, A. Fujimaki, H. Terai, and Y. Hashimoto, "Design and Implementation of a Pipelined Bit-Serial SFQ Microprocessor, CORE 1 β ," *IEEE Trans. Appl. Supercond.*, vol. 17, no. 2, pp. 474-477, 2007.
- [9]. A. F. Kirichenko, I. V. Vernik, M. Y. Kamkar, J. Walter, M. Miller, L. R. Albu, and O. A. Mukhanov, "ERSFQ 8-Bit Parallel Arithmetic Logic Unit," *IEEE Trans. Appl. Supercond.*, vol. 29, no. 5, Aug. 2019.
- [10]. C. L. Ayala, T. Tanaka, R. Sato, M. Nozoe, N. Takeuchi, and N. Yoshikawa, "MANA: A Monolithic Adiabatic iNtegration Architecture Microprocessr Using 1.4-zJ/op Unshunted Superconductor Josephson Junction Devices," *IEEE J Solid-State Circuits*, vol. 56, no. 4, pp. 1152-1165, Apr. 2021.
- [11]. C. J. Fourie and H. van Heerden, "An RSFQ superconductive programmable gate array", *IEEE Trans. Appl. Supercond.*, vol. 17, no. 2, pp. 538-541, Jun. 2007.
- [12]. K. Ishida, I. Byun, I. Nagaoka, K. Fukumitsu, M. Tanaka, S. Kawakami, T. Tanimoto, T. Ono, J. Kim, and K. Inoue, "SuperNPU: An Extremely Fast Neural Processing Unit Using Superconducting Logic Devices," in *Proc. 2020 53rd Annual IEEE/ACM International Symposium on Microarchitecture (MICRO)*, pp. 58-72, 2020.
- [13]. H. Terai, S. Miki, and Z. Wang, "Readout electronics using single-flux-quantum circuit technology for superconducting single-photon detector array," *IEEE Trans. Appl. Supercond.*, vol. 19, no. 3, pp. 350–353, Jun. 2009.

- [14]. A. Sahu, M. E. Celik, D. E. Kirichenko, T. V. Filippov, and D. Gupta, "Low-power digital readout circuit for superconductor nanowire single-photon detectors," *IEEE Trans. Appl. Supercond.*, vol. 29, no. 5, p. 1301306, Aug. 2019.
- [15]. E. Leonard, M. A. Beck, J. Nelson, B. G. Christensen, T. Thorbeck, C. Howington, A. Opremcak, I. V. Pechenezhskiy, K. Dodge, N. P. Dupuis, M. D. Hutchings, J. Ku, F. Schlenker, J. Suttle, C. Wilen, S. Zhu, M. G. Vavilov, B. L. T. Plourde, and R. McDermott, "Digital coherent control of a superconducting qubit," *Phys. Rev. Appl.*, vol. 11, no. 1, p. 014009, 2019.
- [16]. L. Howe, M. A. Catellanos-Beltran, A. J. Siroris, D. Olaya, J. Biesecker, P. D. Dresselhaus, S. P. Benz, and P. F. Hopkins, "Digital Control of a Superconducting Qubit Using a Josephson Pulse Generator at 3 K," *PRX QUANTUM*, vol. 3, no. 1, p. 010350, Mar. 2022.
- [17]. S. Nagasawa, Y. Hashimoto, H. Numata and S. Tahara, "A 380 ps 9.5 mW Josephson 4 kbit RAM operated at a high bit yield," *IEEE Trans. Appl. Supercond.*, vol. 5, no. 2, pp. 2447-2452, Jun. 1995.
- [18]. T. I. Larkin, V. V. Bol'ginov, V. S. Stolyarov, V. V. Ryazanov, I. V. Vernik, S. K. Tolpygo and O. A. Mukhanov, "Ferromagnetic Josephson switching device with high characteristic voltage," *Appl. Phys. Lett.*, vol. 100, p. 222601, 2012.
- [19]. A. Y. Herr and Q. P. Herr, "Josephson magnetic random access memory system and method," Sep. 18 2012, US Patent 8,270,209. [Online]
Available: <http://www.google.com/patents/US8270209>
- [20]. S. Pagano, N. Martucciello, F. Bobba, G. Carapella, C. Attanasio, C. Cirillo, R. Cristiano, M. Lisitskiy, M. Ejrnaes, G. P. Pepe and L. Parlato, "Proposal for a Nanoscale Superconductive Memory," *IEEE Trans. Appl. Supercond.*, vol. 27, no. 4, p. 1801004, Jun. 2017.
- [21]. U. Ghoshal, H. Kroger and T. Van Duzer, "Superconductor-semiconductor memories," *IEEE Trans. Appl. Supercond.*, vol. 3, no. 1, pp. 2315-2318, Mar. 1993.
- [22]. T. Van Duzer, L. Zheng, S. R. Whiteley, H. Kim, J. Kim, X. Meng and T. Ortlepp, "64-kb hybrid Josephson-CMOS 4 Kelvin RAM with 400 ps access time and 12 mW read power," *IEEE Trans. Appl. Supercond.*, vol. 23, no.3, Jun. 2013.
- [23]. N. Yoshikawa, T. Tomida, M. Tokuda, Q. Liu, X. Meng, S. R. Whiteley, and T. Van Duzer, "Characterization of 4 K CMOS devices and circuits for hybrid Josephson-CMOS systems," *IEEE Trans. Appl. Supercond.*, vol. 15, no. 2, pp. 267-271, Jun. 2005.
- [24]. Q. Liu, T. Van Duzer, X. Meng, S. R. Whiteley, K. Fujiwara, T. Tomida, K. Tokuda, and N. Yoshikawa, "Simulation and measurements on a 64-kbit hybrid Josephson-CMOS memory," *IEEE Trans. Appl. Supercond.*, vol. 15, no. 2, pp. 415-418, Jun. 2005.
- [25]. G. Konno, Y. Yamanashi, and N. Yoshikawa, "Fully Functional Operation of Low-Power 64-kb Josephson-CMOS Hybrid Memories," *IEEE Trans. Appl. Supercond.*, vol. 27, no. 4, p. 1300607, Jun. 2017.

- [26]. Y. Yamanashi, T. Nishigai, and N. Yoshikawa, "Study of LR-Loading Technique for Low-Power Single Flux Quantum Circuits," *IEEE Trans. Appl. Supercond.*, vol. 17, no. 2, pp. 150-153, Jun. 2007.
- [27]. M. Tanaka, A. Kitayama, T. Koketsu, M. Ito, and A. Fujimaki, "Low-Energy Consumption RSFQ Circuits Driven by Low Voltages," *IEEE Trans. Appl. Supercond.*, vol. 23, no. 3, p. 1701104, Jun. 2013.
- [28]. O. A. Mukhanov, "Energy-Efficient Single Flux Quantum Technology," *IEEE Trans. Appl. Supercond.*, vol. 21, no. 3, pp. 760-769, Jun. 2011.
- [29]. Q. P. Herr, A. Y. Herr, O. T. Oberg, and A. G. Loannidis, "Ultra-low-power superconductor logic," *J. Appl. Phys.*, vol. 109, no. 103903, 2011.
- [30]. M. Hosoya, W. Hioe, J. Casas, R. kamikawai, Y. Harada, Y. Wada, H. Nakane, R. Suda, and E. Goto, "Quantum flux parametron: A single quantum flux device for Josephson supercomputer," *IEEE Trans. Appl. Supercond.*, vol. 1, no. 2, pp. 77-89, Jun. 1991.
- [31]. N. Takeuchi, D. Ozawa, Y. Yamanashi, and N. Yoshikawa, "An adiabatic quantum flux parametron as an ultra-low-power logic device," *Supercond. Sci. Tech.*, vol. 26, no. 3, p. 035010, Mar. 2013.
- [32]. S. Yorozu, Y. Kameda, H. Terai, A. Fujimaki, T. Yamada, and S. Tahara, "A single flux quantum standard logic cell library," *Physica C Supercond.*, vol. 378–381, pp. 1471–1474, Oct. 2002.
- [33]. Y. Yamanashi, T. Kainuma, N. Yoshikawa, I. Kataeva, H. Akaike, A. Fujimaki, M. Tanaka, N. Takagi, S. Nagasawa, and M. Hidaka, "100 GHz demonstrations based on the single-flux-quantum cell library for the 10 kA/cm² Nb multi-layer process," *IEICE Trans. Electron.*, vol. E93-C, no. 4, pp. 440–444, Apr. 2010.
- [34]. H. Suzuki, A. Inoue, T. Imamura, and S. Hasuo, "A Josephson driver to interface Josephson junctions to semiconductor transistors," in *Proc. Tech. Dig., Int. Electron Devices Meeting*, 1988, pp. 290–293.
- [35]. A. N. McCaughan and K. K. Berggren, "A superconducting-nanowire three-terminal electrothermal device," *Nano Lett.*, vol. 14, pp. 5748–5753, Sep. 2014.
- [36]. M. Tanaka, M. Suzuki, G. Konno, Y. Ito, A. Fujimaki and N. Yoshikawa, "Josephson-CMOS Hybrid Memory with Nanocryotrons," *IEEE Trans. Appl. Supercond.*, vol. 27, no. 4, 1800904, Jun. 2017.
- [37]. Q.-Y. Zhao, A. N. McCaughan, A. E. Dane, K. K. Berggren, and T. Orllepp, "A nanocryotron comparator can connect single-flux-quantum circuits to conventional electronics," *Supercond. Sci. Technol.*, vol. 30, p. 044002, Mar. 2017.
- [38]. K. Sano, M. Suzuki, K. Maruyama, S. Taniguchi, M. Tanaka, A. Fujimaki, M. Inoue, and N. Yoshikawa, "Thermally Assisted Superconductor Transistors for Josephson-CMOS Hybrid Memories," *IEICE Trans. Electron.*, vol. E101-C, no. 5, pp. 370-377, May 2018.

- [39]. X. Peng., X. Liu, Y. Mei, J. Ren, and H. Tang, "A Solution for Ultra-Low Bit-Error-Rate Interface of Superconductor-Semiconductor by Using an Error-Correction-Code Encoder," *IEEE Trans. Appl. Supercond.*, vol. 29, no. 5, p. 1301604, Aug. 2019.
- [40]. S. Demirhan and A. Bozbey, "Design and Implementation of a Single Flux Quantum Logic-Based Memory Controller for Josephson-CMOS Hybrid Memory Systems," *IEEE Trans. Appl. Supercond.*, vol. 30, no. 7, p. 1302206, Oct. 2020.
- [41]. F. Zokaee and L. Jiang, "Smart: A heterogeneous scratchpad memory architecture for superconductor sfq-based systolic cnn accelerators," in *Proc. MICRO-54: 54th Annual IEEE/ACM International Symposium on Microarchitecture*, pp. 912-924, Oct. 2021.
- [42]. K. Kuwabara, H. Jin, Y. Yamanashi, and N. Yoshikawa, "Design and implementation of 64-kb CMOS static RAMs for Josephson-CMOS hybrid memories," *IEEE Trans. Appl. Supercond.*, vol. 23, no.3, p.1700704, Jun. 2013.
- [43]. H. Jin, K. Kuwabara, Y. Yamanashi, and N. Yoshikawa, "Investigation of Robust CMOS Amplifiers for Josephson-CMOS Hybrid Memories," *Physics Procedia*, vol. 36, pp. 229-234, 2012.
- [44]. X. Peng, Y. Sasaki, H. Jin, K. Kuwabara, Y. Yamanashi, and N. Yoshikawa, "Demonstration of fully functional 64-kb Josephson-CMOS hybrid memory," *Ext. Abs. The IEEE 14th International Superconductive Electronics Conference (ISEC2013)*, p. 13780180 July 2013.
- [45]. X. Peng, "Study and Development on High-Performance Superconductive Computing Systems Using Single-Flux-Quantum Circuits," Ph. D. dissertation, Graduate School of Engineering, Yokohama National University, 2015.
- [46]. Y. Okamoto, H. Jin, K. Yaguchi, Y. Yamanashi and N. Yoshikawa, "Access time measurement of 64-kb Josephson-CMOS hybrid memories using SFQ time-to-digital converter," *IEICE Electronics Express*, vol. 7, no. 4, pp. 320-325, Feb. 2010.
- [47]. H. Nakagawa, E. Sogawa, and S. Kosaka, "Operating characteristics of Josephson four-junction logic (4JL) gate," *Jpn. J. Appl. Phys.*, vol. 21, no. 4, pp. L198-L200, 1982.
- [48]. M. Bazes, "Two novel fully complementary self-biasd CMOS differential amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 26, no. 2, pp.165-168, Feb. 1991.
- [49]. S. Nagasawa, K. Hinode, T. Satoh, M. Hidaka, H. Akaike, A. Fujimaki, N. Yoshikawa, K. Takagi, and N. Takagi, "Nb 9-layer fabrication process for superconducting large-scale SFQ circuits and its process evaluation," *IEICE Trans. Electron.*, vol. E97-C, no. 3, p. 132-140, 2014.
- [50]. O. A. Mukhanov, S. V. Rylov, D. V. Gaidarenko, N. B. Dubash, and V. V. Borzenets, "Josephson output interfaces for RSFQ circuits," *IEEE Trans. Appl. Supercond.*, vol. 7, no. 2, pp. 2826-2831, Jun. 1997.
- [51]. Z. J. Deng, N. Yoshikawa, S. R. Whiteley, and T. Van Duzer, "Self-timing and vector processing in RSFQ digital circuit technology," *IEEE Trans. Appl. Supercond.*, vol. 9, no. 1, pp. 7-17, Mar.

1999.

- [52]. M. Tanaka, H. Akaike, A. Fujimaki, Y. Yamanashi, N. Yoshikawa, S. Nagasawa, K. Takagi and N. Takagi, "100-GHz Single-Flux-Quantum Bit-Serial Adder Based on 10- Niobium Process," IEEE Trans. Appl. Supercond., vol. 21, no. 3, pp. 792–796, Jun. 2011.
- [53]. M. Jeffery, P. Y. Xie, S. R. Whiteley and T. Van Duzer, "Monte Carlo and thermal noise analysis of ultra-high-speed high temperature superconductor digital circuits," IEEE Trans. Appl. Supercond., vol. 9, no. 2, pp. 4095-4098, Jun. 1999.
- [54]. O. A. Mukhanov, "Rapid single flux quantum (RSFQ) shift register family," IEEE Trans. Appl. Supercond., vol. 3, no. 1, pp. 2578-2581, Mar. 1993.
- [55]. C. A. Mancini, N. Vukovic, A. M. Herr, K. Gaj, M. F. Bocko, and M. J. Feldman, "RSFQ circular shift registers," IEEE Trans. Appl. Supercond., vol. 7, no. 2, pp. 2832-2835, Jun. 1997.
- [56]. M. A. Catellanos-Beltran, D. I. Olaya, A. J. Sirois, C. A. Donnelly, P. D. Dresselhaus, S. P. Benz, and P. F. Hopkins, "Single-Flux-Quantum Multiplier Circuits for Synthesizing Gigahertz Waveforms With Quantum-Based Accuracy," IEEE Trans. Appl. Supercond., vol. 31, no. 3, Apr. 2021.
- [57]. Y. Hironaka, Y. Yamanashi, and N. Yoshikawa, "Demonstration of a Single-Flux-Quantum Microprocessor Operating With Josephson-CMOS Hybrid Memory," IEEE Trans. Appl. Supercond., vol. 30, no. 7, Oct. 2020.
- [58]. M. M. Shulaker, G. Hills, N. Patil, H. Wei, H. Y. Chen, H. -S. P. Wong and S. Mitra, "Carbon nanotube computer," Nature, vol. 501, pp. 526-530, 2013.
- [59]. L. Deferm, E. Simoen, and C. Claeys, "The importance of the internal bulk-source potential on the low temperature kink in NMOSTs," IEEE Trans. Electron Devices, vol. 38, no. 6, pp. 1459–1466, Jun. 1991,

発表文献

研究論文 (筆頭 4 報、連名 1 報)

- [1]. Y. He, C. L. Ayala, N. Takeuchi, T. Yamae, Y. Hironaka, A. Sahu, V. Gupta, A. Talalaevskii, D. Gupta, and N. Yoshikawa, “A compact AQFP logic cell design using an 8-metal layer superconductor process,” *Supercond. Sci. Technol.*, vol. 33, no. 3, p. 035010, Feb. 2020.
- [2]. Y. Hironaka, Y. Yamanashi and N. Yoshikawa, “Demonstration of a Single-Flux-Quantum Microprocessor Operating With Josephson-CMOS Hybrid Memory,” *IEEE Trans. Appl. Supercond.*, vol. 30, no. 7, Oct. 2020, Art. no. 1301206.
- [3]. Y. Hironaka, T. Hosoya, Y. Yamanashi, and N. Yoshikawa, “Demonstration of Single-Flux-Quantum 64-B Lookup Table With Cryo-CMOS Decoders for Reconfiguration,” *IEEE Trans. Appl. Supercond.*, vol. 32, no. 8, Nov. 2022, Art. no. 1301305.
- [4]. Y. Hironaka, T. Yamae, C. L. Ayala, N. Yoshikawa, and N. Takeuchi, “Low-latency adiabatic quantum-flux-parametron circuit integrated with a hybrid serializer/deserializer,” *IEEE Access*, vol. 10, pp. 133584-133590, Dec. 2022.
- [5]. Y. Hironaka, S. S. Meher, C. L. Ayala, Y. He, T. Tanaka, M. Habib, A. Sahu, A. Inamdar, D. Gupta, and N. Yoshikawa, “Demonstration of interface circuits for adiabatic quantum-flux-parametron cell library using an eight-metal layer superconductor process,” *IEEE Trans. Appl. Supercond.*, vol. 33, no. 5, Aug. 2023, Art. no. 1301905.

国際会議 (筆頭 14 件、連名 2 件)

- [1]. Y. Hironaka, C. Ayala, Y. Yamanashi and N. Yoshikawa, “Design of a 1-bit SFQ CPU and comparison with CMOS and AQFP circuits,” *11th Superconducting SFQ VLSI Workshop*, Tsukuba, Japan, Feb. 2018.
- [2]. Y. Hironaka, Y. Yamanashi, and N. Yoshikawa, “Design and evaluation of a one-instruction-set single-flux-quantum microprocessor for the demonstration of Josephson-CMOS hybrid system,” *The 31st International Symposium on Superconductivity, EDP2-2*, Tsukuba, Dec. 2018.
- [3]. Y. Hironaka, Y. Yamanashi, and N. Yoshikawa, “Design of a One-Instruction-Set SFQ Microprocessor for High-Speed Demonstration of SFQ/CMOS Hybrid System,” *12th Superconductive SFQ VLSI Workshop, P-3*, Tsukuba, Jan. 2019.
- [4]. Y. Hironaka, T. Ortlepp, Y. Yamanashi and N. Yoshikawa, “Demonstration of a single-flux-quantum microprocessor operating with a Josephson-CMOS hybrid memory,” *The 17th International Superconductive Electronics Conference, 2-DI-C-2*, Riverside, US, July 2019.
- [5]. Y. He, C. Ayala, N. Takeuchi, T. Yamae, Y. Hironaka and N. Yoshikawa, “A Compact AQFP Logic

- Cell Design Using an 8-Metal Layer Superconductor Process,” 14th European Conference on Applied Superconductivity, Glasgow, UK, Sep. 2019.
- [6]. Y. Hironaka, N. Takeuchi, T. Yamae and N. Yoshikawa, “Investigation of current sensitivity of adiabatic quantum-flux-parametron gates,” Workshop on the Future of Silicon Detector Technologies, Erfurt, Germany, Dec. 2019.
- [7]. Y. Hironaka, Y. Yamanashi and N. Yoshikawa, “Optimization of a Josephson latching driver using 10-kA/cm² Nb process for a Josephson-CMOS hybrid memory,” 13th Superconductive SFQ VLSI Workshop, P-18, Yokohama, Jan. 2020.
- [8]. Y. Hironaka, T. Ortlepp, Y. Yamanashi and N. Yoshikawa, "High-speed demonstration of a single-flux-quantum microprocessor operating with a Josephson-CMOS hybrid memory," Applied Superconductivity Conference 2020, Wk2EOr4B-03, online, Nov. 2020.
- [9]. Y. Hironaka, Y. He, C. L. Ayala, N. Takeuchi, T. Yamae, S. Meher, A. Inamdar, D. Gupta and N. Yoshikawa, "Demonstration of Interfaces Between Adiabatic Quantum-Flux-Parametron and Rapid Single-Flux-Quantum Circuits Using the MIT-LL SFQ5ee Process," Applied Superconductivity Conference 2020, Wk2EOr1B-03, online, Nov. 2020.
- [10]. Y. Hironaka, T. Yamae, N. Takeuchi, and N. Yoshikawa, “Design and demonstration of a serializer/deserializer for adiabatic quantum-flux-parametron logic with delay-line clocking,” The 15th European Conference on Applied Superconductivity, 398, online, Sep. 2021.
- [11]. Y. Hironaka, T. Hosoya, Y. Yamanashi, and N. Yoshikawa, “Demonstration of a single-flux-quantum 64-bit lookup table using a cryo-CMOS decoder for reconfiguration,” The 14th Superconducting SFQ VLSI Workshop, Nagoya, Japan, Nov. 2021.
- [12]. Y. Hironaka and N. Yoshikawa, “Demonstration of 1-Gbps/channel readout in a Josephson-CMOS hybrid memory,” The 34th International Symposium on Superconductivity (ISS2021), ED6-5, online, Dec. 2021.
- [13]. Y. Hironaka and N. Yoshikawa, “Bit-error-rate measurement of a Josephson latching driver optimized for Josephson-CMOS hybrid memory using 10-kA/cm² Nb process,” The 15th Superconducting SFQ VLSI Workshop, P-10, Kyoto, Japan, Sep. 2022.
- [14]. Y. Hironaka and N. Yoshikawa, “Demonstration of 32-Gbps readout in a Josephson-CMOS hybrid memory,” Applied Superconductivity Conference 2022, 4EOr2A-06, Honolulu, US, Oct. 2022.
- [15]. Y. Hironaka, S. S. Meher, C. Ayala, Y. He, T. Tanaka, M. Habib, A. Sahu, A. Inamdar, D. Gupta, and N. Yoshikawa, “(Invited) Demonstration of interface circuits for adiabatic quantum-flux-parametron cell library using an eight-metal layer superconductor process,” Applied Superconductivity Conference 2022, 4EPo1E-01, Honolulu, US, Oct. 2022.
- [16]. T. Tanaka, S. S. Meher, C. Ayala, Y. Hironaka, A. Sahu, A. Inamdar, D. Gupta, N. Yoshikawa, “Demonstration of a hybrid superconductor logic computation system using single flux quantum

and adiabatic quantum-flux-parametron logic families,” Applied Superconductivity Conference 2022, 4EPo1E-07, Honolulu, US, Oct. 2022.

国内会議 (筆頭 17 件、連名 1 件)

- [1]. 弘中祐樹, C. Ayala, 山梨裕希, 吉川信行, “SFQ, AQFP, ならびに CMOS 回路を用いた 1-bit CPU の設計,” 2018 年電子情報通信学会総合大会, C-8-6, 東京電機大学, 2018 年 3 月.
- [2]. 弘中祐樹, 山梨裕希, 吉川信行 “SFQ/CMOS ハイブリッドシステム実証に向けた単一命令セット SFQ マイクロプロセッサの設計及び評価,” 2018 年電子情報通信学会ソサイエティ大会, C-8-3, 金沢大学, 2018 年 9 月.
- [3]. 弘中祐樹, 山梨裕希, 吉川信行 “単一命令セット SFQ マイクロプロセッサを用いた SFQ/CMOS ハイブリッドシステムの評価,” 電気学会金属・セラミックス/超電導機器合同研究会・若手ポスター発表会, MC-18-047, 産業技術総合研究所, 2018 年 12 月.
- [4]. 弘中祐樹, 山梨裕希, 吉川信行 “SFQ/CMOS ハイブリッドシステムの高速度動作実証に向けた単一命令セット SFQ マイクロプロセッサの設計,” 2019 年電子情報通信学会総合大会, C-8-8, 早稲田大学, 2019 年 3 月.
- [5]. 弘中祐樹, 山梨裕希, 吉川信行 “単一命令セット SFQ マイクロプロセッサを用いた SFQ/CMOS ハイブリッドメモリシステムの動作実証,” 電子情報通信学会超伝導エレクトロニクス研究会 4 月研究会, SCE2019-2, 機械振興会館, 2019 年 4 月.
- [6]. 弘中祐樹, 山梨裕希, 吉川信行 “単一磁束量子マイクロプロセッサを用いた Josephson-CMOS ハイブリッドシステムの動作実証,” 電気学会令和元年基礎・材料・共通部門大会, 4-C-a2-5, 岩手大学, 2019 年 9 月.
- [7]. 弘中祐樹, 竹内尚輝, 山梨裕希, 吉川信行, “Josephson-CMOS ハイブリッドメモリにおける断熱的量子磁束パラメトロンへの入力感度の調査,” 2019 年電子情報通信学会ソサイエティ大会, C-8-12, 大阪大学, 2019 年 9 月.
- [8]. 弘中祐樹, 山梨裕希, 吉川信行, “10-kA/cm² Nb プロセスにおける Josephson-CMOS ハイブリッドメモリ用 Josephson latching driver の最適化,” 2020 年電子情報通信学会総合大会, C-8-18, 広島大学, 2020 年 3 月.
- [9]. 弘中祐樹, 吉川信行 “単一磁束量子回路を用いた高性能計算機システムの実現に向けた Josephson-CMOS ハイブリッドメモリの開発及びデモンストレーション,” ナノ学会第 18 回大会, P59, 横浜国立大学, 2020 年 5 月.
- [10]. 弘中祐樹, 山梨裕希, 吉川信行 “10-kA/cm² Nb プロセスにおける Josephson-CMOS ハイブリッドメモリに用いる Josephson latching driver の評価,” 2020 年度春季第 99 回低温工学・超電導学会研究発表会, 1C-p11, オンライン開催, 2020 年 7 月.
- [11]. Y. Hironaka, Y. Okuma, Y. Yamanashi and N. Yoshikawa, "Development of a low-power field-programmable gate array using superconductor logic and semiconductor memory," 電気学会令

和 2 年基礎・材料・共通部門大会, 3-A-p1-4, オンライン開催, 2020 年 9 月.

- [12]. 弘中祐樹, 吉川信行 “高帯域データ読み出しレート Josephson-CMOS ハイブリッドアキュムレータの設計及び評価,” 2020 年電子情報通信学会ソサイエティ大会, C-8-8, オンライン開催, 2020 年 9 月.
- [13]. 弘中祐樹, 吉川信行 “10-kA/cm² Nb プロセスを用いた Josephson latching driver の設計及びビットエラーレート評価,” 電子情報通信学会超伝導エレクトロニクス研究会 11 月研究会, SCE2020-8, オンライン開催, 2020 年 11 月.
- [14]. 弘中祐樹, 山栄大樹, 竹内尚輝, 吉川信行 “(招待講演) Delay-line clocking を用いた断熱的量子磁束パラメトロン回路のためのシリアライザ/デシリアライザ回路の設計,” 電子情報通信学会超伝導エレクトロニクス研究会 1 月研究会, SCE2020-16, オンライン開催, 2021 年 1 月.
- [15]. 弘中祐樹, 細谷岳哉, 山梨裕希, 吉川信行, “CMOS 回路の電流出力による再構成が可能な 64-bit 単一磁束量子ルックアップテーブルの動作実証,” 2021 年第 68 回応用物理学会春季学術講演会, オンライン開催, 2021 年 3 月.
- [16]. 弘中祐樹, 吉川信行, “Josephson-CMOS ハイブリッドメモリの 1 Gbps/channel 読み出し動作のデモンストレーション,” 2021 年電子情報通信学会ソサイエティ大会, C-8-12, オンライン開催, 2021 年 9 月.
- [17]. 弘中祐樹, 吉川信行, “Josephson-CMOS ハイブリッドメモリの出力電流検出におけるタイミングマージンの調査,” 2022 年電子情報通信学会総合大会, C-8-7, オンライン開催, 2022 年 3 月.
- [18]. 森優也, 弘中祐樹, 吉川信行, “SFQ/CMOS ハイブリッドメモリに用いる DC/SFQ コンバータの閾値電流の評価,” 電気学会金属・セラミックス/超電導機器合同研究会, ASC-22-023, ちよだプラットフォームスクエア, 2022 年 11 月.

受賞

- [1] 電気学会平成 30 年優秀論文発表賞基礎・材料・共通部門表彰, 2019 年 9 月.
- [2] 電子情報通信学会超伝導エレクトロニクス研究会奨励賞, 2021 年 1 月.