

## 学位論文及び審査結果の要旨

氏名 弘中 祐樹

学位の種類 博士(工学)

学位記番号 理工博甲第75号

学位授与年月日 令和5年3月23日

学位授与の根拠 学位規則(昭和28年4月1日文部省令第9号)第4条第1項及び横浜国立大学学位規則第5条第1項

学府・専攻名 理工学府・数物・電子情報系理工学専攻

学位論文題目 Josephson-CMOSハイブリッドメモリの高速動作に向けた研究

論文審査委員	主査	横浜国立大学	教授	吉川 信行
		横浜国立大学	教授	竹村 泰司
		横浜国立大学	教授	荒川 太郎
		横浜国立大学	教授	関口 康爾
		横浜国立大学	准教授	大矢 剛嗣
		横浜国立大学	准教授	山梨 裕希

## 論文及び審査結果の要旨

Josephson-CMOS ハイブリッドメモリは、単一磁束量子 (SFQ)回路を始めとする超伝導集積回路に適合する大規模な低温メモリとして有望な方式とされている。先行研究では 64-kb メモリの動作実証例があるが、いずれも目標動作周波数 1 GHz での動作実証には成功していない。本研究では、目標動作周波数 1 GHz における Josephson-CMOS ハイブリッドメモリの高速動作実証に取り組んだ。高周波での実験に際し、これまでに評価されていなかった読み出し動作におけるメモリ出力電流のスイッチング時間の評価、及び高周波の外部 I/O 数を削減させたテスト回路の構築を行った。

メモリ出力電流のスイッチング時間の評価について、読み出し動作におけるクロック入力タイミングマージンを測定することによりスイッチング時間の推定を行った。メモリ読み出し動作の高速動作実証のため、シーケンシャルアクセス型デコーダ及び SFQ アキュームレータを用いることにより高周波 I/O 数を削減させたテスト回路を設計し、測定において最高動作周波数 1.2 GHz でのメモリ読み出し動作に成功した。また、Josephson-CMOS

ハイブリッドメモリの読出し専用メモリとしての応用について検討し、バンド幅及び消費電力の性能が SFQ メモリに対して優位であることを示した。

書き込み動作を含めた Josephson-CMOS ハイブリッドメモリの高周波試験用テスト回路を設計するため、信号変換回路である Josephson latching driver の多層超伝導回路プロセスでの設計を行った。設計した Josephson latching driver を用い、SFQ マイクロプロセッサを用いることで室温機器との高周波 I/O 数を削減させたテスト回路を設計した。測定では CMOS 差動増幅器の動作不安定性により 100 kHz 程度までのメモリの正常動作を確認した。

これらの研究成果は、超伝導デジタルエレクトロニクス技術、特に超低消費エネルギー大規模集積回路の実現に対して極めて意義のあるものと高く評価される。よって、本論文は数物・電子情報系理工学専攻の博士（工学）の学位論文として十分な内容を有すると認める。