

学位論文及び審査結果の要旨

氏名 田中 智之
学位の種類 博士(工学)
学位記番号 理工博甲第74号
学位授与年月日 令和5年3月23日
学位授与の根拠 学位規則(昭和28年4月1日文部省令第9号)第4条第1項及び横浜国立大学学位規則第5条第1項
学府・専攻名 理工学府・数物・電子情報系理工学専攻
学位論文題目 Study on the design methodology of large-scale adiabatic quantum-flux-parametron circuits

論文審査委員	主査	横浜国立大学	教授	吉川 信行
		横浜国立大学	教授	竹村 泰司
		横浜国立大学	教授	荒川 太郎
		横浜国立大学	教授	関口 康爾
		横浜国立大学	准教授	大矢 剛嗣
		横浜国立大学	准教授	山梨 裕希

論文及び審査結果の要旨

現代のコンピュータにはCMOS回路が使用されているが、CMOS回路は微細化の物理的な限界を迎えつつある。そのため、既存のCMOS回路よりも高速かつ、低消費電力で動作できる新たな集積回路技術が必要とされている。超伝導論理回路の一種である断熱量子磁束パラメトロン(AQFP)回路は5~10 GHzの周波数を維持しながらCMOS回路と比べて5~6桁少ない消費電力での動作が可能であり、将来のコンピュータのための基本技術として期待されている。しかしながら、CMOS回路に対して、大規模回路を設計するための回路設計基盤技術がまだ未確立である。本論文では、これを解決するために大規模回路設計基盤技術のなかでも重要である、配置・配線方法の構築に取り組んだ。

本論文では、最初にAQFP回路向けのハードウェア記述言語から物理的なレイアウトを設計するRTL-to-GDSフローの構築を行った。商用のCMOS回路向けのツールを改造してシステムを構築し、最大で240万ジョセフソン接合を持つAQFP回路のレイアウトの生成に成功した。これにより、本方法が先行研究よりも拡張性の高い配置配線手法であることを示した。

次に AQFP 回路を用いた、整数加算器と浮動小数点加算器の設計を行い、その動作実証を行うとともに CMOS 回路や単一磁束量子 (SFQ) 回路との比較を行った。整数加算器については、AQFP 回路の基本ゲートである 3 入力多数決ゲートに加え、新たに 5 入力多数決ゲートを導入した。更に、bfloat-16 フォーマットの浮動小数点加算器の設計を行った。設計した整数加算器ならびに浮動小数点加算器を先行研究と比較することで、AQFP 回路が電力遅延積において CMOS 断熱回路に対して数百倍優れていることを示した。

これらの研究成果は、超伝導デジタルエレクトロニクス技術、特に超低消費エネルギー大規模集積回路の実現に対して極めて意義のあるものと高く評価される。よって、本論文は数物・電子情報系理工学専攻の博士 (工学) の学位論文として十分な内容を有すると認める。