

超伝導回路による超高速・低消費電力マイクロプロセッサの開発

非会員 山梨 裕希* 正員 吉川 信行**
 非会員 田中 雅光*** 非会員 藤巻 朗***

Development of High-speed and Low-power Microprocessors using Superconductive Circuits

Yuki Yamanashi*, Non-member, Nobuyuki Yoshikawa**, Member, Masamitsu Tanaka***, Non-member,
 Akira Fujimaki***, Non-member

Superconductive single flux quantum (SFQ) circuits, which perform their circuit operations by controlling propagations of flux quanta in connected superconducting rings, can operate at the frequency of several tens GHz with ultra low power dissipation. The SFQ circuit is thought to be an attractive candidate for fundamental elements of future high-end information processing systems. This paper reports the development of SFQ microprocessors for high-end computation systems.

キーワード：単一磁束量子回路，集積回路，ジョセフソン接合，磁束量子，マイクロプロセッサ

Keywords : single flux quantum circuit, LSI, Josephson junction, flux quantum, microprocessor

1. はじめに

現代の情報化社会は半導体集積回路技術の発展によって支えられてきた。半導体集積回路はその微細加工技術の発展に支えられ，その集積度は指数関数的に上昇し続けてきた。現在では1つのチップに1億個以上のトランジスタが集積されるまでになっている。トランジスタのゲート長は100 nmを切り，ゲート絶縁膜厚は数nmにも達し，半導体集積回路にはまさに極限のナノテクノロジーが使用されている。しかし，近年半導体集積回路の発展のスピードは，リーク電流の増加による消費電力の増大や配線遅延の増大などの要因により，近年鈍化がみられるようになってきている⁽¹⁾。特に集積回路のクロック周波数に関しては，その向上に行き詰まりがはっきりと見えてきている。

この半導体集積回路の限界を打ち破る回路技術として，超伝導単一磁束量子 (Single Flux Quantum: SFQ) 回路⁽²⁾がある。SFQ回路は超伝導回路中を伝搬する磁束量子の動きを制御することによって回路動作を行い，超低消費電力にお

いて高速動作が可能であることを特徴とする。本稿では，我々が進めてきた，SFQ回路を用いたマイクロプロセッサの開発および動作実証について述べる。

2. 超伝導 SFQ 回路

超伝導リングを貫く磁束は，超伝導体中の波動関数の一価性により，磁束量子 $\Phi_0 (= h/2e = 2.07 \times 10^{-15} \text{ Web})$ の整数倍に必ず量子化される。これはどのようなサイズの超伝導リングでも起こる，超伝導体特有の巨視的な量子効果である。この超伝導リング中の磁束の最小単位である磁束量子一つ一つを情報担体として用いる超伝導単一磁束量子回路は，東北大の中島らによってその原型が提案され⁽³⁾，1991年にLikharevらによってSFQ論理回路として体系づけられた⁽²⁾。

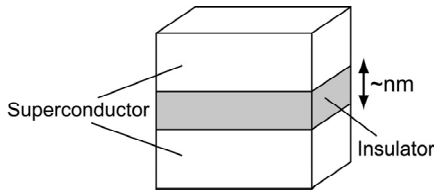
SFQ回路動作の説明の前に，SFQ回路のスitchング素子であるJosephson接合の構造とその電流-電圧特性を図1に示す。Josephson接合はnmオーダーの薄い絶縁膜を超伝導体で挟み込んだ構造をしている。このJosephson接合に臨界電流(I_c)よりも低い電流が流れているとき，接合の両端には電圧が発生しない。しかし接合に流れる電流が臨界電流値を超えた瞬間，接合の両端に電圧が発生する。接合を流れている電流が臨界電流値以下になると，有電圧状態の接合はただちにゼロ電圧状態に戻る。Josephson接合において有電圧状態とゼロ電圧状態の切り替えが瞬時に起こることが，SFQ回路の高速性の一つの要因になっている。

図2にSFQ回路の構造図を示す。SFQ回路はJosephson接合(JI)を含む超伝導リングが接続された形状をしている。

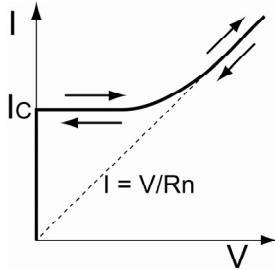
* 横浜国立大学学際プロジェクト研究センター
 〒240-8501 横浜市保土ヶ谷区常盤台 79-5
 Interdisciplinary Research Center, Yokohama National University
 79-5, Tokiwadai, Hodogaya-ku, Yokohama 240-8501

** 横浜国立大学工学工学部電子情報工学科
 〒240-8501 横浜市保土ヶ谷区常盤台 79-5
 Department of Electrical and Computer Engineering, Yokohama
 National University

*** 名古屋大学工学部
 〒464-8603 名古屋市千種区不老町
 Faculty of Engineering, Nagoya University
 Furo-cho, Chikusa-ku, Nagoya 464-8603



(a) Josephson junction



(b) Current-voltage characteristic

図1 積層型ジョセフソン接合の構造と電流-電圧特性
Fig. 1. Structure and current-voltage characteristic of a Josephson junction.

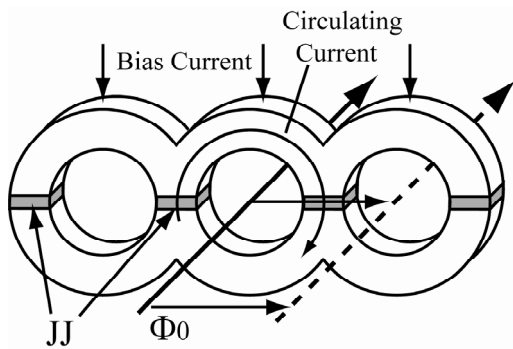


図2 超伝導 SFQ 回路の構造

Fig. 2. Structure of an SFQ circuit. Φ_0 denotes a flux quantum.

各接合には臨界電流値を超えない程度に、外部からバイアス電流が印加されている。この状態で超伝導リングに単一の磁束量子が入力されると、超伝導リングには磁束量子を保持しようとして循環電流が流れる（図2の場合は時計回り）。この時、超伝導リング中の右側の Josephson 接合は、もともとバイアスされていた電流値と、循環電流によって流れる電流の和が臨界電流値を超え、有電圧状態にスイッチする。このとき超伝導リング中の磁束量子は、バイアス電流からクーロン斥力を受け、右隣のリングに移る。磁束量子が飛び出した超伝導リングは、循環電流が無くなるため、接合を流れる電流値は臨界電流値以下になり、Josephson 接合は直ちにゼロ電圧状態に戻る。この動作が接続された超伝導リングで次々と起こり、磁束量子は回路中を伝搬して行く。上の例では磁束量子の伝搬動作のみ述べたが、Josephson 接合の臨界電流値などの回路パラメータの調整によって、入力された磁束量子を超伝導リング中に保持することもできる。この超伝導リング中の単一磁束量子の伝搬

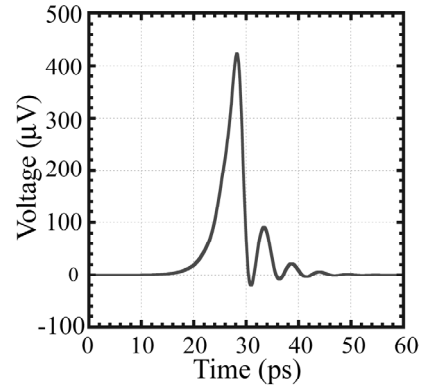


図3 SFQ パルスの時間波形

Fig. 3. Waveform of an SFQ pulse.

と保持を組み合わせることによって、SFQ 回路はあらゆる論理動作が可能である。

磁束量子回路の伝搬時には、Josephson 接合の両端に単一の磁束量子の通過に伴う微小なパルス状の電圧が発生する。これを SFQ パルスと呼ぶ。図3に SFQ パルスの時間波形を示す。SFQ パルスは幅が約 10 ps、高さが 1 mV 以下の急峻な電圧パルスとなる。SFQ 回路中では、磁束量子、あるいは SFQ パルスが回路中を高速で飛びまわっていることになる。

SFQ パルスの幅が 10 ps ということは、SFQ 回路においては 1 ビットの信号を 10 ps 程度の時間で表現できるということであり、数十 GHz の高速な動作が可能であることにつながる。また、微小な電圧で信号が表現でき、さらに回路が動作しないときは回路中に電圧が発生しないことから、SFQ 回路は超低消費電力動作が可能である。半導体集積回路に比べて SFQ 回路は 3 桁以上低い消費電力で動作可能であることが知られている。

この超伝導 SFQ 回路を用いてこれまでにさまざまな回路の高速動作実証がされてきた。本稿で述べるマイクロプロセッサ以外の回路応用としては、高性能なネットワークルータの実現を目指した SFQ ネットワークスイッチ回路の 50 GHz 動作⁽⁴⁾などがある。単体のフリップフロップにおいては、750 GHz までの高速動作が実証されている⁽⁵⁾。

3. SFQ マイクロプロセッサの開発

我々は SFQ 回路を、情報処理システムの中核であるマイクロプロセッサに応用すべく、研究を続けてきた。マイクロプロセッサは最も複雑なデジタル回路であり、この動作実証を通じて SFQ 回路設計法や、動作実証法についての知見が得られることも目的としている。

SFQ 回路の設計には、Josephson 接合を含む超伝導リングの接続と、回路パラメータの調節を行えばよいが、マイクロプロセッサのような大規模な回路においてこの作業を行うのは現実的でない。我々は大規模 SFQ 回路を設計するために、セルベース設計法、SFQ セルライブラリ⁽⁶⁾、セルベースデジタル設計法を開発した。セルベース設計法におい

ては、AND や OR などの基本回路をセルとして設計しておき、それらを並べるだけで所望の機能を持つ回路を設計する、というものである。セルベース設計法のために、300種類以上のセルから構成される SFQ セルライブラリを開発した。さらにセルを並べた状態でのデジタル回路シミュレーションを開発し、設計時に回路の動作検証を行うことができる。各セルはチップ作成時の回路パラメータのバラツキに対して十分な耐性を持つように回路パラメータが最適化されている。このセルライブラリは、超電導工学研究所が所有する SRL 2.5 kA/cm² Nb 標準プロセス⁷⁾の仕様に従って開発された。このプロセスはジョセフソン接合以外に 3 層の Nb 超伝導配線層 (最小線幅は 1.0 μm) を有し、回路パラメータのバラツキも十分小さい回路を作成することができる。測定では、チップを液体ヘリウム中に浸して Josephson 接合と配線で使われている Nb を超伝導状態にし、信号を入力しながらその出力を確認して動作検証を行う。

現行の SFQ 集積回路は集積度が半導体回路に比べて格段に低い。このため半導体マイクロプロセッサにおける処理のように、データの並列的な処理を行うと面積コストが大きくなってしまふ。そこで我々はデータを 1 ビットずつ直列的に処理する方法を用いて回路を設計した。SFQ 回路の高いスループットを利用することによって、1 ビットずつの直列処理においても高い性能を維持することができる。

マイクロプロセッサは、算術論理演算を行う ALU (Arithmetic Logic Unit)、データを保持するレジスタなどの複数の要素回路から構成される。マイクロプロセッサの設計においては、最初に決めた全体の仕様に従って全ての要素回路を設計し、デジタルシミュレーションを行いながら要素回路を統合する方法で全体の設計を行った。マイクロプロセッサの機能が正しく実行されるためには、すべての要素回路間でデータや制御信号が適切な順序、タイミングで受け渡される必要があり、マイクロプロセッサ全体の設計には数日から数週間の時間を要する。

我々は最初にマイクロプロセッサとしての基本動作の実証をするために、マイクロプロセッサとして必要最小限の機能を持つ 8 ビット SFQ マイクロプロセッサの開発を行った。このシンプルなマイクロプロセッサを我々は CORE1α と呼んでいる。最初に動作実証に成功した SFQ マイクロプロセッサは、CORE1α version 5 である。約 5000 個のジョセフソン接合から成るこのプロセッサは、1.6 mW の消費電力において、最大 15.2 GHz までのクロック周波数において動

作した⁸⁾。この version 5 をさらに改良し、機能性、性能を上げたものの動作実証にも成功した。CORE1 α ver.6 では要素回路間の配線に、SFQ パルスの光速無損失伝送が可能な超伝導受動線路 (PTL) を用いた⁹⁾。さらに CORE1 α ver.10 では 4 バイトの SFQ シフトレジスタ型メモリを搭載している。

CORE1α マイクロプロセッサは、基本的な動作を実証することを目的としたプロセッサであり、その最大性能は 240 MOPS (Million Operations Per Second: 1 秒間に 2.4 億回の動作が可能) であった。この値は現在の半導体マイクロプロセッサに比べて 1 桁以上低い。我々は半導体マイクロプロセッサに劣らない性能を持つプロセッサの実現を目指し、新しい SFQ マイクロプロセッサの開発を行った。このプロセッサを CORE1β と呼んでいる。

CORE1β において性能を上げるために取り入れた手法は主にふたつある。ひとつ目は、複数の ALU を接続した構成を用いたことである。マイクロプロセッサにおける算術論理演算は、レジスタから読みだされたデータを ALU に入力し、演算結果をレジスタに書き戻すことで実行される。このときに複数の ALU を接続することによって、レジスタから読みだされたデータが書き戻されるまでに、複数の算術論理演算を行うことができる。

もう一つの手法は、パイプライン処理である。パイプラ

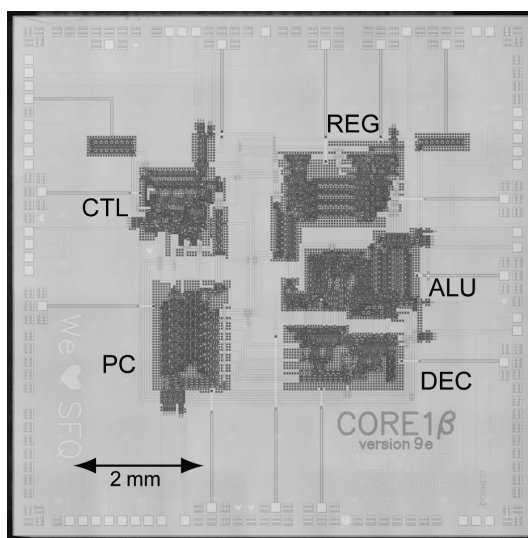


図 4 CORE1β ver.9 マイクロプロセッサ
Fig. 4. CORE1β ver.9 microprocessor.

表 1 SFQ マイクロプロセッサ
Table 1. SFQ microprocessors.

	Total Junctions	Clock Frequency (GHz)	Power Consumption (mW)	Performance (MOPS)	Features
CORE1α ver.5 ⁸⁾	4999	15.2	1.6	167	Simple prototype microprocessor
CORE1 α ver.6 ⁹⁾	6319	18.0	2.1	240	PTL wiring between circuit blocks
CORE1 α ver.9	7220	21.0	2.3	200	Implementation of a 4-Byte SFQ memory
CORE1β ver.9 ¹¹⁾	10995	18.0	3.4	1400	2 cascaded ALUs, 4-stage pipelining

イン処理は、ある命令が完了する前に次の命令の処理を始めることによって、複数の命令を同時に実行することができる手法である。このパイプラインの実現のためには複数の命令を巧妙に制御できる高機能な制御回路が必要になるが、SFQ回路に適した新しい制御回路⁽¹⁰⁾を実現することにより、SFQマイクロプロセッサへのパイプライン処理の実装に成功した。

動作実証に成功したCORE1 β ver.9マイクロプロセッサでは、2個のALUを搭載し、4段パイプライン処理を（同時に4つの命令を実行）行うことによって最大性能1400MOPSとCORE1 α に比べて高い性能を実現した⁽¹¹⁾。CORE1 β ver.9マイクロプロセッサのチップ写真を図4に示す。

これまでに動作実証に成功したSFQマイクロプロセッサの性能や簡単な特徴を表1に示す。

4. おわりに

我々の開発している単一磁束量子回路を用いたマイクロプロセッサについて述べた。単一磁束量子回路の高速性や特色を生かしたマイクロプロセッサの構成の検討を行い、2個のALU、4段パイプライン処理を実装した8ビットSFQマイクロプロセッサの高速動作実証に成功した。

最小線幅が1 μ mと半導体回路に比べてはるかに貧弱なプロセスにおいて、20GHzを超える周波数でSFQマイクロプロセッサの動作を実証することができた。SFQ回路においても回路の微細化によって動作速度は上がることから、微細加工技術の進歩によって回路の速度、集積度を上げていくことができる。これまでにSFQ回路の基本的な設計技術、作成技術は確立したと言える。今後は回路の微細化と同時に、SFQ回路の特徴である高スループット性、低消費電力性を最大限利用できる応用、さらにはSFQ回路でしか実現不可能な応用を探求していく必要がある。

(平成20年2月21日受付)

文 献

- (1) <http://www.itrs.net/Links/2006Update/2006UpdateFinal.htm>
- (2) K. K. Likharev and V. K. Semenov : "RSFQ Logic/Memory Family: A New Josephson-Junction Technology for Sub-Terahertz-Clock-Frequency Digital Systems", *IEEE Trans. Appl. Supercond.*, Vol.1, pp.3-28 (1991)
- (3) K. Nakajima, G. Oya, and Y. Sawada : "Fluxoid motion in phase mode Josephson switching system", *IEEE Trans. Magnetics*, Vol.19, pp.1201-1204 (1983)
- (4) Y. Kameda, S. Yorozu, Y. Hashimoto, H. Terai, A. Fujimaki, and N. Yoshikawa : "High-speed demonstration of single-flux-quantum cross-bar switch up to 50 GHz", *IEEE Trans. Appl. Supercond.*, Vol.15, pp.6-10 (2005)
- (5) W. Chen, A. V. Rylyakov, V. Patel, J. E. Lukens, and K. K. Likharev : "Superconductor digital frequency divider operating up to 750 GHz", *Appl. Phys. Lett.*, Vol.73, pp.2817-2819 (1998)
- (6) S. Yorozu, Y. Kameda, H. Terai, A. Fujimaki, T. Yamada, and S. Tahara : "A single flux quantum standard logic cell library", *Physica C*, Vol.378-381, pp.1471-1474 (2002)
- (7) S. Nagasawa, Y. Hashimoto, H. Numata, and S. Tahara : "A 380ps, 9.5 mW Josephson 4-kbit RAM operated at a high bit yield", *IEEE Trans. Appl. Supercond.*, Vol.5, pp.2447-2452 (1995)

- (8) M. Tanaka, F. Matsuzaki, T. Kondo, N. Nakajima, Y. Yamanashi, A. Fujimaki, H. Hayakawa, N. Yoshikawa, H. Terai, and S. Yorozu : "A single-flux-quantum logic prototype microprocessor", Tech. Dig. IEEE Int. Solid-State Circuit Conf., San Francisco, CA (2004)
- (9) M. Tanaka, T. Kondo, N. Nakajima, T. Kawamoto, Y. Yamanashi, Y. Kamiya, A. Akimoto, A. Fujimaki, H. Hayakawa, N. Yoshikawa, H. Terai, Y. Hashimoto, and S. Yorozu : "Demonstration of a singleflux-quantum microprocessor using passive transmission lines", *IEEE Trans. Appl. Supercond.*, Vol.15, pp.400-404 (2005)
- (10) Y. Yamanashi, A. Akimoto, N. Yoshikawa, M. Tanaka, T. Kawamoto, Y. Kamiya, and A. Fujimaki : "A New Design Approach for Control Circuits of a Pipelined Single-Flux-Quantum Microprocessor", *Supercond. Sci. Technol.*, Vol.19, pp.S340-S343 (2006)
- (11) Y. Yamanashi, M. Tanaka, A. Akimoto, H. Park, Y. Kamiya, N. Irie, N. Yoshikawa, A. Fujimaki, H. Terai, and Y. Hashimoto : "Design and Implementation of a Pipelined Bit-Serial SFQ Microprocessor, CORE1 β ", *IEEE Trans. Appl. Supercond.*, Vol.17, pp.474-477 (2007)

山 梨 裕 希



会会員。

(非会員) 1979年10月10日生。2007年9月横浜国立大学大学院工学府物理情報工学科博士後期課程修了。2007年4~10月日本学術振興会特別研究員。2007年10月カリフォルニア大学バークレー校訪問研究員。現在横浜国立大学学際プロジェクト研究センター特任助教。単一磁束量子回路、超伝導デバイスの研究に従事。博士(工学)。応用物理学会、電子情報通信学

吉 川 信 行



(正員) 1961年12月27日生。1989年3月横浜国立大学大学院工学研究科博士後期課程電子情報工学専攻修了。同年4月同大学工学部電子情報工学科助手。1993年同大工学部電子情報工学科助教授。1995年より1年間カリフォルニア大学バークレー校客員研究員。現在、横国大大学院工学研究院教授。主として超伝導エレクトロニクス、単電子デバイス、量子効果デバイス、低温デバイス、単一磁束量子回路、集積回路設計に関する研究に従事。工学博士。2005年末踏科学技術協会超伝導科学技術賞。応用物理学会、電子情報通信学会、IEEE 会員。

田 中 雅 光



(非正員) 1979年8月29日生。2003年3月名古屋大学大学院工学研究科電子工学専攻博士前期課程修了、2006年3月電子情報工学専攻博士後期課程修了。2005~2007年日本学術振興会特別研究員。現在、同大学院情報科学研究科研究員として単一磁束量子集積回路に関する研究に従事。博士(工学)。応用物理学会、電子情報通信学会、IEEE 会員。

藤 巻 朗



(非正員) 1959年8月24日生。1987年3月東北大学工学研究科博士課程修了。1987年カリフォルニア大学バークレー校客員研究員。1988年より名古屋大学工学研究科助手。現在、名古屋大学工学研究科教授。低温および高温超伝導体を用いた単一磁束量子回路の応用に関する研究に従事。工学博士。応用物理学会、電子情報通信学会会員。