第1章

研究の背景と目的

第1章の概要

本章では、半導体パッケージの構造、材料、プロセスの変遷について概説、顕在化してきた信頼性課題について整理し、重要課題を抽出する。先ず半導体パッケージの実装技術と構造の変遷について概説し、現在幅広い分野で使用されている BGA や FC パッケージのはんだ接合部の強度信頼性について述べる。次に、半導体実装に関連する材料と実装プロセスの変遷について概説、特に封止樹脂の残留応力に起因するパッケージの反り変形信頼性について述べる。また、今後普及が予想される MCM や MCP で不可欠なベアチップ KGD（Known Good Die）検査システムの接続信頼性について述べる。さらに、その KGD 検査用プローブカードのバンプ高さを電解メッキで均一形成させる課題について述べる。最後に、本論文の研究目的について説明を行う。

1.1 半導体パッケージの実装技術の動向と接合部の信頼性[1)- 6)]

本節では半導体パッケージの変遷とはんだ接合部の機械的強度信頼性について概説する。電子機器における“実装”は、IC（Integrated Circuit）やLSI（Large Scale Integration）などのチップを封止する1次実装過程、その半導体パッケージを回路基板に接続する2次実装過程、回路基板をコネクターなどで接続して筐体に固定する3次実装過程に大別できる。

1次実装過程では、LSI チップの電極からパッケージの電極（リードフレームやインターポーザ基板）へ接続を行う。この接続を ILB(Inner Lead Bonding)と呼び、Wire Bonding、TAB(Tape Carrier Bonding)や Flip-chip Bonding がある。ILB を行った半導体は、熱硬化性樹脂で所定のパッケージ形態にトランスファー成形される。2次実装過程では、半導体パッケージとマザーボードの接続を OLB（Outer Lead Bonding）と呼び、はんだ接合が広く用いられている。

半導体の実装形態は、電子機器の高密度化、高性能化の要求に対応して、Fig.1.1 に示すような種々の形態に変化してきた。初期の DIP(Dual In-line Package)では、パッケージの両サイドにあるリードをプリント基板の貫通孔（Through Hole スルホール）に挿入し、スルホールの間隙にはんだを充填する方式で接続を行っていた。このような DIP 接合方式では、熱応力に対しリードが緩衝材として作用し、はんだ接合部の信頼性は極めて高かった。しかしながら、DIP 接合方式では、単位面積当たりのリード数（端子数）を多く取ることは出来ない。

1980 年代後半から、電子機器の高密度化、高性能化の要求に対応して、QFP

(Quad Flat Package) や SOP(Small Outline Package)などの高密度実装可能なパッケージが普及してきた。これらは、スルホールの代わりに基板上の接続電極 (Pad パッド) にリードを接続する表面実装法が採用された。表面実装パッケージではスルホールを必要としないため、基板の両面にパッケージを実装可能で、DIP に較べて倍のパッケージを実装できる。特に、QFP ではパッケージの4辺にリードを配置しており、2辺リード配置の DIP、SOP と比較して2倍のリードを配置できる。しかしながら、さらなる高密度化の要求に対しては、QFP においてもリード間隔を狭くするしか方法がなく、リード間のショートなど製造上の限界がある。

そこで、多くの端子を必要とするコンピューターの CPU (Central Processing Unit) では、4辺の代わりに面全体に端子を配置するパッケージが開発された。当初は I/O 端子にピンを用いた PGA (Pin Grid Array) であったが、1990 年代中頃より、ボール状のはんだバンプを用いた BGA(Ball Grid Array)が実用化してきた。BGA パッケージは、ピンやリードを介さずにボール状のはんだバンプで基板上に直接接合されるために一層の小型薄型化が図れる。外形サイズを BGA よりさらにチップサイズに近づけた CSP (Chip Scale Package) や、チップを直接基板に実装した FC (フリップチップ) パッケージが実用化してきている。これらのパッケージで採用されたバンプ接続法は、信号の遅延時間の短縮が可能で電気特性の面からもメリットが大きい。

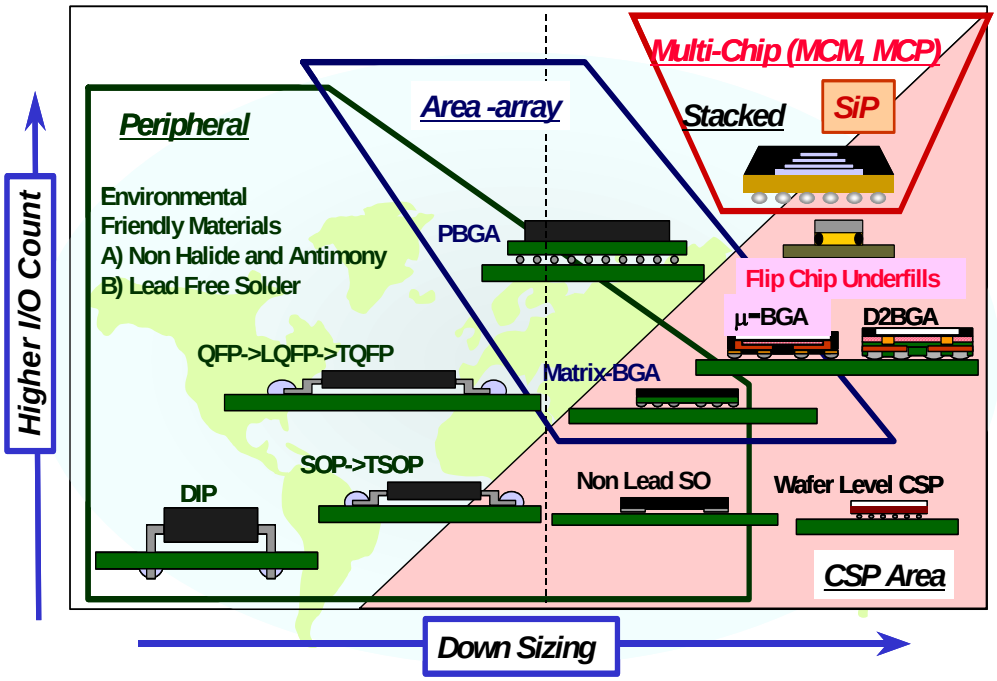


Fig. 1.1 半導体パッケージの動向

しかしながら、ILBやOLBが微小な形状のはんだ接合では、チップと基板の熱膨張差を吸収する効果は小さくなっている。また、広く用いられていた SnPb 系の共晶はんだが、環境問題により高融点の SnAg 系のはんだに移行された場合、リフロー温度の上昇からさらに実装信頼性環境が厳しくなる。

BGAやFCパッケージにおいては、このように高密度実装が進展する反面、機械的な信頼性のマージンが削られていき、特に半導体をガラスエポキシ系有機基板FR4に実装する場合の接合部の強度信頼性は重要な課題となっている。そこで、新規はんだの研究開発と共に、クリープ特性などの力学特性の評価や有限要素法による疲労強度解析技術が、多数研究され報告されている[1)-6)]。

最初にはんだの力学特性について概説する。はんだの融点は、一般の金属に較べると非常に低温であり、例えば 63%Sn37%Pb 共晶はんだの融点は 183℃で、使用温度範囲 0℃～70℃で容易にクリープ変形を起こす。このため、弾性率や降伏応力などの静的な力学特性の計測が困難であり、試験片の作製条件、測定温度、歪み速度によって一桁程度異なると言われている。従って、弾性率や降伏応力などの静的な力学特性は、クリープの影響を除くために高速引張試験を行う必要がある。また、前述のように、はんだ材料ではクリープ特性が極めて重要である。共晶はんだのクリープ特性については、定常クリープを表す Norton 則（式 1.1）による定式化によって、精度良くクリープ特性を表すことが出来る。

$$\frac{d\varepsilon}{dt} = A\sigma^{n} \qquad (1.1)$$

ここで、εはクリープ歪み、t は経過時間、dε/dt は単位時間あたりのクリープ歪み増分、σ は応力を表す。A、n はクリープ定数、クリープ指数とよばれ、材料定数である。

次に、有限要素法などのシミュレーションによって疲労寿命予測を行う上で重要な、はんだ接合部の疲労寿命強度則について述べる。はんだ接合部の疲労破壊を起こす主な原因として、温度サイクルによる低サイクル疲労と、外部からの機械駆動部からの振動による繰り返し疲労があるが、本論文では熱疲労破壊を対象としている。電子部品のはんだ接合部は、通常の使用温度範囲で容易に降伏、クリープを起こすため、一般的に低サイクル疲労と考えられる。金属の低サイクル（10^4サイクル以下）疲労破壊については、式 1.2 に示されるManson-Coffin則による定式化によって、疲労寿命を表す方法が広く用いられている。

$$N_f = C\Delta\varepsilon_p^{n} \qquad (1.2)$$

ここで、$\Delta \varepsilon_p$は塑性歪み振幅、N_fは疲労寿命サイクルである。また、C、nは材料固有の定数である。一般の金属ではn= -1～-2 の値をとることが多い。これまでの研究で、BGAパッケージの共晶はんだ接合部の寿命について、式 1.3 [5]、式 1.4 [6]などの定式化が行われている。

$$N_f = \left(\frac{\Delta \varepsilon_{peq}}{0.089}\right)^{-2.56} \qquad (1.3)$$

$$N_f = 0.185 \times \Delta \varepsilon_{peq}^{-2.027} \qquad (1.4)$$

ここで、$\Delta \varepsilon_{peq}$は単軸応力状態に相当する相当塑性歪みで、多軸応力状態での歪み成分から、式 1.5 で計算している。

$$\Delta \varepsilon_{peq} = \sqrt{\frac{2}{3}\left\{\Delta \varepsilon_{px}^2 + \Delta \phi_{py}^2 + \Delta \varepsilon_{pz}^2 + \frac{1}{2}\left(\Delta \gamma_{pxy}^2 + \Delta \gamma_{pyz}^2 + \Delta \gamma_{pzx}^2\right)\right\}} \qquad (1.5)$$

本研究でも、第3章に示すように、FC パッケージの共晶はんだ接合部の寿命について、式 1.6 のような定式化が成り立つことを確認している。

$$N_f = 0.062(\Delta \varepsilon_{peq})^{-2.0} \qquad (1.6)$$

1.2 半導体実装に関連する材料とプロセスの変遷と信頼性課題[7]

本節では、半導体パッケージの形態に伴ない変化してきた実装プロセスと関連材料の変遷、および顕在化してきた信頼性課題について概説する。半導体実装（パッケージング）に要求される機能には、1)応力、温湿度などの外部環境からの保護、2)消費電力による発熱量の放熱機能、3)LSI 電極と外部端子との接続インターフェース、4)電気信号の伝送機能等が挙げられる。当初、半導体はセラミックキャップに気密封止されていたが、上記の機能を満足するエポキシ系封止樹脂の開発によって、現在、樹脂封止が主流になっている。

前節で述べた DIP や QFP の代表的な実装プロセス、および BGA や FC の代表的な実装プロセスを Fig.1.2 に示した。パッケージ構造の変化によって半導体と外部電極との接合方法が、Wire Bonding から Flip-chip Bonding に変り、その接合部を保護するためアンダーフィル封止とトランスファー成形に変化して来ている。また、半導体パッケージのバーンイン検査は、従来パッケージレベルで行っていたが、実装の初期工程で

ベアチップ、またはウエハレベルで行われつつある（後述の KGD 検査）。

次に、これら実装プロセスで使用される材料、およびその信頼性課題について概説する。先ず半導体パッケージの主要な構成材料である封止樹脂について述べる。半導体封止樹脂は、各種のエポキシ樹脂、硬化剤、および硬化促進剤をベースに樹脂改質剤やカップリング剤を添加し、さらにシリカ等の無機充填材を加えた複合材料である。標準的な概観はタブレット形態をとっており、種々の形態のパッケージにトランスファー成形される。半導体封止樹脂に対する信頼性課題は、半導体の実装方法やパッケージ形態によって変化してきた。1980 年頃までは、エポキシ樹脂の高純度化による耐湿性向上や配合技術そのものの確立が主体であったが、素子の高集積化によりDIPが大型化し、金線の断線、アルミ配線の変形、パッシベーションクラック、チップや樹脂のクラック、リードフレームと樹脂界面の剥離などの機械的強度信頼性が課題となった。これらは、成形過程や使用環境の温度変化による構成材料（シリコンチップ、リードフレーム、封止樹脂）の熱膨張ミスマッチに起因する熱応力による損傷である。その対策として、ピエゾ素子を用いたチップ表面の応力測定や有限要素法による応力解析が行われ[8]、内部応力低減のためにエポキシ樹脂のシリコーン樹脂変性による低弾性化技術が確立された。1980 年代後半からは多ピン化が進み、QFP、SOP、そしてSOPを薄型化したTSOP(Thin Small Outline Package)などの表面実装法が用いられた。QFPが主流になる頃には、はんだリフロー実装時のパッケージクラック対策が重要な課題となった。このリフロークラックについては、封止樹脂の吸湿水分量に依存性

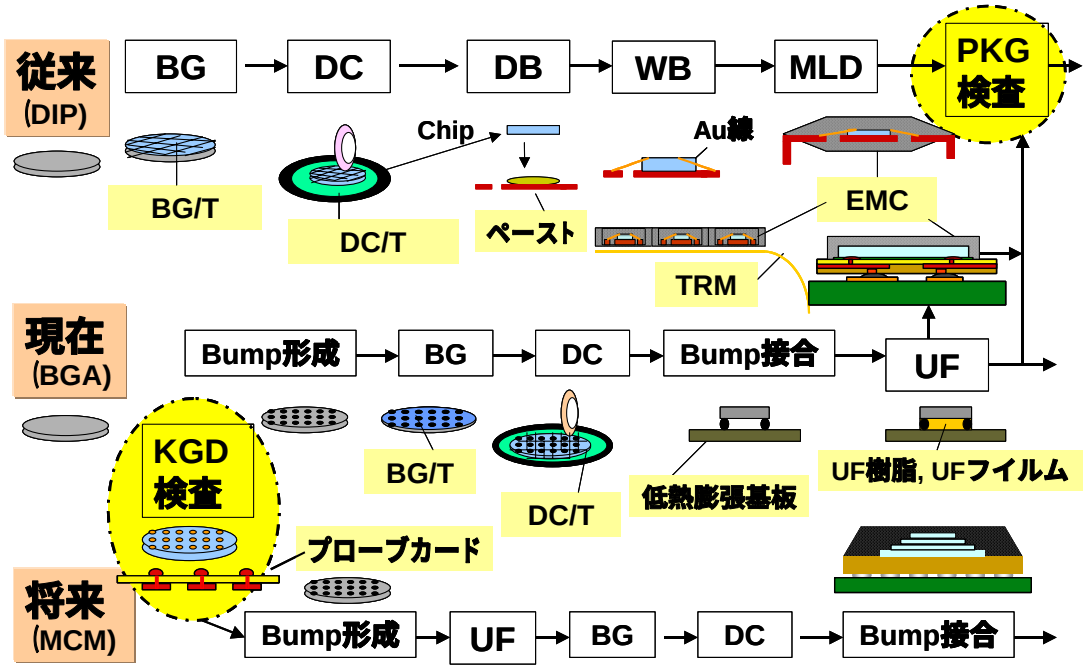


Fig.1.2 半導体実装プロセスと関連材料

が見られ、リフロー時に発生する水蒸気圧による応力解析によって機構が解明された[9]。その結果、耐熱性の骨格を有する新規なエポキシ樹脂や硬化剤を用いて、さらに多くの充填材を配合し、対湿性と低熱膨張性を確保する技術が開発された[10]。

1990 年代中頃よりBGA や FC も実用化されてきた。前節で述べたように、高密度実装に有利な反面、半導体を微小なバンプで基板と接合するため接続部の強度信頼性が重要な課題となった。その対策として、低熱膨張基板や応力緩和機能を持つインターポーザー基板、前述の接合部の間隙を充填するアンダーフィル液状樹脂やフイルム、また接合部の充填と導通を同時に行う導電性樹脂が開発された。

一方、BGA パッケージは封止樹脂の使用形態に大きな変化をもたらした。すなわち、Fig.1.2 に示すようにDIP、QFP、TSOP パッケージでは、半導体をリードフレームパッド上に実装し両側を樹脂で封止した構造である。それに対し、BGA では半導体をインターポーザ基板に実装、他方の面を樹脂封止する構造（片面モールド）であり、材料的に非対称であることから熱応力に起因する反りの抑制が困難である。さらに、最近は複数のチップを一括してモールドするMAP(Molded Array Package)タイプが開発されている。これにより生産性が向上する反面、反りが増大する傾向にあり、はんだボール付け工程で接合不良、1ピースごとに切断する工程でチップ割れ、基板へのリフローはんだ工程で接合不良のように、反りによる信頼性阻害が課題となっている。

今後は、ポスト表面実装パッケージとして、異種ICチップを２次元ないし３次元実装して１パッケージ化したMCP(Multi Chip Package)、モジュール化したMCM（Multi Chip Module）、セラミックス基板や樹脂基板への内蔵化が予想されている[11]。これら新しい実装方式では、KGD（Known Good Die）の保証が重要不可欠となり、実装の初期工程でベアチップあるいはウエハレベルで狭ピッチエリア配列パッドを対象にした新規構造の検査システムが必要となる。ここでは、はんだ接合と違って機械的な接続性を確保する必要があり、バンププローブ高さの均一性、そのバラツキを吸収するコンプライアンス材の特性、使用温度条件化での寸法安定性などの信頼性課題がある。特にバンプ高さの不均一はKGD検査の接続信頼性だけでなく、FCパッケージの接合信頼性も阻害する。その他、不良半導体のリペア問題、半導体からの発熱量の放熱問題、異種材料を内蔵することによる熱応力問題が、やはり課題となっている[11]。また、ウエハのバックグラインドやダイシング時にBG/T（Back-grinding Tape）やDC/T(Dicing Tape)が用いられるが、ウエハ自身が薄層化するにつれて反りの課題が、ここでも顕在化して来ている。

このように、各実装工程で“反り”の問題が顕在化しており、高密度半導体においては、相互に密接な関係がある“反り”と“接合接続”信頼性が最も重要な課題と言える。

1.3 有機材料の残留応力問題

半導体実装工程に有機材料が多く用いられて来たが、半導体との積層体においては、製造工程あるいは使用環境変化で、前述の反り変形、クラック、界面剥離が共通の課題となっている。この主な理由は、樹脂の熱膨張係数がSiチップと比較すると1桁～2桁大きいためであり、一般的には樹脂の残留応力の発生原因として、次のような要因が考えられている[12)]。1）溶融成形時に、流動による分子配向が緩和するより前に樹脂が固化する。2）溶液からのキャスト時に溶媒の蒸発速度が速く、安定構造が形成されるよりも前に樹脂が固化する。被着体との界面では、3）キャスト時に、溶媒の蒸発により樹脂の収縮が生じる。4）熱硬化時に重合反応に伴う樹脂の収縮が生じる。5）高温での成形後、室温までの冷却過程で樹脂の熱収縮が生じる。この中で容易に測定出来て解析が可能なのは、5）の熱収縮だけで、他は測定も難しいのが実状である。また、有機材料は単独で用いられることは殆ど無く、他の有機材料と変性化、アロイ化、複合化して、あるいは無機材料や金属材料と複合化して用いられている。これらによって、強靭性、耐熱性、低熱膨張性、応力緩和性、接着性、低誘電特性などの機能を付けて付加価値を高めることが出来るのが強みであるが、本質的に温度、時間、湿度などの環境要因の影響を受けやすい。また、原材料や製造条件の変動で材料物性がバラツキ易い問題がある。さらに、樹脂はクリープや応力緩和などの粘弾性挙動を示し、シリカ（SiO_2）が 80-90wt%も充填されたエポキシ系封止樹脂でも粘弾性挙動を示すことが知られている。

以上に述べたように、半導体関連材料に有機材料を用いる場合、材料非線形性や温度、時間、湿度依存性を考慮して用いる必要がある。特に、最近の表面実装パッケージでは構造が複雑で薄型化しており、微小な変位、応力を予測するため弾塑性や粘弾性などの材料非線形性を考慮したシミュレーション技術が求められている。

1.4 本研究の目的

本章でこれまで述べてきたように、半導体パッケージは、構造の形態、構成材料、実装プロセスの変化を伴い進化してきた。そこでは半導体の高密度化、高性能化、小型薄型化が優先、使用材料の機械的強度信頼性は後回しになる傾向があり、多くの信頼性課題が顕在化してきた。これらを抽出すると高密度半導体実装においては、相互に密接に関係する“反り変形信頼性”と“接合接続信頼性”が最も重要な課題であり、それらを的確に評価するには、樹脂の残留応力評価のレベルアップが不可欠であると考えられた。この観点から、本論文では以下の4つの課題を対象とし調査を実施した。

1) 高密度半導体実装におけるパッケージの反り変形信頼性
2) 高密度半導体実装におけるはんだ接合部の熱疲労強度信頼性
3) 高密度半導体実装における KGD 検査システムの機械的接続信頼性
4) 高密度半導体実装におけるバンプ高さの均一形成確保

これら高密度半導体実装に関連する材料の変形挙動および応力状態を有限要素法解析と実験で明らかにし、効率的に使用するための条件を検討した。

本論文の構成を以下に示す。

第2章では、半導体パッケージの反りを抑制するための封止樹脂物性の設計指針を調査した。まず樹脂残留応力評価のレベルアップのため、粘弾性と硬化収縮を考慮した非線形解析技術の開発を行った。一般的に粘弾性定数の算出のために応力緩和試験を行う必要があるが、これより労力を必要としない方法で粘弾性定数を評価、汎用有限要素法ソフトを利用できることを考慮した。この技術を表面実装パッケージ TSOP と BGA の反り予測に適用、低温からリフロー温度までの反りを高精度に予測する計算手法を検討した。その結果、反り発生機構が明確になり、反りを抑制する封止樹脂物性の指針を提案した。

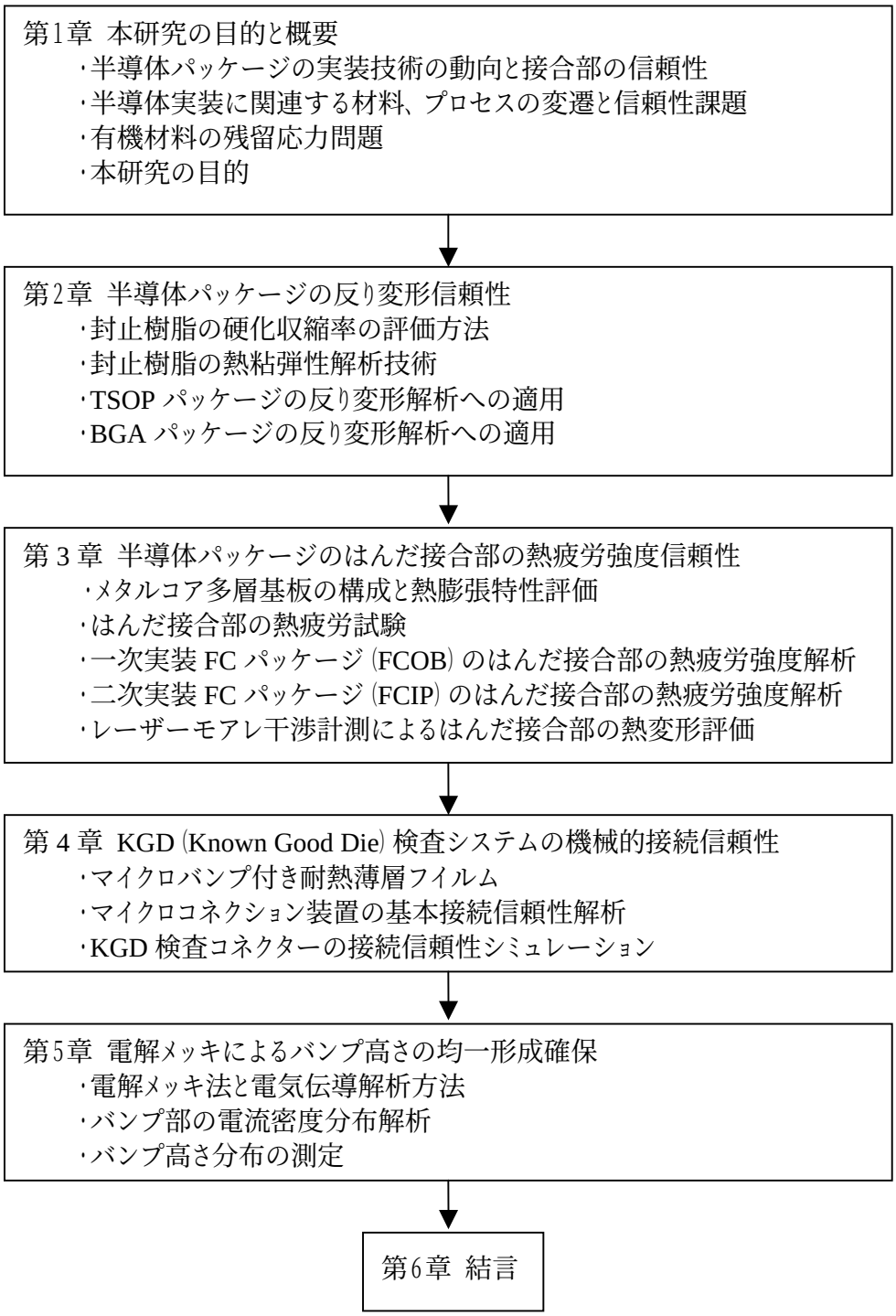
次に第3章では、表面実装パッケージのはんだ接合部の強度信頼性に対する基板の影響を調査した。そのため、Si チップの熱膨張係数と殆ど等しいメタルコア多層基板など 3 種を作製、それらを用いた FC パッケージの熱疲労試験と熱疲労強度解析を行った。解析は、1 次実装 FC (FCOB) と 2 次実装 FC (FCIP) について弾塑性クリープ解析を行い、各々、はんだ接合部の熱疲労寿命を長くする基板物性の最適値を調査した。インターポーザ基板とアンダーフィル物性が影響する 2 次実装 FC については、インナーとアウターバンプの熱疲労寿命のバランスを考慮して最適な基板物性を示した。また、レーザーモアレ計測法により、はんだ接合部の熱変形を評価、有限要素解析結果の妥当性を検証した。

次に第4章では、将来の高密度半導体実装で不可欠な KGD 検査システムの機械的接続信頼性を調査した。そのため、マイクロバンプ付き耐熱フイルムを作製、ベアチップの模擬電極との接触抵抗測定と接触応力解析を行い、両者の接続性評価の整合性を確認した。さらに、実際のベアチップと KGD 検査コネクターを用いたモデルで、バンプのリードパターンの影響を解析した。これらによって、KGD 検査システム構成材料の材料物性、使用条件の最適値を明らかにした。

そして第5章で、KGD 検査システムや FC インターポーザ基板のバンプ高さの均一性を確保するため、電解メッキ条件の調査を行った。まずメッキ浴槽内の電気伝導解

析を行い、バンプ部の電流密度とバンプ高さには相関があることを確認した。次にバンプの高さ（電流密度）分布を均一にするため、メッキ浴槽の温度分布、ダミーバンプや遮蔽板の配置方法の影響を解析した。これらの条件を最適化したサンプルのバンプ高さの均一性は、従来条件に較べて飛躍的に向上することを示した。

最後に第6章で、本論文の結論と今後の課題について考察を行った。



第1章の参考文献

1) 白鳥正樹 主査, RC144“エレクトロニック･パッケージングにおけるマイクロ接合部の信頼性評価に関する研究分科会”研究報告書, 日本機械学会, (1998).

2) 白鳥正樹 主査, RC162“エレクトロニクス実装における信頼性評価に関する研究分科会”研究報告書, 日本機械学会, (2000).

3) 宮崎則幸 主査, RC181“エレクトロニクス実装における信頼性設計に関する研究分科会”研究報告書, 日本機械学会, (2002).

4) 大塚寛治, 宇佐美保, ”半導体パッケージング工学”, 日経BP社, pp.3-17, (1997).

5) 北野 誠, 熊沢鉄雄, 本田美智晴, 廣田和夫, “電子機器のはんだ接合部の信頼性試験条件設定法の提案”,日本機械学会論文集, No.95-1111, A, pp.1464-1471, (1996).

6) 酒井秀久, “BGA パッケージのリフローシミュレーションに関する研究”, 横浜国立大学大学院博士課程論文, pp.12, (2002).

7) 日野裕久, “ポリマーABC ハンドブック”, pp.938-943, 高分子学会, (2001).

8) Kiyoshi Miyake, Hideto Suzuki and Shouichi Yamamoto, “Heat Transfer & Thermal Stress Analysis of Plastic-Encapsulated Ics”, IEEE Transactions on Reliability, R-34, No.5, pp.402-409, (1985).

9) 北野 誠, 河合末男, 西村朝雄, 西 邦彦,“はんだリフロー工程で発生するICパッケージクラックに関する研究”, 電子通信学会誌, VLD88-72, pp.59-65. (1988).

10) S. Ohizumi, M. Nagasawa, K. Igarashi, M. Kohmoto, S. Ito, “Analytical and Experimental Study for Designing Molding Compounds for Surface Mounting Devices”, Proc. 40th ECTC, pp.632-640, (1990).

11) 本田 進, “先端実装技術は SMT からポスト SMT へー電子技術は複合化3次元化, そして基板内蔵化方向へ”, エレ実装学会誌, vol.6 No.1, pp.23-26, (2003).

12) 西野 孝, “残留応力の測定方法”, 日本接着学会誌 vol.39 No.1, pp.24-29, (2003).